

パラメータばらつき考慮 Gate Modeler の提案

鈴木 五郎 山中 亮

北九州市立大学情報メディア工学科

1 はじめに

Deep sub-micron 時代では、parameter variation が顕著になり、design for manufacture 技術の整備が急務となっている。中でも Monte Carlo simulation は膨大な時間がかかることから、その QTAT 化が必要である。delay analysis において重要な意味を持つ upper bound および lower bound 波形を gate の入力波形情報、負荷情報および parameter variation 情報から直接求める手法を提案する。併せてその評価結果を述べる。

2 提案手法の考え方

Inverter gate に関し、Spice[®]を用いて Monte Carlo simulation [1]を行った例を Fig.1 に示す。channel length L の parameter variation として標準偏差を平均値の $x_1=10(\%) \sim x_9=50(\%)$ まで 9 種類設定している。9 種類の Upper bound 波形を重ねたものが Fig.2 であり、Upper bound 波形の voltage を $V_1 \sim V_{20}$ まで等分して sampling し、各 voltage まで達する elapse time を読み取って、parameter variation に関する対応関係を描いたのが Fig.3 である。Fig.3 の linear 部分の傾きつまり sensitivity は、parameter variation x_k および sample voltage V_i ごとに、 $S_{x_k}^{V_i} = \frac{dt_{x_k}^{V_i}}{dx}$ として求められる。

そこで linear 部分は $t_{x_k}^{V_i} = t_n^{V_i} + S_{x_k}^{V_i} x_k$ なる式で表現することができる。ここで、 $t_n^{V_i}$ は parameter variation なしの elapse time である。この時間と sample voltage V_i の関係を $V_i = f(t_n^{V_i})$ とすると、 $t_n^{V_i} = t_{x_k}^{V_i} - S_{x_k}^{V_i} x_k$ であるから、

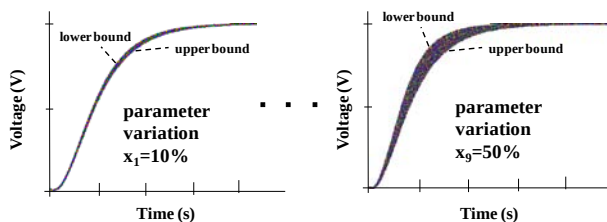


Fig. 1 Monte Carlo simulation results

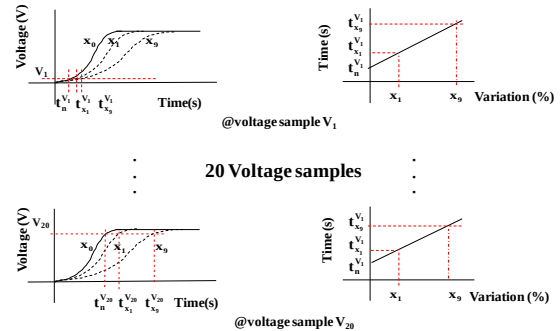


Fig.2 Elapse time vs voltage sample

Fig.3 Variation vs elapse time

$$V_i = f(t_{x_k}^{V_i} - S_{x_k}^{V_i} x_k) \quad \dots\dots\dots (1)$$

なる式(1)が導ける。

一方 upper bound 波形に関し、parameter variation なしの関数 $f(t)$ に対して、parameter variation がある場合は Fig.4 のように右にずれた波形となり、一般的に、 $f(\beta_1 t - \beta_2)$ の式で表現することができる。ここで、 β_1 および β_2 は parameter variation x の関数であり、 $x=0$ の時 $\beta_1=1$ 、 $\beta_2=0$ を考慮すると、式(2)が導ける。 x の関数として様々なものが考えられるが、1 次の項のみで近似した Taylor 展開を考える。

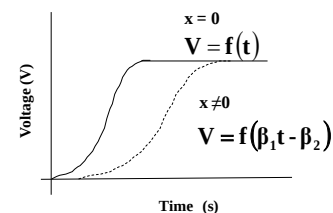


Fig.4 Voltage function with parameter variation

$$V = f((1 - ax)t - bx)$$

$$\equiv f(t - (at + b)x)$$

$$V_i = f(t_{x_k}^{V_i} - (at_{x_k}^{V_i} + b)x_k) \quad \dots\dots\dots (2)$$

式(1)および式(2)から、式(3)を導くことができる。

$$S_{x_k}^{V_i} = (at_{x_k}^{V_i} + b) \quad \dots\dots\dots (3)$$

parameter variation x_k ごとに、sample voltage V_i に対する $S_{x_k}^{V_i}$ と elapse time $t_{x_k}^{V_i}$ をまとめたのが Fig.5 である。この graph から、parameter variation x_k ごとの time scaling factor a および time shifting

factor b を決定することができる。ほぼ linear であるとみなせば、Least Square Method が使える。

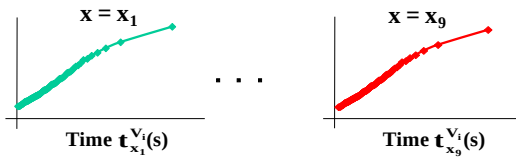


Fig.5 Elapse time $t_{x_k}^{V_i}$ vs sensitivity $S_{x_k}^{V_i}$

以上 upper bound 波形の取り扱いを述べたが、lower bound 波形の取り扱いも同様に考える。また、複数種類の parameter variation の取り扱いに関して、 x および y 2 種類の場合を例に説明する。

$$\begin{aligned} t_n^{V_i} &= g(x, y) \\ g(x, y) &= \frac{\partial g}{\partial x} x + \frac{\partial g}{\partial y} y + t_n^{V_i} \\ \therefore -g_x(x - x_0) - g_y(y - y_0) + (t - t_0) &= 0 \\ \text{where } x_0 &= y_0 = 0, t_0 = t_n^{V_i} \\ \therefore t^{V_i} &= S_x^{V_i} x + S_y^{V_i} y + t_n^{V_i} \\ \therefore t_n^{V_i} &= t^{V_i} - (S_x^{V_i} x + S_y^{V_i} y) \\ V_i &= f(t_n^{V_i}) \quad \therefore V_i = f(t^{V_i} - (S_x^{V_i} x + S_y^{V_i} y)) \quad \dots\dots (4) \end{aligned}$$

一方、

$$V_i(t) = f(t^{V_i} - (at^{V_i} + b)x - (ct^{V_i} + d)y) \quad \dots\dots (5)$$

式(4)および式(5)から、式(6)を導くことができる。

$$S_x^{V_i} = at^{V_i} + b \text{ and } S_y^{V_i} = ct^{V_i} + d \quad \dots\dots (6)$$

3 提案手法の処理手順

[upper bound time scaling factor と time shifting factor 計算手順]

- S-1 任意入力波形と、任意負荷を付け加え、Spice[®]を用いて Monte Carlo simulation を行う。
1 種類の parameter に関して、variation x_k を複数種類にし、複数種類の parameter に関する Monte Carlo simulation を繰り返す。
- S-2 upper bound 出力波形を 20 等分して sampling 電圧に対応する elapse time $t_n^{V_i}$ $t_{x_k}^{V_i}$ $i = 1 \sim 20$ $k = 1 \sim 9$ を求める。
- S-3 Fig.3 を使い、parameter variation x_k および sample voltage V_i ごとに、sensitivity $S_{x_k}^{V_i} = \frac{dt^{V_i}}{dx}$ を求める。
- S-4 Fig.5 を使い、parameter variation ごとに time scaling factor a および time shifting factor b を決定する。

[upper bound gate 出力波形計算手順]

- P-1 gate 入力波形、gate 負荷情報から、入力波形 SVD 方式 gate modeler [2]を使って parameter variation なしの gate 出力波形を計算する。
電圧波形を 20 等分して sampling した elapse time $t_n^{V_i}$ $i = 1 \sim 20$ を計算。
- P-2 user が指定した parameter ごとの variation 情報から、library に記憶されている time scaling factor および time shifting factor を取り出し、決定する。
- P-3 $t_n^{V_i} = t_{x_k}^{V_i} - \{(at_{x_k}^{V_i} + b)x_k\}$
 $\therefore t_{x_k}^{V_i} = \frac{t_n^{V_i} + bx_k}{1 - ax_k} \quad i = 1 \sim 20$
より、upper bound 波形 sampling elapse time を計算する。

4 評価結果

Inverter gate を使い、RC ladder 回路を負荷として、提案手法の評価を行った例を Fig.6 に示す。parameter として、MOS Tr の L および V_{TH} を 10(%)ばらつかせている。対 Spice[®] error は最大でも 2.92(%)であった。

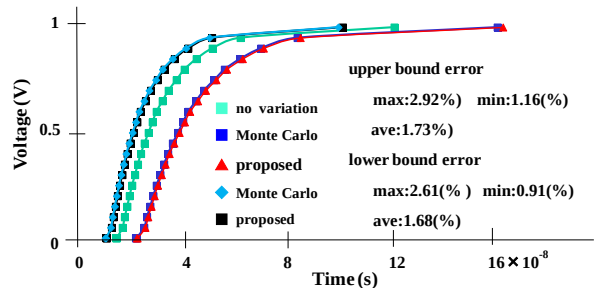


Fig.6 Inverter upper bound and lower bound output with medium slew falling input

5 まとめ

パラメータばらつき考慮 gate modeler の提案を行った。delay analysis など gate modeler を使用する際、Monte Carlo simulation が不要となり、その QTAT 化が実現できる。

- [1]棚木義則 他, "電子回路シミュレータ PSpice 入門編", CQ 出版社, pp. 135-148, 2004.
- [2]A.Ramalingam et al., "Accurate Waveform Modeling using Singular Value Decomposition with Application to Timing Analysis", Proc. of DAC, pp.148-153, 2007.