

クロックゲーティングによる 信頼性起因クロックスキューとその対策

星 誠[†] 渡邊 眞之[†] 黒川 敦[†]

[†]弘前大学 理工学部 電子情報工学科

1. はじめに

信頼性問題の中でも特に NBTI (Negative Bias Temperature Instability) と HCI (Hot-Carrier Injection) は微細 LSI の回路動作に影響を与える可能性が高い[1, 2]。

本論文ではクロックゲーティングによって生じるクロックスキュー問題に焦点を当て、NBTI と HCI によるスキュー及びその原理を明示し、信頼性耐性の高いクロック分配及び設計対策について提示する。

2. クロック分配の信頼性劣化

2.1 劣化モデル

信頼性劣化モデルは以下を用いる[1-3]。

$$V_{th} = V_{th0} + \Delta V_{t,X} \quad (1)$$

$$\Delta V_{t,NBTI} = A_{NBTI} \times t^{n_{NBTI}} \quad (2)$$

$$\Delta V_{t,HCI} = A_{HCI} \times t^{n_{HCI}} \quad (3)$$

但し、 A_{NBTI} と A_{HCI} はテクノロジー依存定数である。 A_{HCI} は $A_{HCI} \propto (1/L)^{\alpha} f$ の関係があり、 L はチャネル長、 f は周波数である。報告されているべき乗数は $n_{NBTI} \approx 1/6 \sim 1/4$ 、 $n_{HCI} \approx 1/3 \sim 1/2$ である。図 1 にべき乗数の違いによる劣化特性の相違を示す(10年で30mV劣化することを仮定)。べき乗数が小さい(すなわち HCI よりも NBTI)方が、早い時期に劣化が進行することになる。

2.2 クロックゲーティングと信頼性劣化

ゲートドクロックツリーのイメージを図 2 に示す。低電力化を目的に、クロックゲーティングにより一部の使用しないシステムを停止する。図 3 は動作条件による劣化の相違を示す。(a)はクロック入力の例で、この場合は NBTI により PMOS と HCI により NMOS が劣化する。(b)はゲーティングにより停止した例で、この場合、一段置きに PMOS が NBTI により劣化する。その劣化した PMOS の負荷が大きく、その PMOS を回路動作に使用する場合、大きな遅延となる。逆に負

荷が小さいか、劣化した PMOS を動作に使用しない場合は遅延増加に至らない。この劣化のアンバランスがスキューを増大させる。

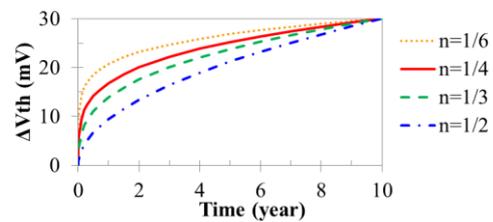


図 1 経時劣化モデルのべき定数による閾値劣化の違い

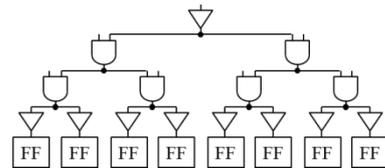


図 2 ゲートドクロックツリーのイメージ

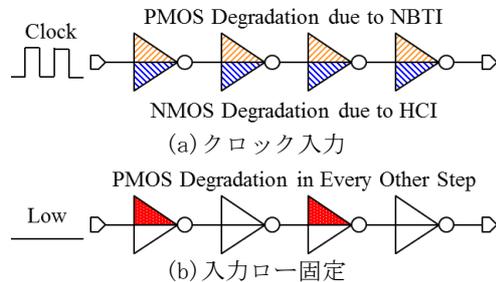


図 3 入力条件による劣化の違い

3. 解析結果

本解析では、NBTI 起因 PMOS $\Delta V_{t,NBTI(P)}$ と HCI 起因 NMOS $\Delta V_{t,HCI(N)}$ のみを考慮する。DC 印加で 10 年後に I_{on} が 10%劣化すると仮定して、式(2)と式(3)のそれぞれの $\Delta V_{t,X}$ を求めた。べき乗数は $n_{NBTI}=1/4$ と $n_{HCI}=1/2$ を用いた。AC 印加時の HCI 劣化は DC の 1/5 と仮定した。回路シミュレータ HSPICE (各トランジスタの閾値劣化は delvt0 を使用) によってスキューを解析する。

図 4 に解析に使用した回路を示す。(a)と(b)は AND ゲートにより出力ローでゲーティングし、ポジティブとネガティブエッジでトリガーすることを、(c)と(d)は NAND ゲートにより出力ハイでゲーティングし、ポジティブとネガティブエ

Clockskew Reliability Issue Caused by Clock Gating and its Countermeasure

Makoto Hoshi[†], Masayuki Watanabe[†] and Atsushi Kurokawa[†]
[†]Department of Electronics and Information Technology,
 Faculty of Science and Technology, Hirosaki University

ッジでトリガーすることを意味する。また、それぞれの上側と下側は大きな負荷がインバータの奇数段出力と偶数段出力に付加している。インバータの半分塗り潰しはゲーティングによる NBTI 起因 PMOS 劣化を示す。16nm テクノロジーを用い、トランジスタサイズは $L=L_{\min}(=16\text{nm})$ 、 $W_P=W_N \times 2=L_{\min} \times 8$ である。劣化前はスキューが生じないように (a) ~ (d) の遅延は 120.0ps になるように中間容量 $C_{1a} \sim C_{2d}$ は調整してある。入力スルー $t_s=20\text{ps}$ 、終端負荷容量 $C_{FF}=0.05\text{fF}$ である。

表 1~4 に解析結果を示す。表中の Gating Ratio において 0% は常時クロックが動き続けることを、100% は全く動いていないことを表す。また、HCI 劣化はゲーティング率に応じて減少し、NBTI 劣化は止めた状態と利用するエッジにより異なる。非反転停止-ポジティブエッジトリガ FF、もしくは反転停止-ネガティブエッジトリガ FF を用いたシステムがゲーティング先のスキューを低減できることがわかる。

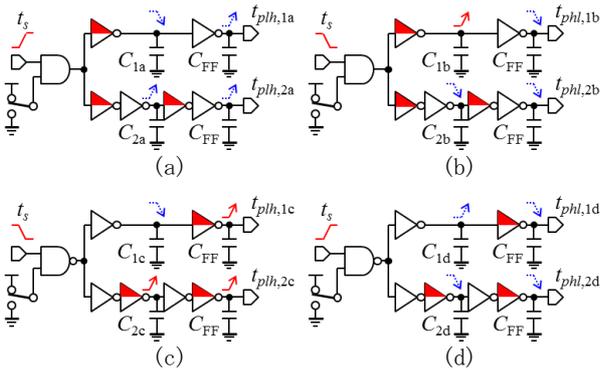


図4 解析に用いた回路

表1 ANDゲーティング、ポジティブエッジ (図4(a))

Gating Ratio (%)	HCI only (ps)			NBTI only (ps)			Both (ps)		
	$t_{ph,1a}$	$t_{ph,2a}$	skew	$t_{ph,1a}$	$t_{ph,2a}$	skew	$t_{ph,1a}$	$t_{ph,2a}$	skew
0	129.9	129.2	0.7	126.3	127.8	-1.5	136.7	137.4	-0.7
20	128.8	128.1	0.7	125.8	127.1	-1.3	134.9	135.6	-0.7
80	124.2	123.9	0.3	124.1	125.0	-0.9	128.4	129.1	-0.7
100	120.0	120.0	0.0	120.0	120.0	0.0	120.0	120.0	0.0

表2 ANDゲーティング、ネガティブエッジ (図4(b))

Gating Ratio (%)	HCI only (ps)			NBTI only (ps)			Both (ps)		
	$t_{ph,1b}$	$t_{ph,2b}$	skew	$t_{ph,1b}$	$t_{ph,2b}$	skew	$t_{ph,1b}$	$t_{ph,2b}$	skew
0	126.0	128.1	-2.1	131.2	128.2	3.0	137.8	136.8	1.0
20	125.3	127.2	-1.9	131.6	128.5	3.1	137.5	136.1	1.4
80	122.6	123.5	-0.9	132.6	129.1	3.5	135.5	132.8	2.7
100	120.0	120.0	0.0	132.9	129.3	3.6	132.9	129.3	3.6

表3 NANDゲーティング、ポジティブエッジ (図4(c))

Gating Ratio (%)	HCI only (ps)			NBTI only (ps)			Both (ps)		
	$t_{ph,1c}$	$t_{ph,2c}$	skew	$t_{ph,1c}$	$t_{ph,2c}$	skew	$t_{ph,1c}$	$t_{ph,2c}$	skew
0	127.9	125.6	2.3	128.0	132.2	-4.2	136.5	138.4	-1.9
20	127.0	125.0	2.0	128.2	132.6	-4.4	135.7	138.1	-2.4
80	123.4	122.4	1.0	128.7	133.7	-5.0	132.3	136.4	-4.1
100	120.0	120.0	0.0	128.8	134.0	-5.2	128.8	134.0	-5.2

表4 NANDゲーティング、ネガティブエッジ (図4(d))

Gating Ratio (%)	HCI only (ps)			NBTI only (ps)			Both (ps)		
	$t_{ph,1d}$	$t_{ph,2d}$	skew	$t_{ph,1d}$	$t_{ph,2d}$	skew	$t_{ph,1d}$	$t_{ph,2d}$	skew
0	129.8	131.0	-1.2	127.1	125.8	1.3	137.3	137.2	0.1
20	128.7	129.7	-1.0	126.5	125.3	1.2	135.5	135.3	0.2
80	124.2	124.7	-0.5	124.6	123.8	0.8	128.9	128.5	0.4
100	120.0	120.0	0.0	120.0	120.0	0.0	120.0	120.0	0.0

4. 対策

HCI が支配的であるならば、チャンネル長 L や幅 W を大きくする、負荷容量を小さくする、電圧を下げる、温度を上げる (ドレインアバランシェ HC が支配的な場合)、周波数 (スイッチング数) を下げる等がある。デジタル回路のクロック分配に限定するならば、クロック分配に使用するセルはチップ全体に占める面積比率はさほど大きくないので、チャンネル長を幅広にするのが現実的である。

微細プロセスの通常のデジタル回路 (高周波や I/O、メモリ、アナログ回路ではない回路部) では HCI よりも NBTI による PMOS 劣化の方が顕著である。前述したように、NBTI はゲーティングにより一段置きに劣化し、その劣化した PMOS を使用するかどうかで遅延やスキューに影響が生じる。ANDゲーティングの場合、ポジティブエッジトリガ FF を使うことでゲーティングの影響は低減できる。ゲーティングをあまり使わない場合は、反転セル奇数段の負荷を極力抑えることで低減できる。反転セルを使わないのも一対策である。さらに、そのテクノロジーの NBTI 信頼性データと実際に生じる段数と負荷から適切なスキュー耐性を求め、マージン設計で回避することも重要である。

5. まとめ

NBTI と HCI による信頼性劣化の課題として、クロックゲーティングによるクロックスキューへの影響を明示した。さらに、クロックゲーティングを用いた経時劣化によるクロックスキューを設計で対策する方法を提示した。

参考文献

- [1] H. Kufluoglu and M.A. Alam, "Theory of interface-trap-induced NBTI degradation for reduced cross section MOSFETs," IEEE Trans. Electron Devices, vol.53, no.5, pp.1120-1130, 2006.
- [2] H. Kufluoglu and M.A. Alam, "A geometrical unification of the theories of NBTI and HCI time-exponents and its implications for ultra-scaled planar and surround-gate MOSFETs," Proc. IEDM, pp.13-15, Dec. 2004.
- [3] J.E. Chung, M.-C. Jeng, J.E. Moon, P.-K. Ko, and C. Hu, "Low-voltage hot-electron currents and degradation in deep-submicrometer MOSFETs," IEEE Trans. Electron Devices, vol.37, no.7, pp.1651-1657, 1990.