

積層構造 PRAM の設計法

渡辺重佳

湘南工科大学 情報工学科

1. はじめに

近年、DRAM の高速性能とフラッシュメモリの低コスト不揮発特性を併せ持つ新型メモリの研究が盛んである。その代表例の PRAM を用いた積層型高速低コスト半導体不揮発性メモリの検討（メモリセルの積層方式、コア回路構成、1 ビット当りのコスト、動作速度等）を行った。

2. 積層構造 PRAM の構成（積層方式）

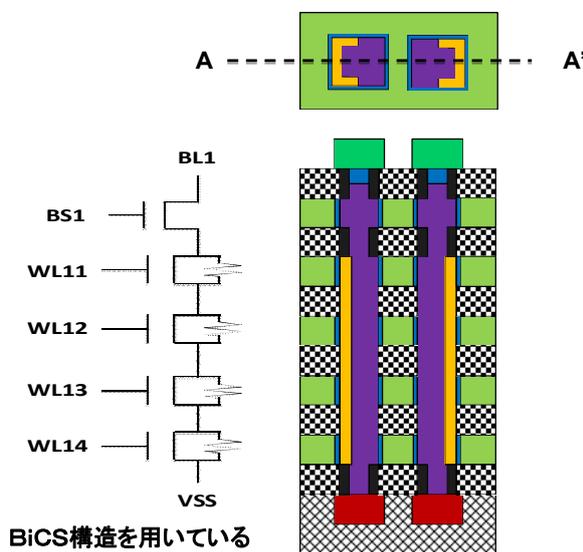


図1 積層構造 PRAM の構成

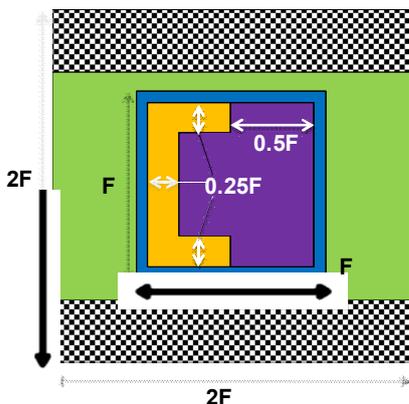


図2 積層構造 PRAM の断面図

今回検討した積層構造 PRAM の構成を図 1 に示す。基本的な構成は過去提案されている平面構造の Chain 構成 PRAM に BiCS 構造を導入した縦型にすることにより実現できる。この方式を導入する事により 4F² の微細なメモリセルを低コストで縦方向に積層する事が可能なる(図 2)。

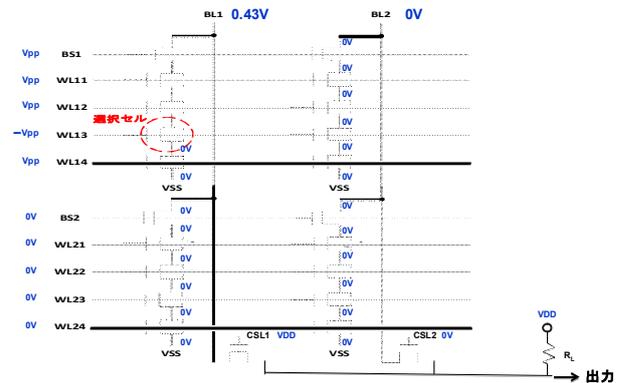


図3 積層構造 PRAM の読み出し方式

Chain 構成 PRAM ではトランジスタと相変化素子が並列に接続されているため、図 3 に示すような固有のアクセス方式が必要になる。すなわち読み出し時には選択セルのゲートにはオフ電圧を印加する事により相変化素子の情報をアクセスし、通過セルのゲートにはオン電圧を印加することにより選択セルの情報をビット線に伝達する。読出し動作と書き込み動作はビット線に印加する電圧の大小で区別する。

コア回路の構成

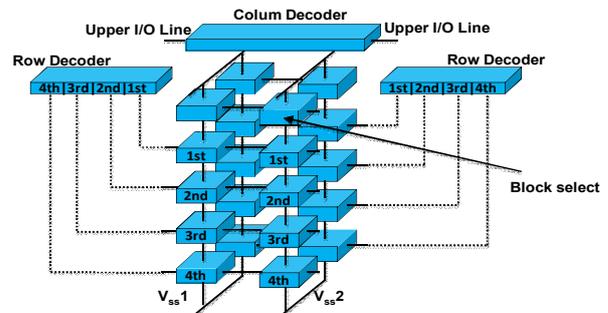


図4 コア回路の構成

Study of stacked type PRAM
Shigeyoshi Watanabe
Department of information science, Shonan Institute of Technology

菅野, 渡辺, "積層方式NAND構造トランジスタ型FeRAMの設計法"電気学会論文誌C vol.130, no.2, pp.226-234,2010

図4に以上の積層構造 PRAM を実現するロウデコーダ、カラムデコーダ等のコア回路の構成と配置を示す。コア回路の設計には従来の平面型よりもパターン面積が縮小できる SGT を用い、ロウデコーダはメモリセルの左右に配置する事によりパターン設計を容易にしている。

3. 積層構造 PRAM のコスト・動作速度見積もり

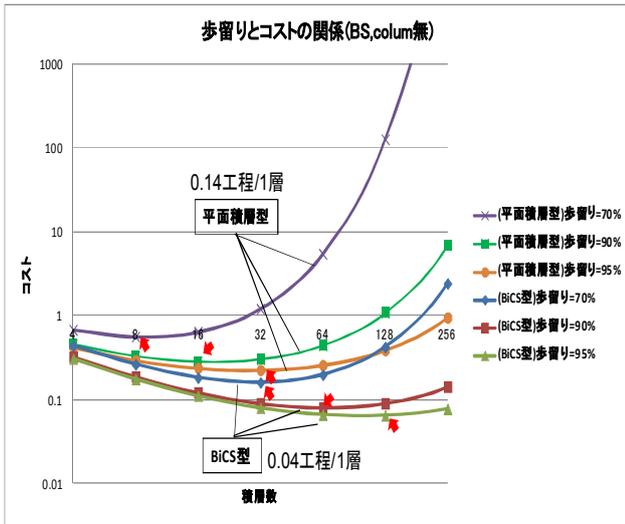


図5 積層型 PRAM の1ビット当りのコスト

図5に積層型 PRAM の1ビット当りのコストの積層数依存性を示す。1ビット当りのコストは工程数に比例し、歩留りと積層数に反比例すると仮定して見積もった。1ビット当りのコストを最小にする積層数が存在し、歩留りが比較的に高い場合には従来の NAND 型フラッシュメモリの10%程度の低コストが実現できる。

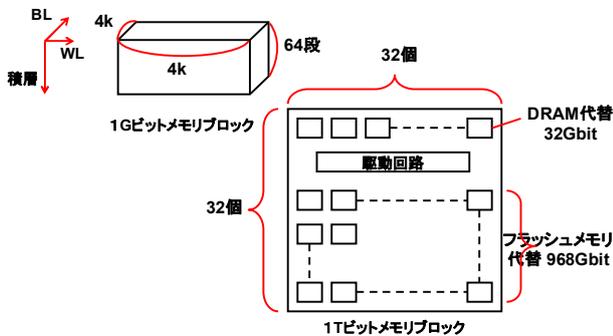


図6 1Tビット 積層型 PRAM の構成

次に DRAM と同程度の高速動作を想定した1T

ビットの積層型 PRAM の構成を図6に示す。DRAMと同程度の高速動作を実現するためには、1本のワード線に4K個のメモリセルを接続し、64層積層する方式が最適である。また1Tビットを実現するためには1Gビットのメモリセルブロックを縦に32列、横に32列接続し、駆動回路の側に高速特性が必要なブロックを配置する(メインメモリ代替のため)。

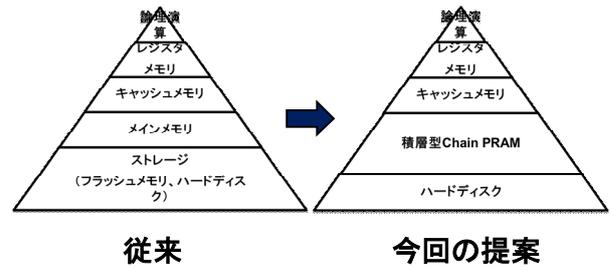


図7 積層型 PRAM の位置づけ

図7に今回提案した積層型 PRAM のメモリ階層における位置づけを示す。図6に示すような構成を採用する事によりメインメモリ (DRAM) を代替できる高速動作が実現でき、BiCS 構造の導入によりストレージ (NAND 型フラッシュメモリ) を代替できる低コストを実現できる可能性があることが分かった。

4. まとめ

積層型 PRAM を新たに提案し、そのメモリセルの積層方法、コア回路構成、1ビット当りのコスト、動作速度等を検討した。本方式は DRAM と同程度の高速性能と、NAND 型フラッシュメモリ以上の低コストの不揮発性半導体メモリを実現できる可能性があることが分かった。

参考文献

[1] T. Tanaka et. al., "Bit cost scalable technology with punch and plug process for ultra high density flash memory", Symp. on VLSI Technology, 2007.
 [2] 菅野、渡辺、"積層方式 NAND 構造1トランジスタ型 FeRAM の読み出し方式の検討" 電子情報通信学会論文誌 vol. J91-C, no. 11, pp. 668-669, 2008.
 [3] 玉井、渡辺、"ユニバーサルメモリを目指した積層型 NOR MRAM の検討" 電気学会論文誌 C vol. 129, no. 11, pp. 2091-2092, 2009.