

## 先見型動的ボディ制御による SOI LSI の高速化手法

福岡 一樹<sup>†</sup> 藤田 克也<sup>†</sup> 飯島 正章<sup>†</sup>  
沼 昌宏<sup>††</sup> 山本 啓輔<sup>††</sup> 高田 賢吾<sup>†††</sup>

SiO<sub>2</sub> 層によってシリコン基板とトランジスタ層が絶縁分離された SOI デバイスの特徴を生かし、トランジスタのボディ電位を動的に制御することで回路性能を向上させる手法を提案する。従来の補助トランジスタを用いた動的ボディ制御法では高速動作時のボディ電位追従性に問題があったが、提案手法では 1 ステージ前の先見信号や入力信号の到達時間の差異に着目し、ボディ電位を信号の到達直前に変動させる。その結果、マンチェスタ型加算器への適用例では、従来のボディ固定に対して最大 15%、光通信用高速 MUX 回路への適用例では、適用対象とした 4:1-MUX 回路で 18% の遅延削減効果が得られた。また、従来の高速化手法である DC バイアス法の問題点であったスタンバイ時のリーク電力を、最大で 1/20 まで削減可能とした。

### A Speed-up Technique for Circuits on SOI Using Look-ahead Type Active Body Bias Control

KAZUKI FUKUOKA,<sup>†</sup> KATSUYA FUJITA,<sup>†</sup> MASAOKI IJIMA,<sup>†</sup>  
MASAHIRO NUMA,<sup>††</sup> KEISUKE YAMAMOTO<sup>††</sup> and KENGO TAKATA<sup>†††</sup>

We propose an approach for higher performance of circuits in SOI LSI based on Active Body Bias (ABB) method. Although conventional ABB method using limiter transistors has been less effective for high speed circuits due to delay of body bias voltage, we improve performance by using signals from previous stages or by focusing on difference of signal arrival times. From the results of circuit simulation, we have confirmed that our technique improves circuit speed by 15% in comparison with conventional approach for a Manchester Carry Chain Adder. Also with an MUX circuit, the standby leakage current has been reduced to 1/20 of that by the DC-bias method.

#### 1. はじめに

論理回路の高速化は LSI 製造プロセスの微細化によって実現されてきたが、リーク電流や配線遅延の増加によって、単に微細化するだけでは要求される性能の実現が困難となっている。そこで近年、従来のバルク構造に代わる技術として、SOI (Silicon On Insulator) 構造が注目されている<sup>1),2)</sup>。

SOI は従来のバルクと比べて接合容量が小さいため、高速化、低消費電力化が期待されるデバイスである。特に、部分的に空乏層を持つ PD (Partially Depleted) SOI では、ボディに端子を設けてトランジスタ

ごとにボディ電位を制御できるという特徴をもつ。

しきい値電圧  $V_{th}$  を静的に制御する手法として、クリティカル・パス上の素子についてのみ低  $V_{th}$  のトランジスタを割り当てるデュアル  $V_{th}$ <sup>3)</sup> がある。また、DTMOS (Dynamic Threshold voltage MOSFET)<sup>4)</sup> のように、ゲート電位に合わせてボディ電位を動的に制御することで、遅延時間の短縮を実現する手法が提案されている。しかし、利用可能な電源電圧が 0.6 V 以下となる制約を受ける点や、高速回路には効果が少ない点が問題とされている。一方、電源電圧による制限を取り除くため、補助トランジスタを介してボディ電位を動的に制御するボディ制御方式 (ABB: Active Body Bias)<sup>5)</sup> が提案されているが、高速動作時にボディ電位の変動が遅れるため、その効果が薄れる点が問題となっていた。

本論文では、これらの問題を解決するため、次の 2 点を特徴とする先見型動的ボディ制御 (LA-ABB: Look-Ahead type Active Body Bias) 法を提案する。

<sup>†</sup> 神戸大学大学院自然科学研究科  
Graduate School of Science and Technology, Kobe University

<sup>††</sup> 神戸大学工学部  
Faculty of Engineering, Kobe University

<sup>†††</sup> 三菱電機株式会社  
Mitsubishi Electric Corporation

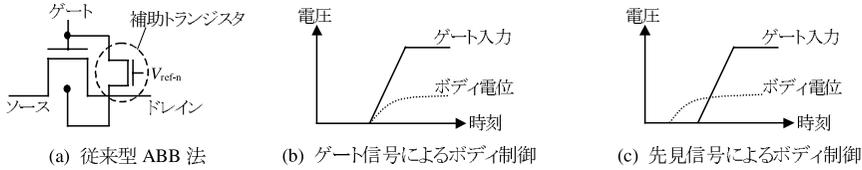


図 1 従来型 ABB 法とその問題点  
Fig.1 Conventional ABB method.

- i) 入力信号の到達時刻の差を利用
- ii) 以前のステージで生成される信号の利用

本手法の適用により、必要に応じて早い段階でトランジスタの  $V_{th}$  を下げることで、高速回路に対しても遅延時間の短縮を実現する。

2. LA-ABB 法とその適用

LA-ABB 法とは、早い段階からトランジスタのボディ電位を制御し、低  $V_{th}$  の状態で待機させることにより、スイッチングおよび信号伝送を高速に行うことを目的とした手法である。

本章では、従来の ABB 法とその問題点について述べた後、簡単な回路例を用いて LA-ABB 法の有効性を示す。

2.1 ABB 法の問題点

図 1 (a) に示す従来型 ABB 法は、ボディ制御対象とするトランジスタのゲート信号を用いて、ボディ電位を制御する手法である。補助トランジスタのゲートに与える電圧  $V_{ref-n}$  を電源電圧  $V_{DD}$  よりも低く設定することで、電源電圧の制約を受けずに適用できる。たとえば、トランジスタのボディ—ソース間に 0.5 V の順バイアスを加える場合、nMOS, pMOS 補助トランジスタのしきい値電圧をそれぞれ  $V_{th-n}$ ,  $V_{th-p}$  として、

$$V_{ref-n} = 0.5 + V_{th-n} \tag{1}$$

$$V_{ref-p} = V_{DD} - (0.5 + |V_{th-p}|) \tag{2}$$

の電位を補助トランジスタのゲートに与える。これにより、トランジスタの動作時には、nMOS のボディ電位  $V_{body-n} = 0.5 [V]$ , pMOS のボディ電位  $V_{body-p} = V_{DD} - 0.5 [V]$  に設定して、電流駆動力を増大させる。この従来型 ABB 法では、ボディ制御対象トランジスタのゲート信号をもとに補助トランジスタを介してボディ電位を制御した場合、高速動作時に遅延が短縮されない問題があった。これは、図 1 (b) に示すように、ゲート信号とボディ電位が同時に上昇し始めるためである。補助トランジスタを駆動するため、制御対象トランジスタのゲート信号に加わる負荷が増加することも遅延要因となる。

表 1 インバータ回路における遅延時間比

Table 1 Delay time ratios with inverter.

入力信号の遅延時間	従来型 ABB ボディ固定	LA-ABB ボディ固定	LA-ABB 従来型 ABB
1 ns	1.05	0.97	0.92
0.1 ns	1.11	0.98	0.86
0.01 ns	1.12	0.98	0.86

それに対して LA-ABB 法では、先見信号をボディ制御信号として適用することで、図 1 (c) に示すようにあらかじめボディ電位を上昇させる点を特徴とする。この結果、 $V_{th}$  がすでに低下した状態でゲート信号を待機することができ、トランジスタのスイッチングが高速化される。このように、制御対象トランジスタがオン状態になる前に、そのボディ電位を制御して低  $V_{th}$  で待機させることで、高速回路にも対応可能とする。

LA-ABB 法の有効性を示すため、インバータ回路に対して、ボディ固定、従来型 ABB 法、LA-ABB 法を適用したときの、回路シミュレータ HSPICE による遅延時間評価結果に関する比較を表 1 に示す。ここで、比較対象とする「ボディ固定」とは、ボディ電位を nMOS は  $V_{SS}$  に、pMOS は  $V_{DD}$  に固定する、従来のバルク構造 MOS FET と同等の方式である。表 1 の結果から、従来型 ABB 法はボディ固定よりも遅延が長く、特に遅延時間が短い高速動作の場合に顕著となる。一方、LA-ABB 法を適用することで、ボディ固定に比べて高速化が実現され、高速動作時においても優位性が保たれており、先見信号によるボディ電位制御の効果が期待される。

次に、トランジスタのゲート信号がソース信号よりも先に到達する場合について、LA-ABB 法の効果を示す。表 2 に、nMOS のゲート信号とソース信号の信号到達時間差  $t_{GS}$  を 0~30 ps に変化させたときのソース—ドレイン間の信号伝達時間比を示す。 $t_{GS} = 30$  ps のとき、ボディ固定に対して遅延時間が 11%削減されている。LA-ABB 法の適用により、先に到達したゲート信号によってボディ電位が制御され、低  $V_{th}$  の状態でソース信号を待機できるため、ボディ固定よりも高

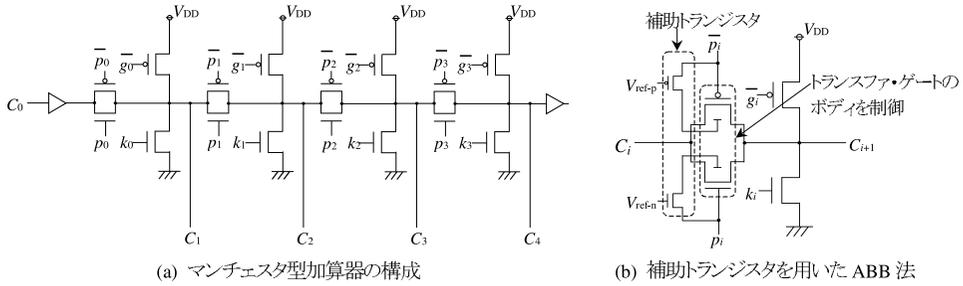


図 2 信号到達時間差を利用した LA-ABB 法

Fig. 2 LA-ABB method focusing on differences in arrival time.

表 2 nMOS 単体における信号伝達時間比  
Table 2 Delay time ratios with nMOS.

ゲートソース間の 信号到達時間差 $t_{GS}$	LA-ABB ボディ固定
0 ps	0.96
10 ps	0.94
20 ps	0.92
30 ps	0.89

速に動作する．このように LA-ABB 法は，早い段階からボディ電位を制御し，低  $V_{th}$  の状態でスイッチングおよび信号の伝送を高速に行うことを目的とした手法である．ボディ領域に伝える信号としては，入力信号が到達する時間差や，それよりも以前のステージで生成される信号を利用することで，回路の高速化を実現する点に特徴がある．次節では，LA-ABB 法の具体的な適用方法を示す．

2.2 マンチェスタ型加算器への適用

入力信号の到達時刻の差異に注目してボディ電位を制御する LA-ABB 法を，マンチェスタ型加算器<sup>6)</sup>に適用する．

図 2(a) に示すマンチェスタ型加算器は，高速桁上げ伝搬を目的としている．各ビット  $i$  の入力  $a_i, b_i$  から，桁上げ生成信号  $g_i$ ，桁上げ消失信号  $k_i$ ，桁上げ伝搬信号  $p_i$  を，

$$g_i = a_i \cdot b_i \tag{3}$$

$$k_i = \bar{a}_i \cdot \bar{b}_i \tag{4}$$

$$p_i = a_i \oplus b_i \tag{5}$$

のように求める．ビット  $i$  からの桁上げ信号  $C_{i+1}$  は，

$$C_{i+1} = \bar{k}_i (g_i + C_i \cdot p_i) \tag{6}$$

で表される．下位ビットからの桁上げ伝搬 ( $C_i \cdot p_i$ ) のために，トランスファ・ゲートを用いる．

提案手法では，図 2(b) に示すように桁上げ信号  $C_i$  が伝搬するトランスファ・ゲート部分の pMOS, nMOS ボディ電位を，補助トランジスタを介して制御する．この理由として，次の 2 点があげられる．

- i) クリティカル・パス ( $C_0 \rightarrow C_4$ ) は，トランスファ・ゲート 4 段を伝搬するパスである．
- ii) 下位ビットからの桁上げ信号よりも，桁上げ伝搬信号が先に生成される．

桁上げ伝搬信号  $p_i$  は，すべてのビットにおいて入力  $a_i, b_i$  の変化から XOR ゲートの遅延時間後に決定される．一方で，桁上げ信号  $C_i$  は，トランスファ・ゲートの伝搬遅延時間を  $t_{TG}$ ，ビット数を  $n$  とするとき， $n \cdot t_{TG}$  の遅延時間を要する．よって上位ビットでは，トランスファ・ゲート  $T_{Gi}$  の制御信号  $p_i$  が桁上げ信号  $C_i$  よりも先に到着するので， $C_i$  の到達を  $T_{Gi}$  が待機している状態となる．そこで，待機状態の  $T_{Gi}$  へ ABB 法を適用することにより，桁上げ  $C_{i+1}$  の生成が高速化される．このように，LA-ABB 法でゲート信号がソース信号より早く到着する点を利用する場合は，ゲート信号でボディ制御をする ABB 法と同様の回路構成となる．

さらにトランスファ・ゲートは，バルクから SOI へ変更した際に，接合容量低減による性能改善効果が高いことが知られている．よって，トランスファ・ゲートを用いるマンチェスタ型加算器は，バルクで構成したときよりも高速化が期待される．

2.3 MUX 回路への適用

次に，1 章の ii) で述べた，以前のステージ信号 ( 先見信号 ) によりボディ電位を制御する手法を，光通信用の高速 MUX 回路に適用する．図 3(a) に D-FF 先見型 LA-ABB 法を示す．ここでは，制御対象トランジスタの前段に D フリップ・フロップ ( D-FF ) が接続されている例を考える．入力信号 in を補助トランジスタ経由で制御対象トランジスタのボディ領域に伝えることで，in = High が入力されたときに，制御対象トランジスタの  $V_{th}$  を早い段階で下げ，オン動作を高速化する．補助トランジスタ挿入によって入力信号 in の遷移が遅れるが，D-FF のセットアップ時間が確保されていれば，D-FF の出力信号 N には影響を与え

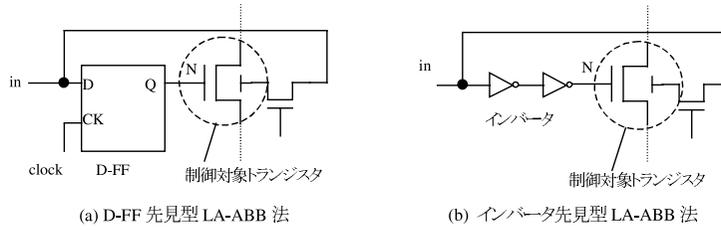


図 3 先見信号を利用した LA-ABB 法

Fig. 3 LA-ABB method using preceding signals.

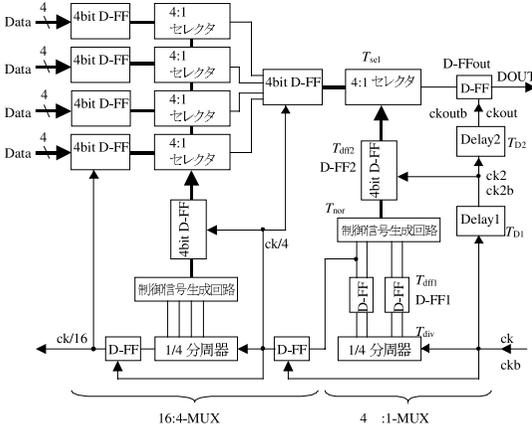


図 4 16:1-MUX 回路  
Fig. 4 16:1-MUX circuit.

ない．また  $in = Low$  のときは，ボディ電位は固定され，制御対象トランジスタの  $V_{th}$  はボディ固定を適用した場合と等しい．

さらに，図 3 (b) にインバータ先見型 LA-ABB 法を示す．ここでは，マスタ・スレイブ型のフリップ・フロップなど，インバータが 2 段直列に接続されている場合を考える．この場合は，インバータ入力信号と制御対象トランジスタのゲート信号が同等であり，インバータ 2 段前の信号を用いることで，制御対象トランジスタの  $V_{th}$  の低下を早めることが可能になる．なお，この際の補助トランジスタによる制御対象トランジスタのゲート入力信号  $N$  の遷移が遅れる影響は少ない．

提案手法を，高速化が要求される 16:1-MUX 回路<sup>7)</sup> に対して適用する．図 4 に示すように 16:1-MUX 回路は，前段の 16:4-MUX 部と後段の 4:1-MUX 部からなる．回路の高速化が求められるのは出力側の 4:1-MUX 部であるので，4:1-MUX 部に対して提案手法を適用する．まず，4:1-MUX 部の各ステージにおける遅延を求めた結果，各ステージにおいて出力負荷の大きい D-FF のほか，セレクト回路，NOR 回路がクリティカルであることが判明した．そこで，これらの

表 3 トランジスタ特性  
Table 3 Transistor characteristics.

ゲート長	0.18 $\mu\text{m}$
SOI 膜厚	150 nm
BOX 膜厚	370 nm
しきい値電圧 $V_{th-n}$	0.24 V
$V_{th-p}$	-0.32 V

回路に対して提案手法を適用する．

ここで，D-FF とセレクト回路では double-rail 型のパス・トランジスタ論理が用いられ，1 つの制御信号が 2 個のパス・トランジスタのゲート入力を駆動している．よって，1 個の補助トランジスタで 2 個のトランジスタのボディ電位制御を行うことで，補助トランジスタ数を削減する．

### 3. 回路シミュレーションと考察

本手法の評価を行うために，表 3 に示す PD SOI プロセスにおいて，HSPICE により回路シミュレーションを行った．トランジスタのしきい値電圧は，ドレイン電圧  $V_D = 1.8\text{V}$  のときにドレイン電流  $I_D = 1\mu\text{A}/\mu\text{m}$  とするゲート電圧を，回路シミュレーションによって算出した結果を示す．遅延時間の評価に関しては，各入力端子の前段および，各出力端子の後段にバッファを接続した状態で，入力端子の電圧がバッファの論理しきい値  $V_{th-buf}$  を通過してから出力端子の電圧が  $V_{th-buf}$  を通過するまでを遅延時間とした．また，従来の高速化手法である DC バイアス法を適用した場合と本手法を比較し，考察を加える．DC バイアス法では nMOS のボディ電位を 0.5 V，pMOS のボディ電位を  $V_{DD} - 0.5\text{V}$  と一定の電圧を与えた．DC バイアス法では，デュアル  $V_{th}$  を想定した評価を行うため，クリティカル・パス部分に対してのみバイアスを与え，最小限のトランジスタのみ低  $V_{th}$  に設定した．

マンチェスタ型加算器についてはセルレイアウトを行い，配線抵抗・容量の抽出結果を用いて評価した．ここで，各トランジスタのボディ・ボディ・コンタクト間の抵抗を最小にするため，最短経路にボディ・コン

表 4 マンチェスタ型加算器の性能比較  
Table 4 Results with MCC Adder.

項目	電源電圧	ボディ固定	DC バイアス法	LA-ABB 法
遅延時間 [ps]	1.8 V	104	99 (0.95)	99 (0.95)
	1.5 V	130	120 (0.92)	120 (0.92)
	1.2 V	220	186 (0.84)	187 (0.85)
消費電力 [ $\mu$ W]	1.8 V	3.24	3.32 (1.03)	3.58 (1.11)
	1.5 V	2.05	2.12 (1.03)	2.27 (1.11)
	1.2 V	1.20	1.25 (1.04)	1.34 (1.12)
リーク電流 [nA]	1.8 V	17	144 (8.38)	17 (1.00)
	1.5 V	13	127 (9.52)	13 (1.00)
	1.2 V	10	112 (11.1)	10 (1.00)

( ) : ボディ固定との比

タクトを配置している。MUX 回路については、ネットリスト上で 20 ~ 80 fF の仮想負荷容量を与えて評価した。

### 3.1 マンチェスタ型加算器に対する結果

表 4 にマンチェスタ型加算器に含まれるトランスファ・ゲート 4 段部分の回路での、遅延時間、消費電力、リーク電流に関する評価結果を示す。遅延時間は、最下位ビットから最上位ビットまでの桁上げ信号に要する時間で、立上がり、立下がり波形を入力したときの遅延時間の平均値としている。また各ビットの入力  $a_i$ ,  $b_i$  は、 $a_i = b_i = 0$  の状態から、 $a_i = 0$ ,  $b_i = 1$  と遷移させ、桁上げ伝搬信号  $p_i$  を  $0 \rightarrow 1$  と変化させた。消費電力に関しては、各ビットヘランダムな 100 パターンの入力を与えた場合の平均値とした。リーク電流に関しては、各入力を固定し、トランスファ・ゲート部分のサブスレッショルド・リークを評価した。

遅延時間に関して、LA-ABB 法を適用することで、ボディ固定に対して最大 15% の高速化が実現された。DC バイアス法と比較しても、本手法による結果の方が高速である。DC バイアス法ではリーク電流増加の問題から  $V_{th}$  低減に限度があるが、LA-ABB 法では、トランジスタがオン状態となる場合のみ  $V_{th}$  を低減するため、DC バイアス法よりも  $V_{th}$  を低減することが可能となる。さらに電源電圧別に比較すると、本手法を適用した場合は、電源電圧の低下にともない、ボディ固定と比較した際の改善率が向上した。これは、電源電圧が低下するほど出力波形の遷移時間が長くなり、 $V_{th}$  低減の効果が顕著になるためである。

動作時の消費電力については、本手法はボディ固定と比較して最大で 12% 増加し、DC バイアス法と比較しても本手法の方が消費電力が増加する結果となった。これは、補助トランジスタの駆動に要する消費電力が加わったためである。特に本評価結果においては加算器単体の小規模な回路を対象としたため、補助トラン

表 5 4:1 セレクタ回路における遅延時間 [ps]  
Table 5 Delay time with 4:1-Selector circuit [ps].

電源電圧	ボディ固定	DC バイアス法	LA-ABB 法
1.8 V	32.8	30.4 (0.93)	29.6 (0.90)
1.5 V	43.6	36.4 (0.84)	36.5 (0.84)
1.2 V	59.8	48.3 (0.81)	49.1 (0.82)

( ) : ボディ固定との比

ジスタ部分の消費電力による影響が表れたものと考えられる。

次に、待機状態でのリーク電流による結果に関して、ボディ固定と比べて DC バイアス法は、最大 11 倍に増加する結果となった。DC バイアス法は、クリティカル・パス上の最小限のトランジスタのみ低  $V_{th}$  に設定した結果を示すが、つねに低  $V_{th}$  に保たれるトランジスタのサブスレッショルド・リーク電流によって、リーク電流が増加したと考える。このように、ボディ電位に一定のバイアスを加える手法は、待機状態を考慮すると問題がある。その一方で、ボディ電位を動的に制御する LA-ABB 法では、ボディ固定と同等のリーク電流を示した。これは、本手法ではトランジスタがオフ状態となる場合、ボディ電位が固定されるためである。

以上の結果から LA-ABB 法では、動的なボディ電位制御によってデュアル  $V_{th}$  などの静的なボディ電位制御法と同等の高速化を実現しながら、待機状態でのリーク電流増加を抑制できることが明らかとなった。

### 3.2 MUX 回路に対する結果

次に、16:1-MUX 回路の遅延時間、最高動作周波数、消費電力に関する評価結果を示して考察を行う。なお、i) 通常のボディ電位固定構造 (ボディ固定)、ii) 0.5 V の順バイアスをボディに与える方法 (DC バイアス法) を比較対象とした。

まず、4:1 セレクタ回路における遅延時間の評価結果を表 5 に示す。LA-ABB 法の適用により、ボディ固定と比較して最大 18% の高速化が実現された。本手法と DC バイアス法を比較すると遅延時間がほぼ同等であることから、本手法を適用することで、ボディ電位をつねに 0.5 V の順方向バイアスを加えた場合と同等に高速化が実現されたといえる。

16:1-MUX 回路全体での最高動作周波数に関する結果を表 6 に示す。LA-ABB 法の適用によって、ボディ固定と比較して電源電圧 1.8 V で 5%、1.2 V で 2% 最高動作周波数が向上した。MUX 回路のような高速回路の場合、従来型 ABB 法ではボディ電位の上昇の遅れによって高速化の効果が低下したが、LA-ABB

表 6 最高動作周波数に関する結果 [GHz]

Table 6 Max. Clock frequency for MUX circuit [GHz].

電源電圧	ボディ固定	DC バイアス法	LA-ABB 法
1.8 V	7.58	8.33 (1.10)	7.94 (1.05)
1.5 V	6.41	7.25 (1.13)	6.58 (1.03)
1.2 V	4.90	5.43 (1.11)	5.00 (1.02)

( ) : ボディ固定との比

表 7 動作時電力とリーク電流の結果(クロック周波数 4 GHz, 電源電圧 1.2 V)

Table 7 Active power and standby leakage current.

項目	ボディ固定	DC バイアス法	LA-ABB 法
動作時電力 [mW]	29.3	31.0 (1.06)	29.6 (1.01)
リーク電流 [ $\mu$ A]	1.93	63.4 (32.9)	3.11 (1.61)

( ) : ボディ固定との比

法では早い段階からボディ電位の制御を行うため、高速回路に対しても効果が現れたと考えられる。

次に、4 GHz のクロックを与え、電源電圧を 1.2 V としたときの動作時電力とリーク電流に関する結果を表 7 に示す。動作時電力に関しては、LA-ABB 法はボディ固定とほぼ同等の消費電力であり、DC バイアス法よりも低い結果が得られた。また、待機状態でのリーク電流に関しては、ボディ固定と比較すると LA-ABB 法は 1.6 倍であるのに対し、DC バイアス法では 33 倍にまで増加した。DC バイアス法ではクリティカル・パス上のトランジスタを低  $V_{th}$  に固定するが、本手法では必要に応じてクリティカル・パス上のトランジスタの  $V_{th}$  を下げるため、待機状態のときにリーク電流を抑制することが可能となったためと考えられる。

#### 4. ま と め

本論文では、PD SOI デバイスのボディ電位を動的に制御することで回路性能を向上する手法 (LA-ABB 法) を提案した。従来型 ABB 法では、高速回路に対しては効果が少ないとされていたが、本手法では、以前のステージで生成された信号を用いてボディ電位を制御することで、必要に応じて早い段階で  $V_{th}$  を低下させ、高速回路にも効果を発揮する点に特徴がある。

本手法の評価を行うために、マンチェスタ型加算器と、高速化が望まれている MUX 回路に対して本手法を適用した。その結果、マンチェスタ型加算器への適用例では、ボディ固定に対して最大 15%、高速 MUX 回路への適用例では、適用部分の 4:1-MUX 回路で 18% の遅延削減効果が得られた。この結果より、従来型 ABB 法では効果の少なかった高速回路に対しても、

本手法が有効であることが確認できた。また本手法は、デュアル  $V_{th}$  などの静的なボディ電位制御法と同等の高速化を実現でき、かつ待機状態でのリーク電流増加を抑制できる手法であることが確認された。

今後の課題として、乗算回路など大規模回路への適用があげられる。

#### 参 考 文 献

- 1) 土屋敏章：SOI CMOS の現状と展望，電子情報通信学会論文誌，Vol.J-82-C-II，No.4，pp.155-164 (1999)。
- 2) Shahidi, G., Ajmera, A., Assaderaghi, F., Bolam, R., Bryant, A., Coffey, M., Hovel, H., Lasky, J., Leobandung, E., Lo, H-S., Maloney, M., Moy, D., Rausch, W., Sanada, D., Schepis, D., Sherony, M., Sleight, J.W., Wagner, L.F., Wu, K., Davari, B. and Chen, T.C.: Mainstreaming of the SOI technology, *IEEE International SOI Conf.*, pp.1-4 (1999)。
- 3) Wei, L., Chen, Z., Johnson, M. and Roy, K.: Design and Optimization of Low Voltage High Performance Dual Threshold CMOS Circuits, *Design Automation Conference '98*, pp.489-494 (1998)。
- 4) Assaderaghi, F., Sinitzky, D., Parke, S., Boker, J., Ko, P.K. and Hu, C.: Dynamic threshold voltage MOSFET (DTMOS) for ultra-low voltage operation, *International Electron Devices Meeting*, pp.809-812 (1994)。
- 5) Lindert, N., Sugii, T., Tang, S. and Hu, C.: Dynamic threshold pass-transistor logic for improved delay at lower power supply voltages, *IEEE Journal of Solid-State Circuits*, Vol.34, No.1, pp.85-89 (1999)。
- 6) Weste, N.H.E. and Eshraghian, K.: *Principles of CMOS VLSI Design*, Addison-Wesley Publishing Company (1985)。
- 7) Nakura, T., Ueda, K., Kubo, K., Matsuda, Y., Mashiko, K. and Yoshihara, T.: A 3.6-Gb/s 340-mW 16:1 pipe-lined multiplexer using 0.18  $\mu$ m SOI-CMOS technology, *IEEE Journal of Solid State Circuits*, Vol.35, No.5, pp.751-756 (2000)。

(平成 15 年 10 月 22 日受付)

(平成 16 年 1 月 6 日採録)



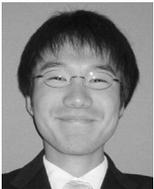
福岡 一樹

1976年生。1998年神戸大学工学部電気電子工学科卒業。同年シャープ株式会社入社。アナログ回路設計に従事。2000年神戸大学大学院自然科学研究科入学。2002年同大学院博士前期課程修了。同年同大学院博士後期課程進学。LSI設計に関する研究に従事。



藤田 克也

1978年生。2001年神戸大学工学部電気電子工学科卒業。2003年同大学大学院自然科学研究科博士前期課程修了。在学中、LSI設計に関する研究に従事。同年株式会社ルネサステクノロジ入社。無線通信用LSIの製品開発に従事。



飯島 正章

1980年生。2003年神戸大学工学部電気電子工学科卒業。同年同大学大学院自然科学研究科博士前期課程入学。LSI設計に関する研究に従事。電子情報通信学会学生会員。



沼 昌宏(正会員)

1960年生。1983年東京大学工学部精密機械工学科卒業。1985年同大学大学院修士課程修了。同大学助手を経て1989年同大学講師。工学博士。1990年神戸大学大学院自然科学研究科講師。1995年同大学工学部電気電子工学科助教授。2004年4月より同学科教授。1996年文部省在外研究員として米国カリフォルニア大学サンタバーバラ校に派遣。主にLSIの設計とCAD、画像処理に関する研究に従事。IEEE, ACM, 電子情報通信学会会員。



山本 啓輔

1939年生。1962年神戸大学工学部電気工学科卒業。同年松下電器産業株式会社入社。主としてテレビ受信機の開発、研究に従事。2000年神戸大学工学部電気電子工学科教授。2001年同大学共同研究開発センター教授。2003年同大学イノベーション支援本部・連携創造センター客員教授。工学博士。放送と通信の融合、画像処理、LSI CADに関する研究、神戸大学における産学連携推進業務に従事。1972年近畿地方発明賞、1973年大阪府発明賞受賞。映像情報メディア学会会員。



高田 賢吾(正会員)

1997年神戸大学工学部電気電子工学科卒業。1999年同大学大学院自然科学研究科博士前期課程修了。同年日本学術振興会特別研究員。2002年神戸大学大学院自然科学研究科博士後期課程修了。同年、三菱電機株式会社入社。工学博士。高速通信用ネットワークLSIに関する研究開発に従事。