

直接結合ネットワークにおけるバッファのリンク単位共有法

深瀬 尚久[†], 三浦 康之[†], 渡辺重佳[†]

湘南工科大学[†]

1. 概要

近年、チップ内の回路(IP コア, 回路ブロック, PE, メモリ, プロセッサ)をネットワークで結合する NoC(ネットワークオンチップ)が注目されている. NoC には様々な利点がある反面, 面積や消費電力の増加などの問題がある. その為, NoC では限られたハードウェアリソースで, 性能の良いルータを構成する必要がある.

ルータ内のバッファを有効利用するために従来, 複数の仮想チャンネルにおいて一つのメモリを共有する方法が提案・実装されてきたが^{[1][2]}, それは少数のチャンネルにおける共有にとどまっていた. そこで我々は, マルチポートメモリの利用による, より大きな, 複数の物理リンクにまたがる共有法を提案する.

提案手法は, 従来と同様の実装法では, 多数の物理リンクを共有する手法の実装に伴う, ハードウェアコストの増加が問題となる. そこで, 本稿では少ないハードウェアコストで実装でき, かつ性能が低下しない新しい実装法を提案し, その性能とハードウェアコストの評価を行う.

2. 従来法

簡単な構造のワームホールルータには, 平滑化のために, クロスバスイッチの入出力側の各チャンネルに同じ容量のバッファが取り付けられている. このような構造の場合, チャンネルが使用されていないとき, そのチャンネルに割り振られているバッファが有効に活用されないという問題があった. この問題を解決するために従来, 物理リンク内のチャンネル間でメモリをフリット単位で共有する手法が提案・実装されてきた^{[1][2]}.

この従来法におけるルータの構造を図1に, メモリの制御に必要な情報を保存するポインタ類の構造図2に示す. この手法では, 各チャンネルでバッファの容量が不足すると, 共有メモリからメモリを動的に割り当てて使用する. この時, 割り当てられたメモリの番号を割り当てたチャンネルの接続情報メモリに記録することによって, 取得したメモリ同士のつながりを表す.

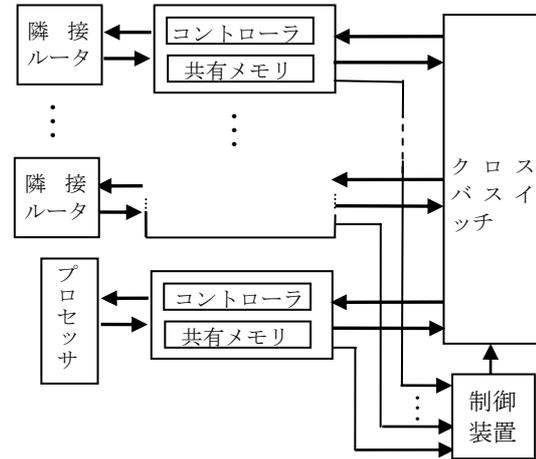


図1 従来法のルータ構成

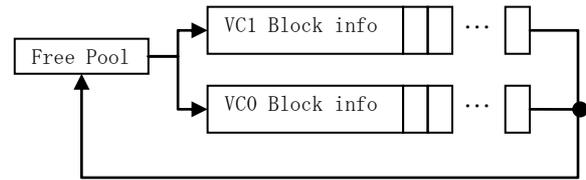


図2 従来法におけるリンクの構造

3. リンク単位共有法

3-1. 概要

従来法は, 各物理リンク内のチャンネルでメモリを共有化するものであった. それに対して, 我々はマルチポートメモリを用いた, 複数の物理リンクをまたいだ共有法を提案する. 提案手法のルータの構造を図3に示す.

提案手法のような複数の物理リンクをまたいだ共有法では, 共有するメモリの容量が多くなるため, 従来法と同様の方法では, メモリの接続情報を示すキューの容量などが膨大になってしまうという問題がある. その為, 今回提案する手法では, 共有するメモリの単位を従来法で使用されたフリットサイズではなく, フリットサイズに分割されたメモリを複数個まとめたブロックという単位で行い, 接続情報をキューではなく各チャンネルの二つのポインタ (nxt, tail) と各ブロックの二つのポインタ (nxt, prv) によって表現している. nxt は, 後ろに接続されたブロックの番号を記録するポインタである. tail はチ

Link-Sharing Method of Biffer in Direct-Connection Network
[†]Naohisa Fukase, [†]Yasuyuki Miura, [†]Shigeyoshi Watanabe,
[†]Shonan Institute of Technology

チャンネルが取得した最後尾のブロックを記録するポインタである。そして、prvはそのブロックを取得したチャンネルを記録するポインタである。これらのポインタの数は、チャンネル数とブロック数によって決定されるため、共有するメモリの容量が増加したとしても、数が膨大にならない。また、容量もフリット単位のメモリすべてでなくブロックの数を表現できればよいので従来法の表現法よりも少ない容量で実装することができる。

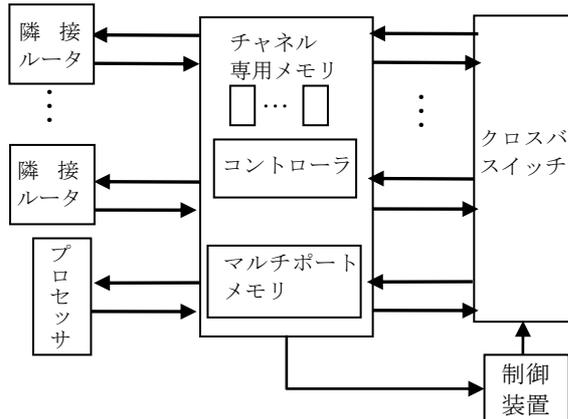


図3 リンク単位共有法のルータの構造

3-2. 動作

この手法では、入力を最後尾のブロックあるいは専有部(ブロック未接続時)でのみ行ない、出力を専有部からのみ行う。そして、チャンネルがブロックを取得している時、専有部に空きがあれば専有部の後ろのブロックにあるフリットを専有部に移している。ブロックは従来法と同じく、専有部あるいは最後尾のブロックが満タんであり、入力があるときに取得され、ブロックが空になると解放される。

4. 性能評価

ここでは、シミュレータを用いて提案手法の通信性能を共有化の範囲と単位の面から評価する。評価には物理リンク数が4、各物理リンクの仮想チャンネル数が2、全リンクのバッファ総数が512、PE数が64の2Dトーラス網を使用する。また、1パケットは512とする。

グラフは横軸が平均スループット、縦軸がパケットの平均転送時間となっており、各PEのパケット発生確率を変化させた時の結果をプロットしたものである。

従来法と同様に各物理リンク内で共有した場合と提案手法の全物理リンク間で共有を行った場合の結果を図4に示す。図4に示すように全リンク間で共有を行ったほうが、リンク内でのみ共有を行ったものよりも性能が向上すること

が確認できた。

続いて、全リンク間の共有を従来法と同じフリット単位で行った場合と提案手法のブロック単位で行った場合の結果を図5に示す。図5が示すように、両手法の性能に大きな差がないことがわかる。

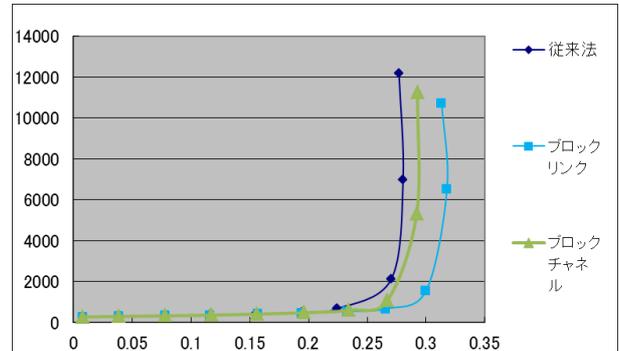


図4 共有化範囲の比較結果

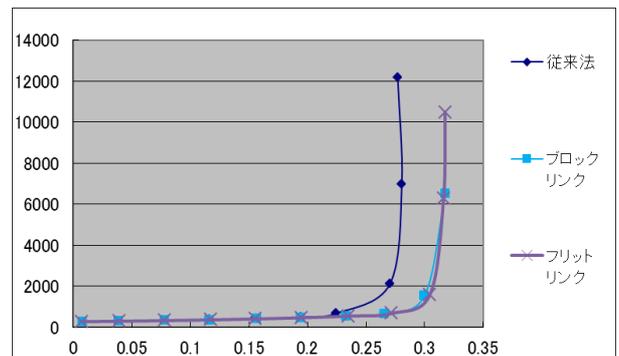


図5 共有化単位の比較結果

5. まとめ

本稿で、我々はルータにおける複数の物理リンクにまたがるメモリの共有法を提案し、その性能とハードウェアコストの評価を行った。その結果、従来法に比べ、少ないハードウェアコストで実装でき、高い通信性能を実現できることが確認できた。今後は、実装に伴うコストについてさらに詳細な検討を行い、提案手法の実装を行う。

参考文献

- [1] A. Kumary, P. Kunduz, A. P. Singhx, L. -S. Pehy, N. K. Jhay, A 4.6Tbits/s 3.6GHz single-cycle NoC router with a novel switch allocator in 65nm CMOS, 25th International Conference on Computer Design (ICCD 2007), pp.63-70, Oct. 2007.
- [2] Gregory L. Frazier, Yuval Tamir, The design and implementation of a multiqueue buffer for VLSI communication switches, Proceedings of the International Conference on Computer Design Cambridge, Massachusetts, pp.466-471, Oct. 1989