

65nm デバイスモデルを用いたセル間距離による MCU 率の定量的な評価

京都工芸繊維大学 工芸科学研究科
張 魁元 古田 潤 小林 和淑

概要

近年の集積回路の素子の微細化により、ソフトエラーに代表される一過性エラーが増加し、回路の信頼性に与える影響はますます深刻になってきた。回路素子の微細化に伴い、一つの粒子線衝突による複数セルが反転する MCU (Multiple Cell Upset) の発生率が高まる。従来の冗長化回路における MCU 耐性の検討が重要な課題となっている。MCU が発生する主要因は粒子線衝突によるラッチ間の電荷共有と寄生バイポーラ効果だと考えられる。本研究では、65nm プロセスにおいて、デバイスシミュレーションと核反応計算コード PHITS を用いて、冗長化回路のラッチ間の距離による MCU 率を定量的に評価した。ラッチ間の距離を離すことにより、MCU/SEU の比は指数関数的に下り、中性子実測の結果と一致していることを検証した。

Analysis of the Cell Distance Depended MCU Rates on 65nm Process Device Model

Kuiyuan Zhang, Jun Furuta, Kazutoshi Kobayashi

Dept. of Design Engineering, Graduate School of Science and Technology, Kyoto Institute of Technology

Abstract Recently, the soft error rates of integrated circuits is increased by process scaling. It decreases the tolerance of VLSIs. Charge sharing and bipolar effect become dominant when a particle hit on latches and flip-flop. It makes circuit more sensitive to Multiple Cell Upset(MCU). We analyze the MCU tolerance of redundant latches in 65nm process by device simulation and particle and heavy ion transpot code system(PHITS). The MCU rate of redundant latches is exponential decreased by increasing the distance between redundant latches. These results coincide with the neutron experiments.

1 序論

近年、大規模集積回路システムの信頼性が注目されている。集積回路における各種の信頼性を下げる要因もよく検討されている。集積回路の素子の微細化により、ソフトエラーに代表される一過性のエラーが増加し、回路の信頼性に与える影響はますます深刻になってきた。ソフトエラーの一種の SEU (Single Event Upset) は放射線や、宇宙線などによりラッチなどの記憶素子で生じ、保持データを反転させる。SEU に関しては様々な測定結果や対策が報告されており、特に SRAM では ECC (Error Check Code) 回路と呼ばれる誤り訂正回路が既にサーバ等では必須の技術となっている [1, 2]。他に三重化回路構造 (Triple Modular Redundancy) や、DICE (Dual Interlocked storage) [3] など SEU 耐性を持つ回路構造も提案されている。

プロセス微細化に伴い、複数のセルが同時に反転する MCU (Multiple Cell Upset) も大きな問題となっている [4-6]。MCU は粒子線の衝突による基板電位の上昇によって寄生バイポーラトランジスタが ON になったり、生じた電子正孔対が複数のノードに集められることによって生じるとされる。MCU はセル間の距離が短いほど発生しやすく、微細化による回路面積の減少に伴い発生率が大きく増加している。集積回路のソフトエラー耐性を高めるために、SEU 耐性だけではなく、MCU 耐性を強くしなければならぬ。セル間の距離とウェルコンタクトの密度はチップの MCU 率に強い影響を与えている。幾つか

のデバイスシミュレーションの結果によると、MCU はウェルコンタクトの密度を増やし、セル間の距離を離すことにより抑制されている [7-9]。しかし、これらの文献は MCU 率とセル間距離の関係を定量的に評価していない。したがって、65nm プロセスにおける MCU 率を定量的に評価する必要がある。

TCAD シミュレーションを用いて、セル間の電荷共有と寄生バイポーラ効果を考慮し、冗長化ラッチにおける MCU が発生する時の電荷収集量などを求めることができる。PHITS を用いて、デバイスに置ける中性子起因のソフトエラー率を求めることができる。PHITS と TCAD シミュレーションを合わせて、デバイスの中性子起因 MCU を正確に評価することができる。本稿では、核反応計算コード PHITS と TCAD シミュレーションを用いて、65nm プロセス冗長化ラッチの中性子起因 MCU 率を定量的に評価する。セル間の距離と MCU 率の関係を明らかにした。本稿の構成を次に述べる。第 2 節では、ソフトエラーの発生要因について述べる。第 3 節では、デバイスシミュレーションを用いた MCU 率の評価を述べる。第 4 節では、PHITS を用いて MCU 率を評価し、デバイスシミュレーションと実測の結果を比較する。第 5 節では、本文をまとめる。

2 ソフトエラーに関して

2.1 ソフトエラーの要因

図 1 に示すように、粒子線が LSI の基板を通過、または衝突することで生じる電子正孔対が生成する。

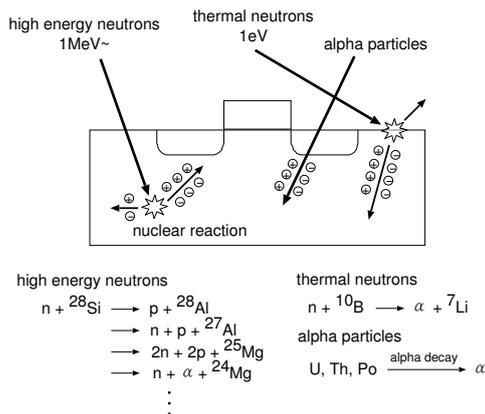


図 1: ソフトエラーを引き起こす粒子線

ドリフトと拡散により、電荷がトランジスタのドレインに収集され、デバイスにおいて一時の電流パルスが生じ、トランジスタの出力を変える。それをソフトエラーと呼ぶ。

近年の地上におけるソフトエラーの主要因は高エネルギー中性子である。しかし微細化により α 粒子起因のソフトエラーの割合が増加すると実測から予測している文献 [10] や、熱中性子起因のソフトエラーを報告している文献も存在しており [4]、全ての粒子に対する対策が必要とされている。

一方、宇宙空間にある人工衛星などにおいては重イオンによるソフトエラーも問題となる。重イオンは、H, D, He 以外の Li より重い元素のイオンである。 α 粒子と同じように重イオンが MOS トランジスタの拡散領域を通過することで電子正孔対が生成され、ここで生じた電子が拡散や空乏層の電界によるドリフトにより拡散層に集められる。集められた電子によりドレインの電荷が変化し、保持値の反転が生じる。この場合には重イオンのエネルギーは LET (Linear Energy Transfer) と呼ばれる。LET はデバイスの中に単位長における重イオン粒子が失うエネルギーのことを表し、単位は $\text{MeV}\cdot\text{mg}/\text{cm}^2$ である。

2.2 Multiple Cell Upset (MCU)

MCU とは一度の粒子の衝突で複数のラッチや SRAM が同時に反転する現象であり、MBE (Multiple Bit Error) や MNSEU (Multi-Node Single Event Upset) とも呼ばれる。発生機構として、寄生バイポーラ効果 (parasitic bipolar effect) と電荷共有 (charge sharing) が挙げられる。MCU の発生率は素子間の距離に強く依存する [8]。複数のラッチや SRAM を隣接して配置した場合は MCU が生じやすく、離すと生じにくくなる。

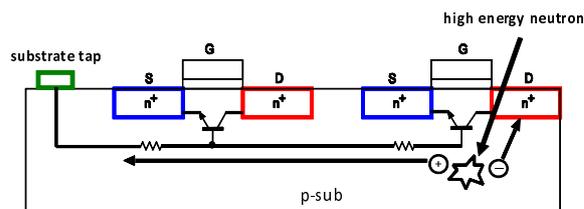


図 2: 寄生バイポーラ効果

寄生バイポーラ効果

粒子線の衝突により生じた電子正孔対のうち、基板に残留した正孔 (PMOS では電子) によって基板電位が上昇する (図 2)。基板電位の上昇によりトランジスタに寄生しているバイポーラトランジスタが ON となる。粒子線の衝突位置に隣接したトランジスタの出力も反転し、MCU となる。ツインウェル構造に比べ、トリプルウェル構造では deep n-well により p-well が分離しているため、p-well での寄生バイポーラ効果による MCU が生じ易い [5]。

電荷共有

粒子線の衝突によって生じた電荷が複数の SRAM やラッチに収集される通過する現象である。電子正孔対が複数の SRAM 近傍で生じるため、ドリフトや拡散により複数の SRAM やラッチの保持値が反転し、MCU となる。

3 デバイスシミュレーションを用いた MCU 率の評価

本節では、65nm プロセスバルク構造の冗長化ラッチにおいて、ラッチ間の距離による MCU 率を評価する。

3.1 シミュレーションの準備

冗長化ラッチの MCU 率を評価するために、図 3 に示すようなラッチの回路を使用する。2 つのラッチを縦に並べた回路構造になっている。本稿ではそれを冗長化ラッチと呼ぶ。レイアウト構造を図 4 に示す。冗長化ラッチの NMOS は同じ p-well に設置され、ウェルコンタクトを NMOS の真横に設置した。粒子線が上のラッチ L0 のトライステートインバータ T0 の NMOS に突入した場合を想定してシミュレーションを行った。ラッチ間の電荷共有と寄生バイポーラ効果により冗長化ラッチが同時に反転し、MCU が発生する LET を評価した。

回路構造とレイアウト構造に基づき図 5 に示す 3D デバイスモデルを構築した。このデバイスモデルは

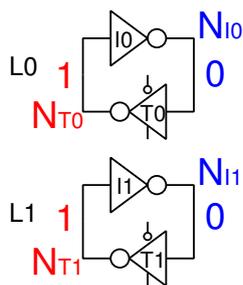


図 3: 冗長化ラッチの回路図.

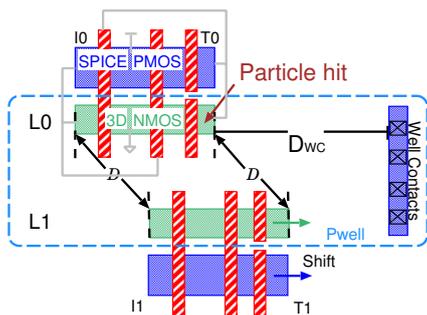


図 4: 冗長化ラッチのレイアウト構造.

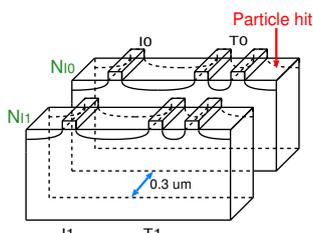


図 5: 3D レベルの冗長化ラッチの構造. 粒子線がラッチ L0 のトリステートインバータ T0 に突入する. 65nm プロセスであって、トリプルウェル構築を用いた. 冗長化ラッチ間の距離を D と定義し、冗長化ラッチとウェルコンタクト間の距離を D_{WC} と定義する. 冗長化ラッチが上下に並べた時、 D は $0.3\mu\text{m}$ となる.

3.2 ウェルコンタクトの位置について

ウェルコンタクトがラッチに近づく場合では、基板電位が強く固定される。粒子線がラッチに突入する際に、基板電位の上昇が抑制され、寄生バイポーラ効果が弱くなる。

粒子線がラッチ L0 に突入する際のトリステートインバータ T0 と T1 の電荷収集量が図 6 に示す。LET は $10\text{MeV}\cdot\text{cm}^2/\text{mg}$ と $20\text{MeV}\cdot\text{cm}^2/\text{mg}$ である。ラッチ間の距離 D を $0.3\mu\text{m}$ に固定する。ラッチとウェルコンタクト間の距離 D_{WC} を 20 から $1.0\mu\text{m}$ に縮める場合で、T0 と T1 の電荷収集量が 50% 下がる。

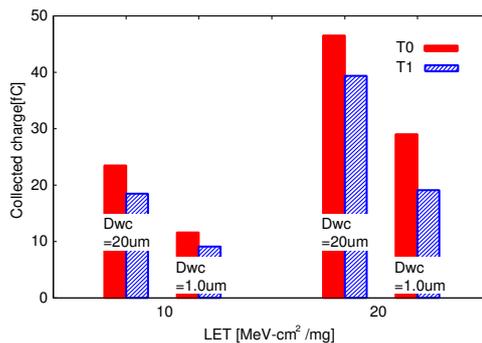


図 6: 冗長化ラッチとウェルコンタクトの間の距離 D_{WC} による冗長化ラッチの電荷収集量. LET は $10\text{MeV}\cdot\text{cm}^2/\text{mg}$ と $20\text{MeV}\cdot\text{cm}^2/\text{mg}$ である.

ウェルコンタクトをラッチに近づけることが MCU 率を低減する効果がある。

3.3 ラッチ間の距離 D による MCU 率

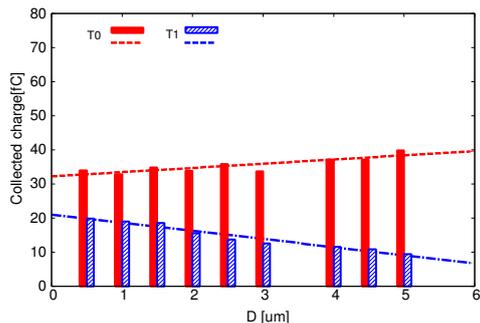
粒子線がラッチ L0 に突入する時、電荷がラッチ L0 と L1 に収集される。収集された電荷量は冗長化ラッチ間の距離 D と関係がある。冗長化ラッチ L0 と L1 に収集された電荷量対 D の関係を図 7 に示す。 D_{WC} は $20\mu\text{m}$ に固定されている。粒子線の LET は $10\text{MeV}\cdot\text{cm}^2/\text{mg}$ と $20\text{MeV}\cdot\text{cm}^2/\text{mg}$ である。図 7 に示すように、LET を固定する場合は、L1 のトリステートインバータ T1 に収集される電荷収集量は D を離すことにより徐々に減少する。ラッチ間の距離を離すことにより、電荷共有と寄生バイポーラ効果が弱くなって、ラッチ L1 に収集された電荷量が減少する。冗長化ラッチの MCU 率を低減することができる。

式 1 に示すように、ソフトエラー率が Q_{crit} と Q_s に比例する。

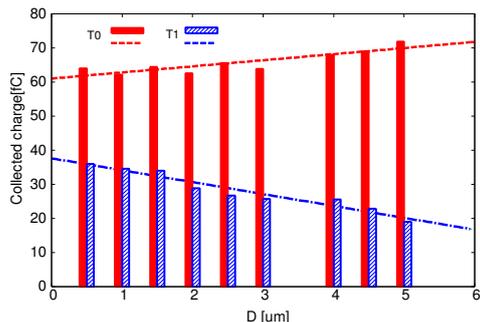
$$N_{SER}(Q_{crit}) \propto \exp\left(-\frac{Q_{crit}}{Q_s}\right) \quad (1)$$

Q_s は電荷収集率と呼ばれ、電源電圧に強く依存する。本稿での Q_s は 350nm と 100nm プロセスの Q_s [15] に基づいて、 65nm にスケールし、値は 5.72 となる。粒子線が冗長化ラッチの L0 に突入し、L0 しか反転していない場合は、L0 に収集された最小電荷量を $Q_{crit-SEU}$ にする。冗長化ラッチが同時に反転する際、L0 に収集された最小電荷量を $Q_{crit-MCU}$ にする。

表 1 に各 D_{WC} と D による MCU 対 SEU の比を示す。この表のデータを図 8 に示す。ただし、MCU 対 SEU の比が 0.001% 以下になると、MCU が発生しないと考える。冗長化ラッチの MCU 率とラッチ間の距離 D の関係を明らかにするように、図 8 のデー



(a) LET=10 MeV·cm²/mg



(b) LET=20 MeV·cm²/mg

図 7: ラッチ間の距離 D による冗長化ラッチの電荷収集量. $D_{WC}=20 \mu\text{m}$.
タの平均値を取り、図 9 に新たな結果を示す。冗長化ラッチ間の距離 D を離すことにより、MCU 対 SEU の比が指数関数的に下がることがわかった。

4 PHITS を用いた MCU 率の評価

この節では、PHITS を用いてラッチ間の距離による MCU 率の評価方法を説明する。

表 1: デバイスシミュレーションを用いた距離 D による MCU 対 SEU の比。

D	$D_{WC} [\mu\text{m}]$					
	2.75	5.00	10.0	15.0	20.0	25.0
	MCU/SEU [%]					
0.5	4.57	26.28	43.63	46.38	48.79	49.65
0.6	2.31	22.31	28.18	33.56	37.70	45.74
1.0	0.0042	8.89	20.57	27.69	29.70	36.63
1.5	-	0.42	7.08	9.37	10.59	13.52
2.0	-	0.20	0.57	1.60	1.94	3.84
2.5	-	-	0.045	0.51	0.97	1.57
3.0	-	-	-	0.22	0.74	1.32
4.0	-	-	-	0.0017	0.026	0.32
4.5	-	-	-	-	0.0046	0.02
5.0	-	-	-	-	-	0.0038

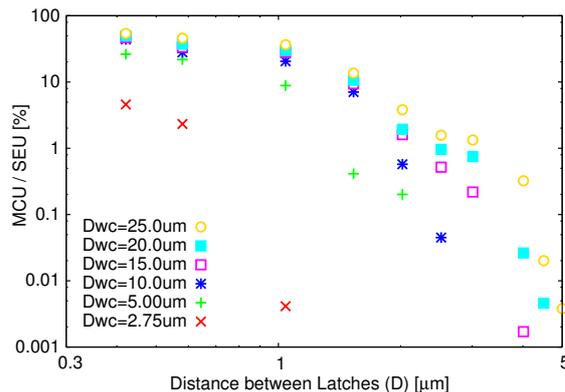


図 8: 各 D_{WC} における距離 D による MCU 対 SEU の比。

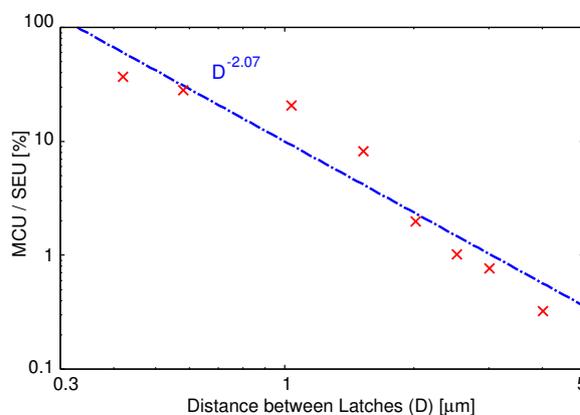


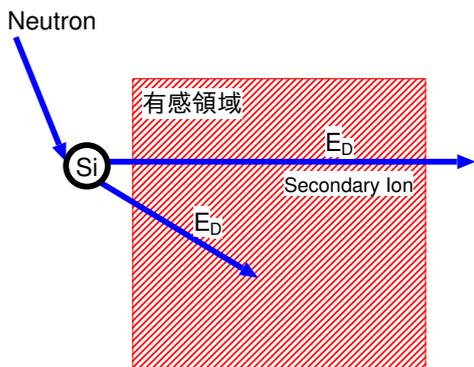
図 9: デバイスシミュレーションを用いた距離 D による MCU 対 SEU の比の平均値。

4.1 PHITS とは

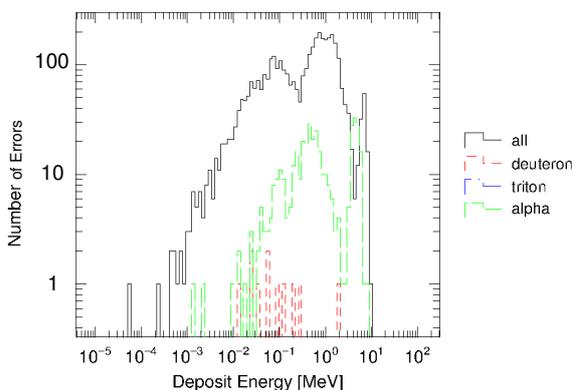
PHITS は Particle and Heavy Ion Transport code System の略で、任意の体系中における様々な放射線の挙動を、核反応モデルや核データを用いて模擬するモンテカルロ計算コードである。デバイスのソフトエラー率を計算をすることもできる。

4.2 PHITS を用いたソフトエラー率の計算

PHITS を用いたソフトエラー率の評価方法を説明する。デバイス内で中性子による核反応を図 10(a) に示す。中性子がデバイス内のシリコンと衝突し、二次イオンを生成する。二次イオンがある領域内に突入/通過する際に、Deposit Energy と呼ばれるエネルギーが放出される。粒子数対 Deposit Energy の分布を図 10(b) に示す。



(a) 中性子による E_D



(b) E_D の分布

図 10: PHITS を用いた E_D の計算.

一方、二次イオン粒子線がトランジスタに突入する際に、正孔電子対を生成され、ドレインに収集される。収集された電荷が一定の量を超えると、ソフトエラーが発生する。その電荷量を臨界電荷量 Q_{crit} と呼ぶ。文献 [16] によると、0.1MeV の Deposit Energy は 5fC の Q_{crit} に相当する。デバイスシミュレーションを用いて求めた Q_{crit} を臨界 Deposit Energy に換算する。PHITS を用いて粒子数対 Deposit Energy の分布を求める。臨界 Deposit Energy より大きいエネルギーを放出した二次粒子の数がソフトエラー数と考えられる。

4.3 PHITS を用いたラッチ間の距離 D による MCU 率の計算

PHITS を用いたデバイスモデルを図 11 に示す。シリコンのマスクと基板領域の大きさは $4\mu\text{m} \times 4\mu\text{m} \times 10\mu\text{m}$ である。赤い領域を有感領域と呼び、粒子線が有感領域に突入する際に、回路でソフトエラーが発生する可能性がある。有感領域の大きさは $0.2\mu\text{m}$

表 2: PHITS を用いた N_{MCU} 対 N_{SEU} の比.

Distance	E_D	N_{SEU}	N_{MCU}	MCU/SEU
$0.3\mu\text{m}$	0.128	322	169	52.5%
$0.5\mu\text{m}$	0.177	322	115	35.7%
$1.0\mu\text{m}$	0.241	322	76	23.6%
$1.5\mu\text{m}$	0.366	322	35	10.9%
$2.0\mu\text{m}$	0.573	322	15	4.66%
$2.5\mu\text{m}$	0.658	322	11	3.42%
$3.0\mu\text{m}$	0.690	322	10	3.11%
$4.0\mu\text{m}$	1.097	322	1	0.31%

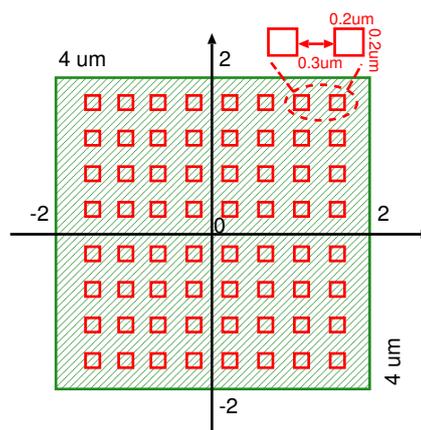


図 11: PHITS を用いたデバイスモデル.

$\times 0.2\mu\text{m}$ で、有感領域の厚さが 500nm である。地上の中性子と同じスペクトル分布を持つ中性子を用いて、デバイスモデルの上から垂直に照射する。中性子の量は 10^9 である。中性子がデバイス内で核反応を起こし、二次イオン粒子が赤い有感領域に突入/通過する際の Deposit Energy が放出する。第 3 節ではデバイスシミュレーションを用いて冗長化ラッチの $Q_{crit-SEU}$ とラッチ間の距離に対する $Q_{crit-MCU}$ を求めた。それを用いて距離 D による冗長化ラッチの臨界 Deposit Energy を計算し、粒子数対 Deposit Energy の分布により N_{SEU} と N_{MCU} を計算した。それぞれのデータを表 2 に示す。 N_{MCU} 対 N_{SEU} の比を図 12 に示す。実測による結果 [17] も同じ図に示す。PHITS を用いた冗長化ラッチの MCU 対 SEU の比は実測結果に一致し、距離 D を離すことにより、指数関数的に減少している。距離 D を 5μ 以上離せば、冗長化ラッチにおける MCU 対 SEU の比は約 0.2% までに減少できる。

5 結論

本稿では 65nm プロセス冗長化ラッチの MCU 率を定量的に評価した。ラッチ間の距離 D を離すことにより、ラッチの間の電荷共有と寄生パイポラ

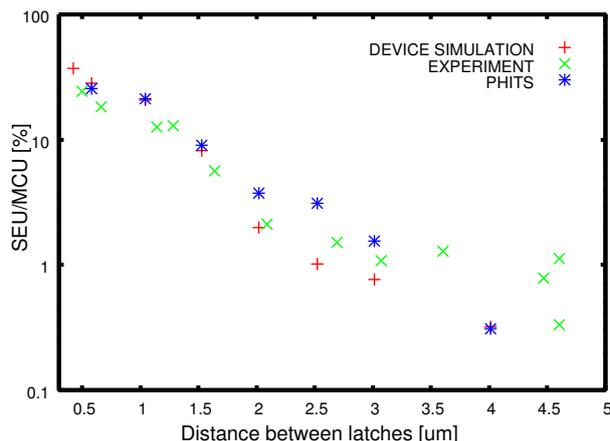


図 12: PHITS、デバイスシミュレーション、中性子実測による MCU/SEU の比。

効果を抑え、ラッチの MCU 耐性を強化することができる。ウェルコンタクトをラッチに近づける場合には、基板電位が強く固定され、粒子線の衝突による基板電位の上昇が抑制される。寄生バイポーラ効果が弱くなって、MCU 率の低減に効果がある。冗長化ラッチ間の距離 D を徐々に離すことにより、MCU 対 SEU の比が指数関数的に減少している。核反応計算コード PHITS を用いてソフトエラー率を評価することもできる。PHITS による結果はデバイスシミュレーションと実測と一致している。

謝辞

本研究は東京大学 VDEC, STARC, CMP, ST, Cadence, Synopsys, Menter Graphics の協力で行われた。

参考文献

[1] ソフト・エラー対策、待ったなし SRAM や論理回路が狙上に、日経エレクトロニクス, No. 903, pp. 63–70 (2005).
 [2] Ando, H., Seki, K., Sakashita, S., Aihara, M., Kan, R., Imada, K., Itoh, M., Nagai, M., Tosaka, Y., Takahisa, K. et al.: “Accelerated Testing of a 90nm SPARC64V Microprocessor for Neutron SER”, *The Third Workshop on System Effects on Logic Soft Errors* (2007).

[3] D. Krueger, E. Francom, and J. Langsdorf. Circuit design for voltage scaling and ser immunity on a quad-core titanium processor. In *ISSCC*, pages 94–95, Feb. 2008.
 [4] Wen, S., Wong, R., Romain, M. and Tam, N.: “Thermal Neutron Soft Error Rate for SRAMs in the 90nm – 45nm Technology Range”, *Proc. Int. Rel. Phys. Symp.*, pp. 1036–1039 Apr. 2010.
 [5] Gasiot, G., Giot, D. and Roche, P.: “Multiple Cell Upsets as the Key Contribution to the Total SER of 65 nm CMOS SRAMs and Its Dependence on Well Engineering”, *IEEE Trans. Nucl. Sci.*, Vol. 54, No. 6, pp. 2468–2473 (2007).
 [6] B.D. Olson, D.R. Ball, K.M. Warren, L.W. Massengill, N.F. Haddad, S.E. Doyle, and D. McMorrow. Simultaneous single event charge sharing and parasitic bipolar conduction in a highly-scaled SRAM design. In *IEEE Trans. Nucl. Sci.*, number 52, Issue: 6, pages 2132 – 2136, Dec. 2005.
 [7] J. Black, A. Sternberg, M. Alles, A. Witulski, B. Bhuvu, L. Massengill, J. Benedetto, M. Baze, J. Wert, and M. Hubert, “HBD layout isolation techniques for multiple node charge collection mitigation,” *IEEE Trans. Nucl. Sci.*, vol. 52, no. 6, pp. 2536–2541, Dec. 2005.
 [8] O. A. Amusan, A. F. Witulski, L. W. Massengill, B. L. Bhuvu, P. R. Fleming, M. L. Alles, A. L. Sternberg, J. D. Black, and R. D. Schrimpf, “Charge Collection and Charge Sharing in a 130 nm CMOS Technology,” *IEEE Trans. Nucl. Sci.*, vol. 53, no. 6, pp. 3253–3258, Dec. 2006.
 [9] D. Hansen, E. Miller, A. Kleinosowski, K. Kohonen, A. Le, D. Wong, K. Amador, M. Baze, D. DeSalvo, M. Dooley, K. Gerst, B. Hughlock, B. Jeppson, R. Jobe, D. Nardi, I. Ojalvo, B. Rasmussen, D. Sunderland, J. Truong, M. Yoo, and E. Zayas, “Clock, flip-flop, and combinatorial logic contributions to the seu cross section in 90 nm asic technology,” vol. 56, no. 6, pp. 3542–3350, Dec. 2009.
 [10] Kobayashi, H., Kawamoto, N., Kase, J. and Shiraish, K.: “Alpha Particle and Neutron-induced Soft Error Rates and Scaling Trends in SRAM”, *Proc. Int. Rel. Phys. Symp.*, pp. 206–211 Apr. 2009.
 [11] K. Zhang, R. Yamamoto, J. Furuta, K. Kobayashi, and H. Onodera, “Parasitic bipolar effects on soft errors to prevent simultaneous flips of redundant flip-flops,” *Proc. Int. Rel. Phys. Symp.*, pp. 5B.2.1-5B.2.4, Apr. 2012.
 [12] K. Zhang, and K. Kobayashi Contributions of Charge Sharing and Bipolar Effects to Cause or Suppress MCUs on Redundant Latches. *Proc. Int. Rel. Phys. Symp.*, pp. SE.5.1-SE.5.4, Apr. 2013.
 [13] R. Tsuchiya, M. Horiuchi, S. Kimura, et al. Silicon on thin BOX: a new paradigm of the CMOSFET for low-power high-performance application featuring wide-range back-bias control. *Proceedings IEDM 2004*, pp.631-634, Dec. 2004.
 [14] Y. Yamamoto, H. Makiyama, H. Shinohara, T. Iwamatsu, H. Oda, S. Kamohara, N. Sugii, Y. Yamaguchi, T. Mizutani and T. Hiramoto Ultralow-Voltage Operation of Silicon-on-Thin-BOX (SOTB) 2Mbit SRAM Down to 0.37 V Utilizing Adaptive Back Bias. *2013 Symposium on VLSI Technology Digest of Technical Papers*, JJ2-4, 2013.
 [15] P. Hazucha and C. Svensson, “Impact of CMOS Technology Scaling on the Atmospheric Neutron Soft Error Rate,” *IEEE Trans. Nucl. Sci.*, vol. 47, no. 6, pp. 2586–2594, 2000.
 [16] T. Handa, K. Niita, and H. Sawamura, “Neutron-induced semiconductor soft error simulation using the PHITS Monte Carlo simulator,” in *Proc. 2003 symposium on nuclear data.*, 2003
 [17] J. Furuta, K. Kobayashi, and H. Onodera, “Impact of cell distance and well-contact density on neutron-induced multiple cell upsets,” in *Proc. Int. Rel. Phys. Symp.*, Apr. 2013, pp. 6C.3.1–6C.3.4.