

3996 トランジスタにおける NBTI 劣化の統計的ばらつき

粟野 皓光 廣本 正之 佐藤 高史

京都大学大学院 情報学研究科 通信情報システム専攻 〒606-8501 京都市左京区吉田本町

集積回路の微細化に伴う信頼性の低下が問題視され始めている。特に負バイアス温度不安定性 (Negative Bias Temperature Instability, NBTI) は長期信頼性を左右する劣化モードであり、精力的な研究が行われている。本論文では数千個のトランジスタにおける NBTI 劣化の効率的な測定を可能とするデバイスアレイを提案する。NBTI 劣化の測定には非常に長時間のストレス時間が必要であり、多数のトランジスタで NBTI 劣化を測定することは困難であった。提案回路では測定時間を支配するストレス電圧印加を並列化させることで、測定時間を大幅に短縮する。試作チップを使った実験の結果、NBTI が引き起こす閾値電圧劣化量の標準偏差はチャンネル面積に反比例することが明らかとなった。また AC ストレスを印加して測定した劣化ばらつきについても報告する。

Variability in NBTI Induced Device Degradations Observed on 3996 Transistors

Hiromitsu Awano, Masayuki Hiromoto, Takashi Sato

Dept. of Communications and Computer Eng., Graduate School of Informatics, Kyoto Univ.,
Yoshida-Honmachi, Sakyou-ku, Kyoto 606-8501 Japan

Reliability degradations due to semiconductor device scaling have attracted increasing concern. Negative bias temperature instability (NBTI), one of the major degradation mode, has been intensively studied since it is expected to have great impact on long term circuit reliability. Very long stress periods required in NBTI measurement had made it almost impossible to measure NBTI on thousands of transistors. This paper proposes a circuit with which the measurement time of NBTI on vast amount of transistors is drastically shortened by utilizing the stress overlapping technique in which thousands of transistors are stressed in parallel. The experimental results show that the standard deviation of magnitude of threshold voltage shifts bears an inverse relation to the channel areas of transistors. The variability in degradations under AC-stress conditions is also presented for the first time.

1 はじめに

負バイアス温度不安定性 (Negative bias temperature instability, NBTI) は微細なトランジスタを用いた集積回路の長期信頼性を左右する主な要因と考えられ、精力的な研究が行われている。微細化の進捗とともに NBTI が信頼性に与える影響は増大すると予想され、様々なモデルが提案されている。NBTI は水素離合による界面状態数の増加と固定電荷の生成により説明される。シリコンと酸化膜の界面に存在する Si-H 結合がゲート電界により破壊され水素原子が拡散し固定電荷を作る。同時にダングリングボン

ド (Si-) がキャリアを捕獲及び放出することも固定電荷の生成に繋がる。

NBTI による閾値電圧変動を説明するモデルとして、Reaction-Diffusion モデル [1] と Trap-Detrap モデル [2] が提案されているが、未だ、モデルの正当性について結論は出ていない。実シリコンにおいて NBTI を測定する技術は、モデルの妥当性を評価するためにも非常に重要であるといえる。NBTI で劣化した閾値電圧はストレスから開放されると急速に回復するため、急峻な回復成分を正確に測定することは困難な課題である。文献 [3] ではチップ上にオ

ペアンプで構成される定電流源を置くことで、測定トリガを送出してから出力が安定するまでの時間を短縮させている。他にも On-The-Fly 法と呼ばれる、ストレスを掛けながらドレイン電流の変化を測定する方法も提案されている [4]。

これらの手法は少数トランジスタの劣化測定を目的としている。一方、近年の微細プロセスではトランジスタ毎に特性が大きくばらつくことが問題となっている。従って、NBTI 劣化においても、ばらつきを考慮することが重要であるといえる。多数トランジスタの NBTI 測定を考えると、先に挙げた課題とは別に、測定時間の長さが新たな問題となる。NBTI による閾値電圧変動を測定するためには、電源電圧や温度を高くすることで劣化を加速させるが、それでも数時間から数日の測定時間が必要となる。従って、数千個のトランジスタにおいて、現実的な時間で NBTI 劣化を測定しようとする、各トランジスタの測定を並列化させることが必要不可欠となる。

並列測定のコセプトを図 1 に示す [5]。このコセプトに従って設計した回路 (BTIarray) は 65nm プロセスで試作され、期待した動作が確認出来ている [5]。実線及び破線は測定対象のトランジスタ (DUT) に負バイアスストレスまたは回復バイアスが印加されていることを示している。図中の四角は DUT の閾値電圧測定を表している。測定機器及び PAD を共有しているため、同時に閾値電圧を測定することは出来ない。しかし閾値電圧測定に必要な時間は高々数百マイクロ秒であり、ストレスを印加している時間と比較して非常に短い。従って m 個の DUT を集積した場合、全体の測定時間はおよそ $1/m$ 倍にまで短縮される。

2 大規模測定のための改善

文献 [5] で提案している BTIarray では、次に示す要因により DUT 数のスケラビリティが確保できず、数千個の DUT における NBTI の測定には適さない。

まず、測定タイミングの制御精度が不足しているという問題がある。NBTI の回復過程を測定するために、全ての DUT をストレス状態に切り替え閾値電圧を測った後、回復モードに切り替えたとする。このとき、BTIarray では DUT が過去のバイアス状態を記憶出来ないため、全ての DUT が同時に回復モードに遷移してしまう。先に述べたように、測定装置を DUT 間で共有出来るよう、DUT の閾値電圧は同時に測定出来ない。従って、回復モードに移行して

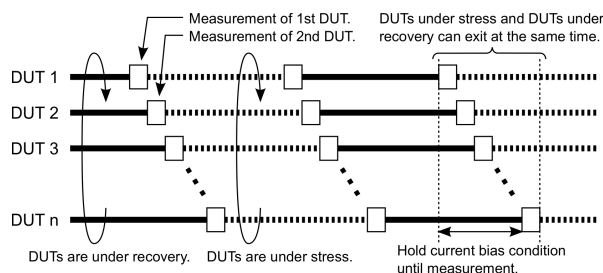


図 1: ストレスオーバーラッピングのコセプト

から最初に測定される DUT では、回復モード移行直後の閾値電圧が測定されるのに対し、最後に測定される DUT は回復モードに移行してから $m \cdot T_{\text{meas}}$ だけ経過した閾値電圧を測定することになる。ここで、 T_{meas} は閾値電圧測定に要する時間である。 T_{meas} は数百マイクロ秒であるが、 m の増大とともに無視できない誤差を生む要因となる。

次にリーク電流の影響が挙げられる。BTIarray ではパスゲートによって DUT 端子電位の切り替えを行っている。回路規模が増大すると、オフ状態のパスゲートが流すリーク電流が重畳し、測定中の DUT に流れ込む。このため、閾値電圧の測定精度が悪化してしまう。

第 1 の問題は、DUT ブロックに状態を記憶させるフリップフロップ (FF) を設けることで解決を図る。DUT 毎に独立してストレスや回復状態を設定出来るため、測定の自由度が高くなる。同時に、ストレスと回復を頻繁に繰り返す AC ストレス条件において、各デバイスのストレス時間と回復時間を正確に一致させる効果を発揮する。

第 2 の問題は、リークを流すダミー経路を設けることで解決を試みる。提案回路では約 4 千個の DUT が搭載されているが、128 個の DUT を搭載している回路 [5] と同等以上の測定精度を確保出来ることが確認出来ている。

3 回路構造

図 2 に DUT とそれを取り囲むスイッチの構造を示す。 V_{SS} , V_{STR} , V_{REC} , V_{BIAS} には定電圧源を接続し、 V_{CC} には定電流源を接続する。 V_{DD} は電源電圧、 V_{SS} はグラウンド電位である。

DUT が回復モードに入っているときには、sw0, sw3, sw5, sw8, sw11 を閉じ、劣化した閾値電圧を回復させる。 V_{REC} は回復時のゲート電位であり、 V_{DD} と同じか、より高い電位に設定する。

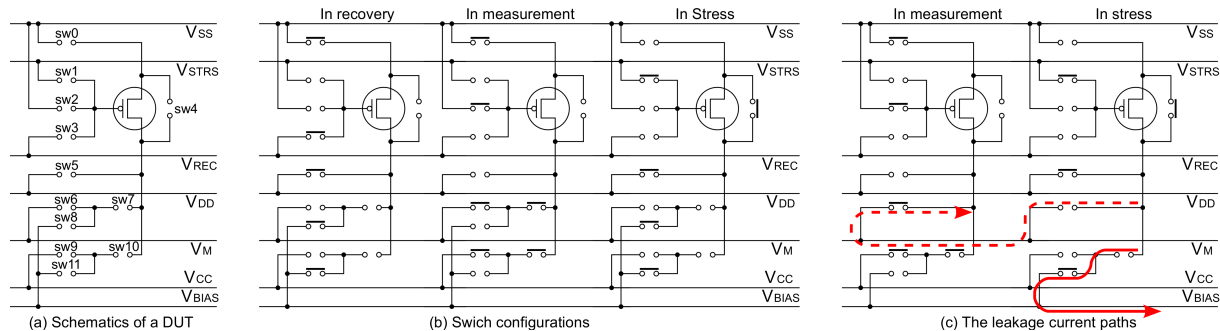


図 2: DUT 及び周辺の回路とパスゲートスイッチ接続例

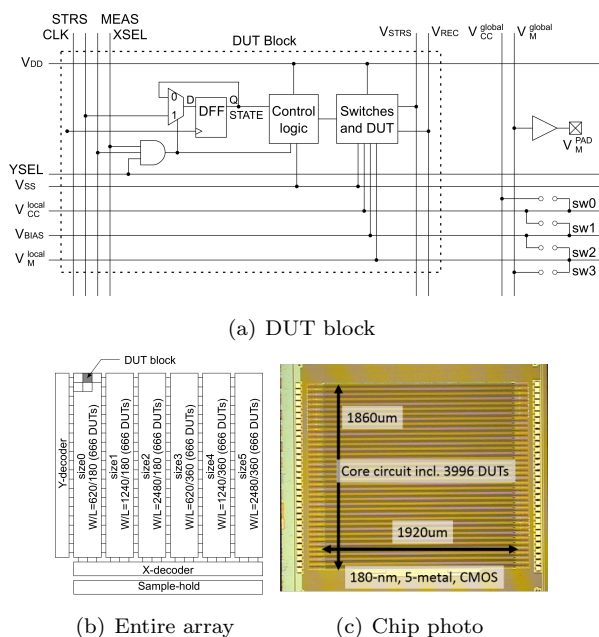


図 3: (a) DUT ブロック, (b) 提案回路の構成, (c) チップ写真

DUT がストレスモードに入っている時には, sw1, sw4, sw5, sw8, sw11 を閉じ, 閾値電圧を劣化させる. V_{STR} はストレス時のゲート電位であり, V_{DD} より低い電位に設定する.

閾値電圧は定電流法 [6] により測定する. 測定モードにある DUT ブロックでは sw0, sw2, sw6, sw7, sw9, sw10 を閉じておく. V_{CC} より投入される電流が DUT に流れ込んでいる時, ソース電位を V_M を通して測定する.

閾値電圧を測定している時は, V_{BIAS} に DUT の閾値電圧付近の電圧を与えて, リーク電流が DUT に流れ込むのを防止する. 図 2(c) の破線は, ダミー経路が無い場合のリーク電流経路を示している. 測定モードにある DUT のソース端子電位は閾値電圧と同電位となる一方で, ストレスモードにある DUT の

ソース端子電位は V_{DD} と同電位である. そのため, sw6 と sw9 の両端に電位差が発生し, リーク電流が V_{DD} から測定モードにある DUT に流れ込む. 従って, DUT の閾値電圧より高い電位がソース端子に発生することになってしまい, 正確な測定が行えない. sw7, sw8, sw10, sw11 を使うことでこの問題の解決を図る. V_{BIAS} に閾値電圧付近の電位を与えておくことで, sw6 と sw9 の両端電位差をほぼゼロに近づけ, リーク電流が流れるのを防止する. リーク電流は V_{DD} から V_{BIAS} に流れ込むことになるが, これはチップ外部の測定装置で吸収される. この構造により, 測定素子数のスケーラビリティを大幅に増大させることが可能となる.

図 3(a) に DUT ブロックの構造を示す. V_M^{local} と V_{CC}^{local} は, それぞれ図 2 の V_M と V_{CC} に接続される. 各ブロックにはモードの遷移を制御する制御回路と, DUT がストレス状態にあるのか, 回復状態にあるのかを記憶する FF が搭載されている. 電圧出力 V_M^{global} はアンプを介して PAD に接続される. 当該列の DUT が測定モードにある時, sw0, sw3 は閉じられ, V_{CC}^{global} から V_{CC}^{local} に測定電流が流れ込むとともに, V_M^{local} から V_M^{global} 及びアンプを経由して閾値電圧が PAD に出力される. 当該列の DUT が測定モードに入っていない時は, sw1 と sw2 を閉じ, V_M^{local} と V_{CC}^{local} を V_{BIAS} と同電位に充電しておく. V_{BIAS} には閾値電圧付近の電位を与えているため, V_M^{local} と V_{CC}^{local} は閾値電圧付近の電位に充電される. そのため選択列が切り替わった時に充放電する電荷が少なくなり, 出力が V_M に安定するまでの時間を短縮出来る. DUT ブロックはタイル状に配置され, アドレスデコーダ等の周辺回路を付加して, 回路全体が構成されている (図 3(b)).

提案回路を 180nm, 5 層メタルの CMOS プロセスを用いて試作した. 図 3(c) にチップ写真を示す. DUT にはチャンネル長, 幅の異なる 6 種

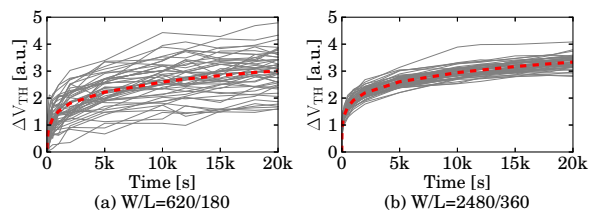


図 4: チャンネルサイズが $W/L=620\text{ nm}/180\text{ nm}$ 及び $2480\text{ nm}/360\text{ nm}$ の DUT で測定された閾値電圧劣化

類 ($W/L=620/180, 1240/180, 2480/180, 620/360, 1240/360, 2480/360$) をそれぞれ 666 個ずつ、全体で 3,996 個搭載した。

4 測定結果

4.1 測定条件

V_{SS}, V_{DD}, V_{BIAS} には $0\text{ V}, 2.7\text{ V}, 0.65\text{ V}$ をそれぞれ印加した。 V_{STR} の電位は 0 V としたため、 2.7 V の負バイアスが印加されることとなる。回復電圧 V_{REC} は 2.7 V とした。閾値電圧測定に使用する定電流 V_{CC} は動作点を合わせるために DUT のサイズ毎に $0.1 \times W/L [\mu\text{A}]$ となるよう調節した。DUT が測定モードに入ると定電流を $100\mu\text{ s}$ だけ流し、閾値電圧を測定する。この測定に要する時間だけストレスが中断するため、部分的な回復が発生してしまう。NBTI ばらつきの測定においては、この回復成分を可能な限り一定に保つために、定電流を押し込む時間は正確に制御する必要がある。

閾値電圧を連続測定した時の誤差によって測定精度を評価した。実際には Random Telegraph Noise (RTN) によって閾値電圧は確率的に変動するため、測定精度を厳密に評価することは困難である。ここでは、RTN の影響が小さいと考えられる DUT を選択し、その閾値電圧を 10 万回連続測定し、精度評価に使用した。その結果、提案回路の測定精度は RMS で $179\mu\text{ V}$ であることが確かめられた。これは 128 個の DUT を搭載している回路 [5] と同程度であり、スケラビリティ向上のための回路方式が期待通りの働きをしていることが確認出来たと言える。

4.2 DC ストレス

20 k 秒の負バイアスを印加して閾値電圧劣化を測定した。測定シナリオは次の通りである。まず、劣化前の閾値電圧を測定する。次に DUT をストレスモ-

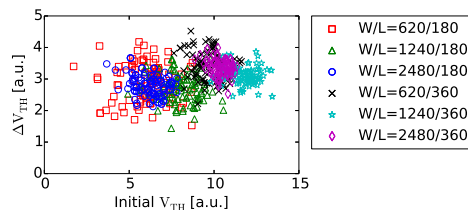


図 5: ストレス印加前の閾値電圧とストレス印加による閾値電圧の劣化量

ドに入れ、 2.7 V の負バイアスを印加する。閾値電圧は $t = 0, 1, 2, 5, 10, 20, 50, 100, 200, 500, 1\text{ k}, 2\text{ k}, 5\text{ k}, 10\text{ k}, 12\text{ k}, 18\text{ k}, 20\text{ k}$ 秒で測定する。以下の測定は全てチップを 135° C に加熱した条件で行った。図 4 にチャンネル幅とチャンネル長が $W/L=620\text{ nm}/180\text{ nm}$ 及び $2480\text{ nm}/360\text{ nm}$ の DUT で観測された閾値電圧の時間変化を示す。ここでは無作為に選択した 50 個の DUT に対する結果を示している。赤の破線は 666 個ある DUT で観測された閾値電圧劣化の平均である。サイズの小さな DUT では閾値電圧劣化のばらつきが大きいことが確認できる。図 5 にストレス印加前の閾値電圧と、負バイアス印加による劣化量との相関を示す。両者に目立った相関がないことが確認できるが、これは閾値電圧ばらつき及び閾値電圧劣化を引き起こす物理要因がそれぞれ異なるためであると説明できる。つまり NBTI はチャンネル界面の欠陥等が関与している一方で、製造時の閾値電圧ばらつきは、不純物の位置やゲート電極の形状ばらつきなどで決まるためである。

時刻 t における閾値電圧劣化量 (ΔV_{TH}) は冪乗則 ($\Delta V_{TH} \propto k \cdot t^n$) に従うことが知られている。ここで、 n は劣化速度に対応するパラメータであり、 k は温度やプロセス、バイアス電圧で決まる定数である。冪乗モデルを測定結果にフィッティングさせることで計算した n の分布を図 6 に示す。 n の分散はチャンネル面積に強く影響されることが見て取れる。 n の分布を近似する対数正規分布を図 6 に赤の実線で示すとともに、対数正規分布のモデルパラメータである μ と σ を図中に示す。図 7 に n のモデル分布を (a) 対数正規分布及び (b) 正規分布として描いた Quantile-Quantile (QQ) プロットを示す。QQ プロットの対角線上にサンプル点が並んでいれば、モデル分布と測定した分布の形状が似通っていることを判定できる。これを見ると、対数正規分布が n の分布を良く近似出来ていると言える。

666 トランジスタにおける閾値電圧劣化量の標準偏差とチャンネル面積の関係を図 8(a) に示す。また、ストレスを印加する前の DUT で測定した閾値電圧の

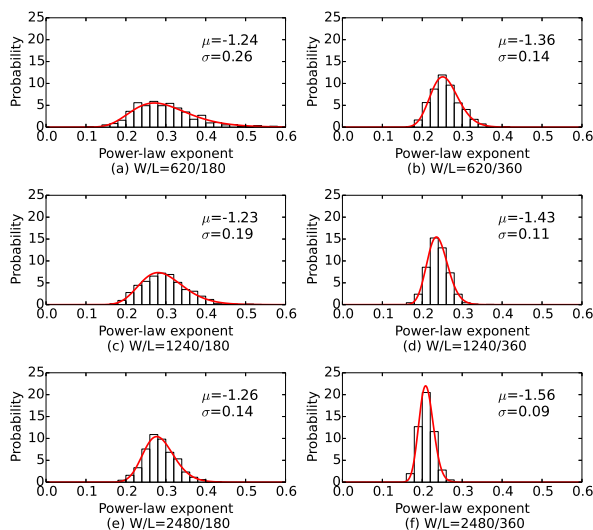


図 6: 冪乗則モデルのスケーリング係数分布

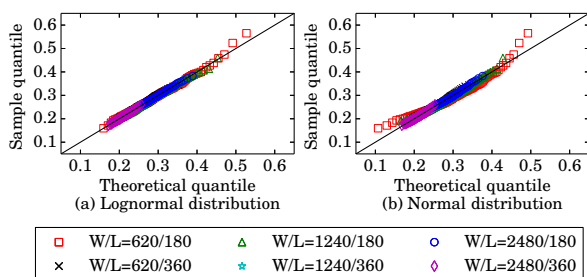


図 7: スケーリング係数分布の (a) 対数正規分布 及び (b) 正規分布 に対する Quantile-Quantile プロット

標準偏差とチャンネル面積の関係を図 8(b) に示す。一般的に閾値電圧ばらつきはチャンネル面積の平方根に反比例して増大することが知られており、図 8(b) から、その関係性は確認できる。一方、ストレス印加に起因する閾値電圧劣化量の標準偏差は図 8(a) に示すとおり、チャンネル面積に反比例して増加することが実験的に明らかとなった。また、本実験では、チャンネル幅の異なる DUT 間でスケーリング係数 (図 8(a) における直線の傾き) は異なっていた。

4.3 AC ストレス

次に、劣化と回復を交互に繰り返す AC ストレス条件下で閾値電圧劣化を測定した。デューティ比と劣化の関係を調べるために、搭載されている DUT を 9 組のグループに分け、異なるデューティ比で劣化と回復を切り替えた。デューティ比は $\alpha=0.1, 0.2, 0.3, 0.4, 0.5, 0.6, 0.7, 0.8, 0.9$ とし、周期は 1.11 秒 (≈ 0.9 Hz) とした。その他の実験条件は DC

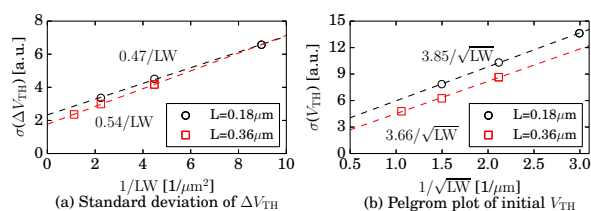


図 8: (a) 閾値電圧劣化量及び (b) ストレスを印加する前の閾値電圧の標準偏差

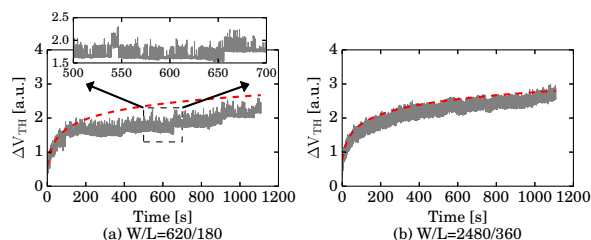


図 9: AC ストレスを印加したときにチャンネル面積が最小及び最大の DUT で測定された閾値電圧劣化

ストレス実験と同じである。

図 9 に最小の DUT ($W/L=620$ nm/ 180 nm) と最大の DUT ($W/L=2480$ nm/ 360 nm) で観測された閾値電圧劣化を示す。デューティ比 (α) は 0.5 である。図 9(a) では閾値電圧が階段状に変化しており、キャリアの捕獲と放出が NBTI の発生メカニズムと深く関連していることが予想される。面積の大きな DUT (図 9(b)) では平均化の効果により、滑らかな変化が観測されている。閾値電圧変動のモデル予測を図 9 に赤の破線で示す。ここでは Trap-Detrap 理論に基づくモデル [2] を使い、モデルパラメータは測定開始直後の 60 秒間で測定した結果から算出した。この結果からモデルが 60 秒以降の劣化についても比較的良い予測値を与えていることが分かる。

図 10 にデューティ比 (α) と AC ストレスを印加し始めてから 1108 秒経過した時点における閾値電圧劣化の関係を示す。閾値電圧劣化量の平均値は赤の実線で示す。一般的にデューティ比 (α) が 0 または 1 の近くで ΔV_{TH} は大きく変化し 0.5 付近では α の変化に対する ΔV_{TH} の変化は少ないことが知られており、その予測に沿った結果が得られた。 ΔV_{TH} の平均値はチャンネルサイズの異なる DUT でほぼ等しかった。一方で ΔV_{TH} の分散は DC ストレスの結果から予想できる通り、チャンネルサイズが大きくなるにつれて、小さくなるという結果を得た。

図 11 に AC ストレスを印加したときの閾値電圧劣化量とチャンネル面積の関係を示す。赤の実線はチャ

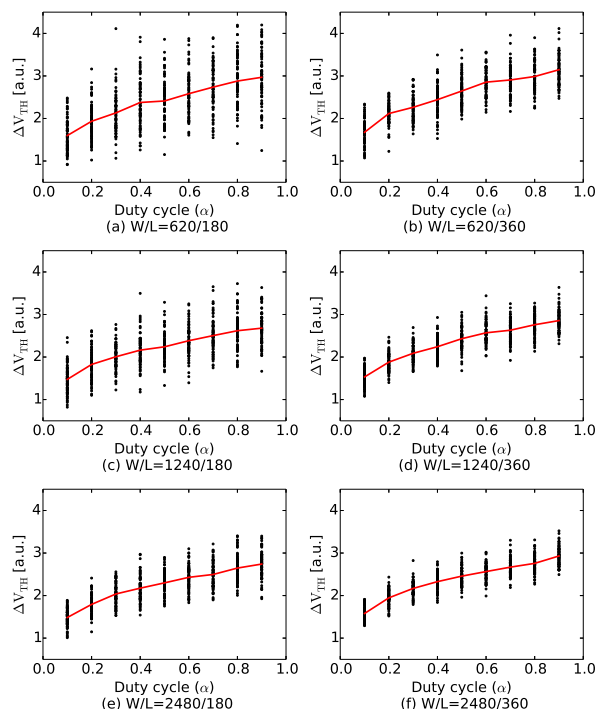


図 10: AC ストレスを印加したときの閾値電圧劣化とデューティー比の関係

ネル面積と劣化量の依存関係を線形近似した結果である。線形近似の傾きは DC ストレスでの測定結果とほぼ同じであった。図 11 から劣化量のばらつきはデューティー比 (α) にも影響を受けているように見える。つまり、小さい α では劣化ばらつきが小さく、 α が 1.0 に近づくにつれて劣化量のばらつきも大きくなっている。トランジスタが頻繁にオンするような条件においては、より多くの欠陥が活性化され、キャリアの捕獲及び放出が頻繁に発生するようになると考えられる。これが劣化量ばらつきの増大に繋がっていると予測される。

5 まとめ

本論文では、多数のトランジスタにおける NBTI 劣化を高速に測定するための回路方式を提案した。NBTI 測定においては数時間から数日に及ぶストレスを印加する必要がある、多数のトランジスタで NBTI 劣化を測定することは困難であった。提案回路ではトランジスタ毎のストレス印加を並列化させることで、全体の測定時間を大幅に短縮した。また、ダミー経路を活用したリーク電流対策及び、ストレス印加時間の正確な制御を可能とする制御方式を取り入れることで DUT 数に対するスケラビリティを確保

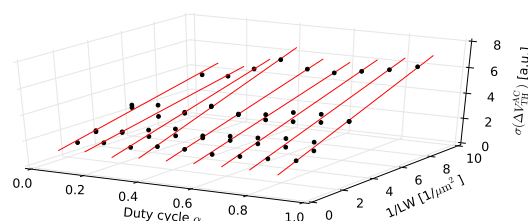


図 11: AC ストレスを印加したときの閾値電圧劣化量とチャネル面積及びデューティー比の関係

した。

180nm の CMOS プロセスで試作した提案回路を評価した結果、閾値電圧の測定精度が $179\mu\text{V rms}$ と、NBTI 劣化を測定する上で十分な精度が得られることを確認した。DC ストレスを印加して劣化を測定した結果、冪乗則モデルにおけるスケーリング指数の分布が対数正規分布で近似出来ること及び、閾値電圧劣化量の標準偏差がチャネル面積に反比例して増大することが明らかになった。AC ストレスを印加した実験では、DC ストレスのときと同様、チャネル面積の小さなトランジスタで大きな劣化ばらつきが見られた。またストレスのデューティー比も劣化ばらつきに影響を与えうることが実験的に明らかとなった。

謝辞 本研究の一部は、特別研究員奨励費及び科研費 (B) 26280014 の支援を受けた。本チップ試作は東京大学大規模集積システム設計教育研究センターを通しローム (株) および凸版印刷 (株) の協力で行われたものである。

参考文献

- [1] D. K. Schroder and J. A. Babcock, "Negative bias temperature instability: Road to cross in deep submicron silicon semiconductor manufacturing," *J. of Appl. Physics*, vol. 94, no. 1, pp. 1–18, 2003.
- [2] J. Bhaskarr Velamala, K. Sutaria, H. Shimizu, H. Awano, T. Sato, G. Wirth, and Y. Cao, "Compact modeling of statistical BTI under trapping/detrapping," *IEEE Trans. Electron Devices*, vol. 60, no. 11, pp. 3645–3654, Nov. 2013.
- [3] H. Reisinger, O. Blank, W. Heinrigs, A. Muhlhoff, W. Gustin, and C. Schlunder, "Analysis of NBTI degradation- and recovery-behavior based on ultra fast VT-measurements," in *Int. Rel. Physics Symp.*, Mar. 2006, pp. 448–453.
- [4] M. Denais, C. Parthasarathy, G. Ribes, Y. Rey-Tauriac, N. Revil, A. Bravaix, V. Huard, and F. Perrier, "On-the-fly characterization of NBTI in ultra-thin gate oxide PMOSFET's," in *Int. Electron Devices Meeting*, Dec. 2004, pp. 109–112.
- [5] T. Sato, T. Kozaki, T. Uezono, H. Tsutsui, and H. Ochi, "A device array for efficient bias-temperature instability measurements," in *European Solid-State Device Research Conf.*, Sep. 2011, pp. 143–146.
- [6] A. Ortis-Conde, F. J. García Sánchez, J. J. Liou, A. Cerdeira, M. Estrada, and Y. Yue, "A review of recent MOSFET threshold voltage extraction methods," *Microelectronics Rel.*, vol. 42, pp. 583–596, Apr./May 2002.