

リアルタイム消費電流計測機能を活用する 低消費電力 FPGA アクセラレータ

近藤秀弥^{†1} 手塚宏史^{†1} 稲葉真理^{†1}

FPGA アクセラレータの電力最適化のためには、動的電力の解析が必須である。我々は離散アプリケーションに特化したアクセラレータをターゲットとして、実際にデータを入力し動かしながら、FPGA の内部ロジック、SRAM、I/O に対して動的な消費電流計測機能を持つ、FPGA アクセラレータ用の基板を設計・実装を行った。

Low power consumption FPGA accelerator with real time current measurement system

Shuya Kondoh^{†1} Hiroshi Tezuka^{†1} Mary Inaba^{†1}

We propose, design and implement low power consumption FPGA accelerator with real time current measurement system during the execution, whose targets are, FPGA core, SRAM, I/O.

1. はじめに

近年、省エネルギーの要請が急激に拡大しており、消費電力の方向性も多様化している。HPC 分野においては GPU を行列計算などの数値処理に使用する GPGPU が実用化され注目を浴びている。しかしながら、組み合わせ最適化問題やグラフ計算などの非数値計算系の問題はスレッドレベル並列性を引き出すことが困難なため GPGPU アクセラレータによる恩恵を受けにくい[1]。そこで、使用時に内部の論理回路を任意に構成することが可能な FPGA をアクセラレータとして使用することで離散最適化問題などの非数値計算問題を処理する先行研究が報告されている[2,3]。[2]ではモンテカルロシミュレーションにおいて FPGA アクセラレータは CPU や GPGPU の環境に比べて消費電力削減を実現している。[3]では組み合わせ問題の一つである論理式の充足可能性問題(SAT)において CPU の場合と比較して高速化を実現している。このように個々の問題に特化することができる FPGA は最適な電力効率で計算を行うアクセラレータとして利用できるポテンシャルを有していると言える。

しかしながら、[2]に関しては処理速度の向上について述べられたものの消費電力に関しては調査しておらず、また[3]は CPU や CPU と GPGPU といった環境との比較に留まっておりそれ以上の消費電力削減の可能性には触れていない。そのため、FPGA の電

力最適化は改良の余地をのこしていると考えられる。これらの適化が十分議論されない原因の一つとして FPGA の動的電力の消費は内部ロジック、SRAM、I/O など多岐に渡る点や静的電力と異なり動的電力の解析は実際のデータを入力して動かしてみないと厳密にはわからないといった点が挙げられる。

我々は、FPGA を用いた非数値計算問題のアクセラレータの省エネルギー化を実現するためには、FPGA で消費される電力の、アルゴリズムやデータセット、コンピュータアーキテクチャとの依存関係について、コア電力や、DRAM 系電力や、I/O それぞれの消費電流を、詳細に計測することが必須であると考え、それぞれの電流消費の依存関係をリアルタイムで計測することできる FPGA アクセラレータ用の基板を設計・実装を行った。このアクセラレータ用の基板を用いて消費電流の詳細な解析を動的に行うことで、内部ロジック変更による消費電力削減の可能性の検討が可能となる。そのうえで、内部ロジック変更による消費電力削減の可能性を検討することができるようになり、FPGA の内部ロジックやアルゴリズムを変更する機構を設計することで動的電力の削減することを目標とする。また、最終的には、システム自身が消費電力のモニタリングを行い、得られたデータを元に内部ロジックの変更を行う自動最適化につながると考えられる。

本稿の構成は以下ようになる。2章では近年のアクセラレータと低電力化について、3章ではボードの全体設計の概要について述べたあと、4章で電源および電流系計測回路について述べ、5章で結

^{†1} 東京大学
University of Tokyo

論と 今後の計画について述べる。

2. アクセラレータを用いた低電力化の現在と今後

近年、モバイルデバイスはもちろん組み込みから HPC まで様々なデバイスにて低消費電力の需要が急増している。これらの対策として HPC 分野では GPGPU をアクセラレータとして用いて消費電力を減らす工夫が取られている。実際に Green500[4] の Top 10 ではすべて GPGPU をアクセラレータとして使用している一方で Altera が OpenCL の高位合成を行い FPGA に実装する開発者向けツールを公開している。このツールを用いることにより GPGPU と比べてスループットを維持しつつ消費電力を大幅に削減することに成功している。また、FPGA のロジック規模も大きく増加している。これにより FPGA をアクセラレータとして使用することにより消費電力の低減ができるのではないかと考えられるようになってきている。また、FPGA のロジック数はこれまでは LSI のスケーリング則にもとづいて増えてきた。しかしながらスケーリングは鈍足化の傾向が見られている。それに対して FPGA では Xilinx が SSI(stacked silicon interposer) を使用して今まで商業的に厳しかった規模のロジック数を実現している。また Altera は浮動小数点 DSP をハード IP として FPGA に実装することによりより high performance な分野への応用を意識している。ほかには、Xilinx と Altera 双方ともにハードコアとし CPU を実装した FPGA を販売しておりこれにより今まで一般的には ASIC な SoC として考えられていた分野への FPGA の参入が現実となっている。これらの、状況により FPGA をアクセラレータとして用いることにより電力消費を抑えることができるのではないかと考えた。

3. 全体設計

我々は省電力を考えるために、リアルタイムで、消費電流の計測および解析を可能とするハードウェア基盤として、FPGA 電流解析ボード(FPGA Analysis Board of Current:F-ABC)の設計を行った(図1)。

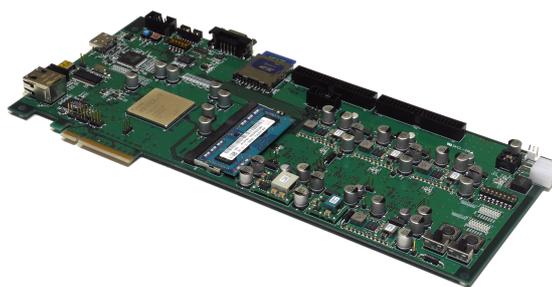


図1 : PGA Analysis Board of Current:F-ABC

低消費電力を実現する技術としては、クロックゲーティングや可変パイプラインなどの様々なものが存在している。これらの技術の多くはトレードオフが存在しており、採用すればするほど消費電力が減るわけではない。その結果、FPGA アクセラレータを設計する際にアルゴリズムや扱う問題がアーキテクチャに大きく影響を及ぼすと同時にハードウェアなどを原因としたアーキテクチャの制限がアルゴリズムにも大きく影響与えている。一般に、消費電力と計算性能とのトレードオフであることが多い。一方“重い”計算処理を考えると、それぞれの計算フェーズにより、CPU ボトルネック、バスボトルネック、I/O ボトルネック(ネットワークを含む)のいずれかであることが多い。性能低下の減少が目立たないようにシステム全体の電力消費を減らすためには、それぞれの計算フェーズごとに、どこがボトルネックになっているかを確認し、ボトルネックになっていない部分、すなわち、性能低下がある程度許容範囲である部分の電力消費を抑えることが重要と考えた。計算フェーズにより、ボトルネックが変わることは、良く見られるため、リアルタイムで、各部分ごとに、電流が計測し、現在行われている処理と電流の依存関係を明らかにすることができると考えた。

F-ABC は FPGA(Xilinx Kintex7 325T)とメモリ(DDR3-SDRAM)を搭載し PCI Express に接続可能な FPGA アクセラレータである。市販されている FPGA ボードとの大きな違いは基板上で使用されている複数の電源電圧に対して時間的細粒度でリアルタイムにて電流解析を行うことができる機能を搭載している点である。具体的には、F-ABC では図3で示すように FPGA 内部ロジック用コア電力や内部 SRAM, 外部 DRAM, 各種 I/O といった用途に応じて電源のグループ分けを行いそれぞれ別々の電源モジュールから電力を供給している。そして各々の電源モジュールの出力に対して消費電流計測機能を取り付ける。電流計測機能は図5に示すように電流センス用の抵抗を取り付けてその電圧降下をアンプにて増幅する回路となっている。この回路を FPGA のアナログデジタルコン

ボードに接続している。これにより FPGA が自分自身の消費電流を計測するフィードバックシステムを実現した。この FPGA ボードを使用することにより今まではアクセラレータ全体としてでしか解析されていなかった消費電力を使用用途に分けて詳細に解析することができる。FPGA としては、ある程度、ロジックセル数があり、かつ、価格的にも無理ではない、中規模 FPGA である Xilinx Kintex 7 325T FFG900 を採用した(表 1)。

logic cell	326,080
pin number	900
user IO number	500
I/O bank number	10

表 1 : Xilinx Kintex 7 325T FFG900

表 2 に FPGA の部品表を示す。

用途	製品
FPGA	Xilinx Kintex7 325T
DRAM	DDR3 SDRAM SO-DIMM MicronTechnology 1GB
HDMI	Analog Devices ADV7511
10/100/1000 ethernet	Marvell 88E1111
USB	Cypress CY68013A

表 2 : 部品表

図 2 に、設計した基板のブロックダイアグラムを記す。これは、Kintex7 の評価ボードとほぼ同様の構成であるが、一部、高速外部インターフェースコネクタを外して、LED スイッチなどを置く事で、基板設計やデバッグを少し容易にしている。

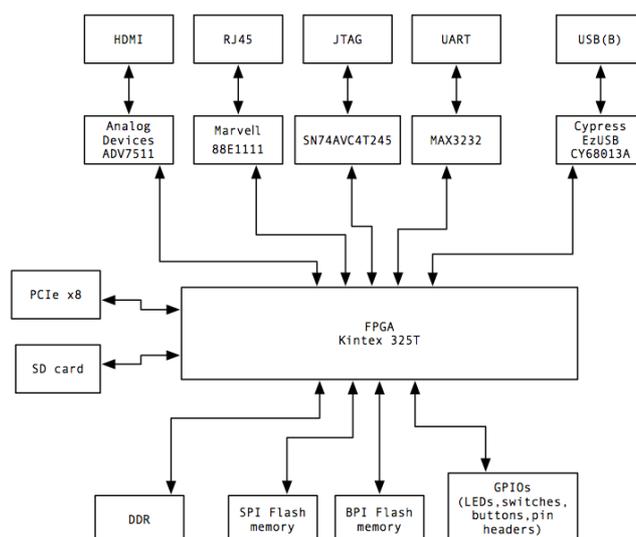


図 2 : ブロックダイアグラム

4. 電源設計

近年の低電圧かつ大電流を使用する現状のため、動作電圧が下がった関係で電源電圧の許容範囲が絶対的に小さくなっている。具体的には 5V 動作では誤差 10% は 500mV に相当するが 1.0 V では 100mV に相当する。一方で電流の増加により基板の配線による電圧降下 RI が増加している。

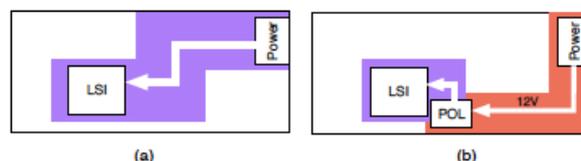


図 3 : (a) 集中型電源と(b) 分散型電源

この状況によりボード端に配置した DC-DC コンバータにより変圧した電源を LSI などの置かれているボード中央まで配線を行うと LSI が要求している電源条件を満たすことができない。また電流の変化 di/dt も大きくなっており LSI 周辺のバイパスキャパシタンスでは不足している状況が起きている。そこで図 3 (b) で示すように 12V と言った比較的高い電圧で出来る限りボード内部まで持って行き使用する場所で降圧を行う分散型電源と呼ばれる電源が考案され実用化されている。本設計ボードでは TexasInstrument の UCD9k シリーズを使用して電源を供給している。

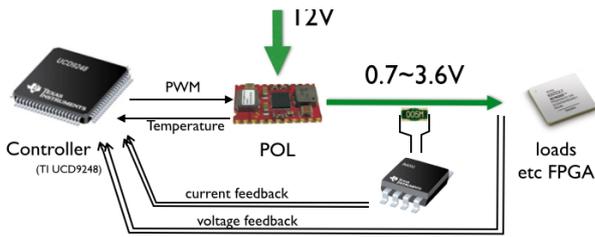


図4：電源コントローラとモジュールの構成図

このシステムでは図4で示すように電圧を変換するためのモジュールとそれをコントロールするコントローラから構成されておりコントローラがPWM(Pulse Width Modulation)シグナルを使用してモジュールを操作することにより任意の電源電圧を作っている。またコントローラは実際に電力を消費する部分の負荷付近から電圧値のフィードバックを得ることによりより正確なコントロールを可能にしている。またモジュールから出力に電流センス用の微小抵抗を挿入してその電圧降下を調べることで出力されている電流値を計測して過剰電流防止用途として使用されている。実際には必要な電源は複数あるので本ボードで図5に示すように3個のコントローラと10個のPOLモジュールを用いる構成となっている。また各コントローラはPMBusを用いて接続を行っている。

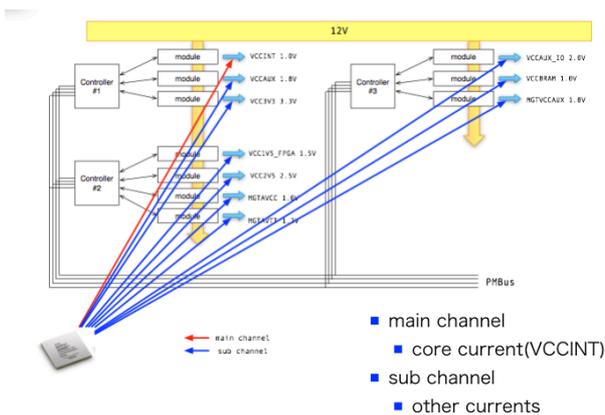


図5 電源供給システムのツリー図

VCCINT	1.0 V	FPGA core
VCC_BRAM	1.0 V	Block RAM(FPGA SRAM)
VCC_1V5_FPGA	1.5V	DDR3 SDRAM,FPGA DDR3 I/O
VCC2V5	2.5V	Interface LSIs,FPGA I/O
VCC3V3	3.3 V	Interface LSIs,FPGA I/O
MGTAVCC	1.0 V	GTX(PCIe, GbEther)
MGTAVCCAUX	1.8 V	GTX auxiliary(PCIe, GbEther)
MGTAVTT	1.2 V	GTX termination(PCIe, GbEther)
VCCAUX	1.8 V	FPGA auxiliary
VCC_AUX_IO	2.0 V	IO

表3 電流測定をする 10種類の線

表3に、このボードに供給されている10種類の電源を列挙する。これらは、その電圧によって図6のように

- コア電力: VCCINT
- ブロックメモリ系電力: VCC_BRAM
- DRAM系電力: VCC_1V5_FPGA
- 低速 I/O系電力: VCC2V5, VCC3V3
- 高速 I/O系電力: VCC1V5FPGA, MGTAVCC, MGTAVCCAUX, MGTAVTT, VCCAUX, VCC_AUX_IO

と類別することができる(図6)。

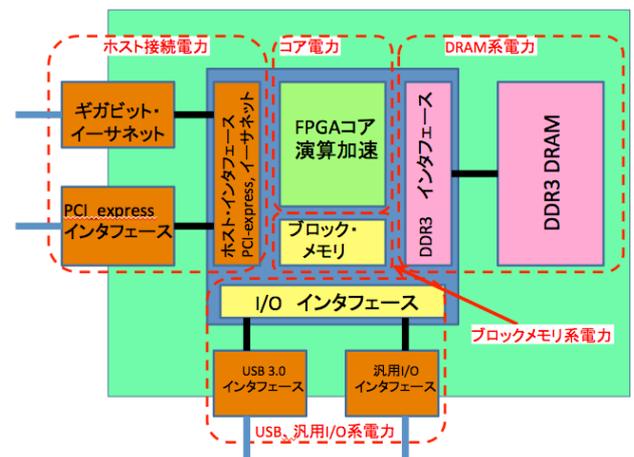


図6：電力の類別

また、図7に、実際に作成したボードの写真と、表3、図5に対応する、実際のI/Oインターフェースの写真上の説明を示す。

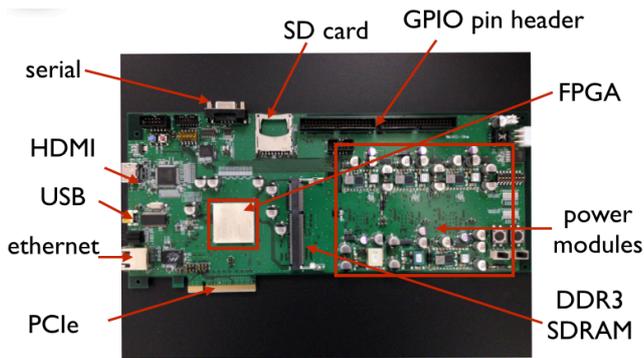


図7：FPGA ボードの レイアウト

ここでは、別々の電源モジュールから電力を供給しており、各々の電源モジュールの出力に対して消費電流計測機能を取り付けている。電流計測機能は電流センス用の抵抗を取り付けてその電圧降下をアンプにて増幅する回路となっている(図8)。この回路をFPGAのアナログデジタルコンバータに接続している。これによりFPGAが自分自身の消費電流を計測するフィードバックシステムを実現した。このFPGAボードを使用することにより今まではアクセラレータ全体としてでしか解析されていなかった消費電力を使用用途に分けて詳細に解析することができる。

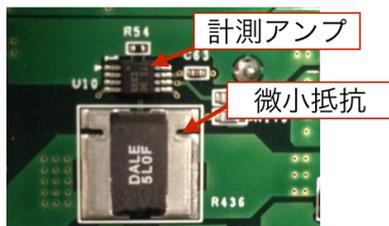


図8：電流測定部

5. ニューラルネットワーク実装による消費電力の解析

本ボードの消費電力解析を行うためにニューラルネットワークを用いた MNIST データセットを用いた手書き文字認識を行う論理回路の実装を行った。図に実装を行ったニューラルネットワークのブロック図を示す。FPGA 上に CPU のソフトコアである MicroBlaze を実装し I/O バスにニューラルネットワークを実装している。ニューラル・ネットワークは単層ニューラルネットワークで学習はPC上のソフトウェアにて行い、その重みを FPGA 実装に利用してい

る。

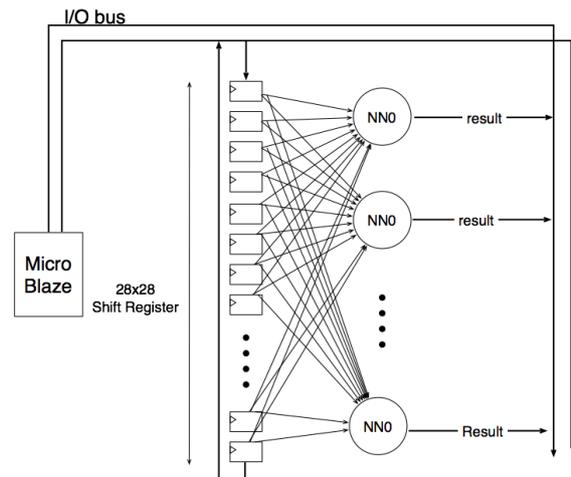


図8 ニューラルネットワークブロック図

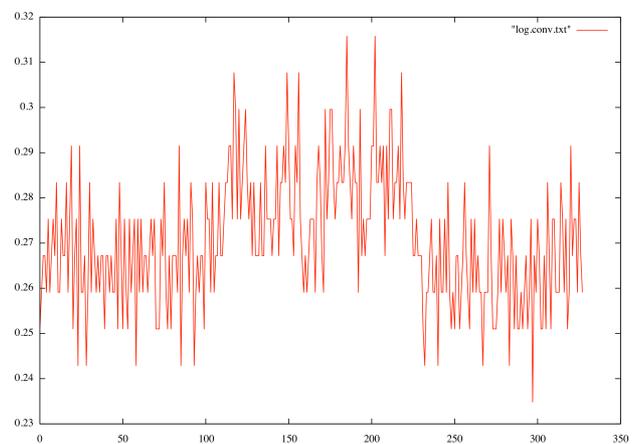


図8. 消費電流の計測結果

動作周波数は 50MHz にて行った。動作時と非動作時の電力消費が変化が 0.1A から 0.2A と比較的小さい要因として実際に判定を行う画像の入力工程が長く、認識時間が相対的に小さいことがあげられる。

6. 結論と今後の計画

近年、C, C++などのプログラマーが普段使用している言語を使用してFPGAの内部ロジックを設計する高位合成が広がりつつあり、最近ではAltera社がOpenCLを用いてFPGAアクセラレータの環境を構築する環境を公開した。これによりアルゴリズムをCPUとFPGAアクセラレータで使用する部分に分割することにより容易にFPGAアクセラレータを使用できるようになり敷居が下がりつつある。一方でこれらの手法で合成されたシステムには消費電力効率を更に引き上げる余地が存在していると考察している。

我々はFPGA をアクセラレータとして用いて電流効率を上げるため、消費電流解析を行えるハードウェア基板であるFPGA電流解析ボード(FPGA Analysis Board of Current:F-ABC)の設計を行った。計測対象は Xilinx 社のKintex7-325T で主な計測電流はFPGA のコア電流(VCCINT) であり、他 9種類の電源についても、各々の電源モジュールの出力に対して消費電流計測機能を取り付けた。電流計測機能は電流センス用の抵抗を取り付けてその電圧降下をアンプにて増幅する回路となっている。この回路をFPGAのアナログデジタルコンバータに接続している。これによりFPGAが自分自身の消費電流を計測するフィードバックシステムを実現した。このFPGAボードを使用することにより今まではアクセラレータ全体としてでしか解析されていなかった消費電力を使用用途に分けて詳細に解析することができる。

今後は、計測結果を元に、省電力と各部分の性能低下のトレードオフを細かく計測・解析し、ボトルネックになっていない部分の省電力をはかることで、システム全体の電力の削減を行いながら、システム全体のパフォーマンスをあまり下げずに、計算アルゴリズムのリアルタイム計測を用いた動的な切り替えを実現できるかの検討を行っていきたい。これと同時に、実際に、非数値計算向けのアクセラレータとして FPGA アクセラレータが、省電力化を実現しつつ、高い性能を出すことができるかに関する検証を行いたいと思っている。具体的には、離散組み合わせ問題の一つである充足可能性問題(以降 SAT 問題)をアクセラレータの候補として考えている。SAT 問題はある論理式が与えられた時に論理式を満たす解が存在するかという問題である。多くの NP 完全問題が SAT 問題に帰着することで証明されてきたため、応用範囲が広いのが特徴である。SAT 問題を選んだ理由は、問題自体が論理式であるため FPGA アクセラレータによる消費電力削減効果が期待でき、かつ応用範囲が広いこと SAT 問題で得られた知見を元に問題の対象を広げることができると思ったからである。並列型 SAT ソルバにおいて、一般的な手法の一つであるポートフォリオ技法の検討を行いたい。ポートフォリオは複数の異なるソルバを組み合わせで並列に探索を行う手法である。一般の並列計算、特に数値計算については、ある計算結果を、他のノードで利用することが必須でありことが多く、あるノードが、他のノードの計算の終了を待つケースが非常に多い。しかしながら、SAT solver における、ポートフォリオ手法では、一般の並列計算、特に一般の数値計算とは異なり、他ノードの計算結果を使うか使

わないかで、解が求まるまでの時間が異なる可能性はあるが、他のノードの計算結果を利用しなくても、結果が間違えることはない、すなわち、同期に対する制約が非常に緩いという特徴を持つ。SAT ソルバに代表される離散探索問題の並列化では、一般の数値計算のように厳密な値伝搬が要求される計算以外に、たとえば枝刈りの制約条件などの結果の共有は性能向上には有効だが共有しなくても悪影響はない「緩い」計算が、かなりの割合で存在することが着眼点であり、「電力」と「緩い計算」の適切なトレードオフを把握しアルゴリズム視点から省電力を達成していこうと思う。

参考文献

- 1) Shuai Che, Jie Li, Jeremy W. Sheaffer, Kevin Skadron, John Lachs, "Accelerating Compute-Intensive Applications with GPUs and FPGAs," SASP 2008
- 2) Christian de Schryver, Ivan Shcherbakov, Frank Kienle, Norbert When,
- 3) Yu Hu, Victor Shih, Rupak Majumdar and Lei "Exploiting Symmetry in SAT-Based Boolean Matching for Heterogeneous FPGA Technology Mapping" Computer-Aided Design, 2007.
- 4) <http://www.green500.org>