

# The 1st IPSJ SIG-ARC High-Performance Processor Design Contest におけるキャッシュメモリの実装とそれに伴うプロセッサの処理 能力の向上について

赤木晟也<sup>†1</sup>

このドキュメントは、The 1st IPSJ SIG-ARC High-Performance Processor Design Contest においてチーム KOA が作成した、コンテスト決勝のためのプロセッサデザインについて述べたものである。なお、このドキュメント提出時点では、コンテスト決勝のためのデザイン提出の締切を過ぎていないため、実際に設計されたプロセッサとこの記述とは、多少内容が異なる可能性がある。

## 1. はじめに

コンピュータにおける処理では、CPU と主記憶装置の性能差に起因して、メモリアクセスにおいて CPU が待機状態になり、全体の処理速度が低下することが問題とされてきた。そこで、全体の処理速度を上げるためにメモリアクセスの時間を短縮する手法を考えるのは自然であり、本コンテストにおいてチーム KOA は、その手法の一つであるキャッシュメモリを、ハードウェア記述言語である verilog を用いて実装した。

## 2. 方式

プロセッサの設計において必要なハードウェア、ソフトウェアはコンテストにて規定、または推奨されているものを用い、そのセットアップはコンテストの案内に従って行った。

キャッシュメモリの方式として、連想度 2 のセットアソシアティブ方式のものを実装することで、メモリアクセスの処理速度向上を目指した。また、ライン入れ替え方式としては LRU 法、データの書き込み方式としてはライトスルー方式を採用した。なお、基本的なプロセッサのデザインは、コンテストにより用意されたリファレンスデザインを引用し、パイプライン処理におけるメモリアクセスステージにキャッシュメモリを組み込み、改良する形とした。

実装手順として、まずはリファレンスデザイン同様、メモリアクセスステージの処理として、パイプライン全体をストールさせて、メモリアクセスを行うキャッシュメモリをデザインすることとし、その後、キャッシュメモリによるメモリアクセスをパイプライン化し、パイプラインをストールさせることなく処理を行うことができるように改良した。

## 3. 結果と考察

キャッシュメモリを実装したプロセッサは、メモリアクセスステージにおける待機時間が減少し、全体の処理速度が向上した。

しかし、アプリケーションプログラムのコーディングによっては、キャッシュミスが多発し、キャッシュメモリによる恩恵があまり受けられないものもあった。ゆえに、キャッシュメモリを実装した分、ハードウェアを意識したコーディングをする必要がある。

**謝辞** FPGA 回路設計に際し協力とアドバイスを頂いた、五島准教授、研究室の方々には深く感謝する。

## 参考文献

- 1) David A. Patterson、 John L. Hennessy  
コンピュータの構成と設計 コンピュータの構成と設計 第 4 版 下

---

<sup>†1</sup> 東京大学  
The University of Tokyo