

# スケーラブル回路分割機構のためのハードウェア拡張プロトコルの実装

渡邊大輔<sup>†</sup> 加藤佑典<sup>†</sup> 中條拓伯<sup>†</sup>

FPGAにて大規模回路を実行する際の問題として、搭載可能な回路規模やロジックセルの使用率増加による動作周波数の低下という点がある。これらの問題に関して、分割した回路を複数のFPGA上で実行することで、問題点の改善が図られている。今回、複数のFPGAへ搭載した回路間の信号情報の送受信に関して注目し、FPGA間の通信に関するプロトコルとして、ハードウェア拡張プロトコルの提案を行う。

## Hardware Extension Protocol for Scalable Circuit Partitioning

DAISUKE WATANABE,<sup>†</sup> YUSUKE KATO<sup>†</sup> and HIRONORI NAKAJO<sup>†</sup>

FPGA has limitation of loading circuit scale, such as capacity and decreasing clock frequency from increasing number of logic cell. Therefore, improving this problem by partitioning the circuit on FPGA. In this paper we focused on communicating with circuit and proposed Hardware Extension Protocol which is available on multiple connection between FPGA.

### 1. はじめに

近年、FPGAを用いたハードウェアアクセラレーションへ注目が集まっている。アクセラレーションとは、CPUと別に専用のハードウェアであるアクセラレータを設けることにより、既存の処理をより高速に行う手法である。

しかしながら、FPGAは、高集積化が進んだとはいえ、搭載可能な回路規模には限界がある。そのため、大規模な回路を分割するといった手法<sup>1),2)</sup>が取られてきた。

この際、問題となるのが、FPGA間のIOピン数は限られているという点であり、分割した回路間における通信手段が重要となる。

そのため本論文ではFPGA間の通信手段について検討をし、ハードウェア間のプロトコルを提案する。

### 2. スケーラブル回路分割機構

スケーラブル回路分割機構とは、拡張性の高い回路の分割搭載を可能とし、アクセラレータとしてFPGA、小規模ASICを用いることを目指して考案されたものである。<sup>3)</sup>一つのアクセラレータ回路を複数のFPGAに分割して搭載することで、極力動作周波数の低下を

抑え、処理の実行を可能とする機構を目指す。

分割回路間において送受信を行う動作として、分割された回路における数十クロック分の信号情報を一時的にFPGAに搭載されたメモリに蓄え、その信号を一括して、もう1つの分割された回路宛へと送信し、送信先のFPGAにてまとめて処理を行うといったものである。

### 3. ハードウェア拡張プロトコル

#### 3.1 概要

ハードウェア拡張プロトコルとは、スケーラブル回路分割機構において、複数のFPGA間の通信に使うことを目的としたプロトコルである。信号情報を確実に届けることに重点を置くため必要な機能として、

- FPGA間での通信の確立
- 格納された信号情報一括送信

の2点がある。この2点を満たすために、FPGA間で信号情報の受信可否を確かめる機能、また、一括して送信するために、パケットとしてまとめて信号情報を送る機能が必要となる。この機能を満たし、通信媒体に依存せずに適用可能なプロトコルとすることで、通信インタフェースが用意されているFPGAであれば、容易にこのプロトコルを適用可能となる。

実装の初期段階として、まずは同一基板上にて、実装を目指す。さらに、汎用的なシリアル通信への対応、例としては図1のようなレイヤを考え、バス接続上で

<sup>†</sup> 東京農工大学  
Tokyo University of Agriculture and Technology

あっても、またイーサネット上であっても動作するようなプロトコルとする。

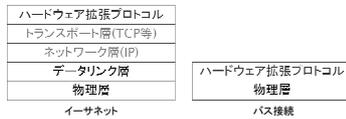


図 1 プロトコルレイヤ

### 3.2 プロトコルの動作

確実な通信を行うためのプロトコルの動作を述べる。送受信を円滑に行うために、それぞれにバッファを設け、その状態によって送受信の可否を判断する。

送信側にて図 2 のような動作を行い、また受信側ではそれに合わせて図 3 のような動作を行う。これにより相手の受信状態に合わせて、信号情報の送受信を行う。

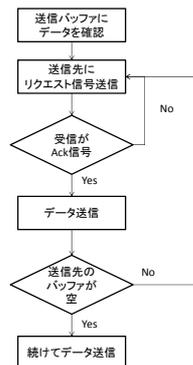


図 2 送信側動作

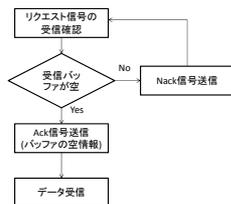


図 3 受信側動作

## 4. 評価

提案したハードウェア拡張プロトコルについての評価を行う。HDL 記述の RTL シミュレーションを用いて、プロトコル処理に関するオーバーヘッドを確認する。

ハードウェア拡張プロトコル実装時のリクエスト送信から、データ送信までのシミュレーションを行った。

シミュレーションの環境において、データパケットを送信する際の動作として、送信側では

- データの確認から送信リクエスト開始 3クロック
- Ack 受信からデータ送信開始 4クロック

受信側では

- 送信リクエスト受信から Ack 送信まで 5クロック

といった処理が必要となる。そのため、(送受信におけるプロトコル処理)+3 × (データ通信路の遅延等のオーバーヘッド) = データパケット送信開始にかかるオーバーヘッドとなる。今回、プロトコル処理のリクエストにかかるオーバーヘッドのクロック数を確認した。このプロトコルを 32bit 接続したバス上で用いた場合、オーバーヘッドにより最大で 13%ほどデータ送信のビットレートが低下する可能性がある。しかしながら、パケットの空き状態によっては 5%程度の低下にまで抑えることができるため、このプロトコルを適用により、汎用性を得ることができるのであれば、有用なのではないかと考えられる。

## 5. まとめと課題

本稿では、スケーラブル回路分割機構のためのハードウェア拡張プロトコルについて、提案し、そのプロトコルに関するオーバーヘッドの確認を行った。今回実装を想定したのは、同一基板上での段階であり、データバス幅が多く確保できる場合における利点は少ない。しかしながら、この提案するプロトコルは様々な接続方式に対応可能なものを目的としているため、汎用的に使えるかといった点が重要である。今後は、より改良を加え、同研究室の加藤が進めている信号情報格納機構、信号情報再生機構との接続を目指す。

## 参考文献

- 1) Liu, H. and D.F.Wong: Circuit Partitioning for Dynamically Reconfigurable FPGAs, *Proceedings of the 1999 ACM/SIGDA seventh international symposium on Field Programmable Gate Arrays*, pp. 187-194 (1999).
- 2) 空岡誠実, 田中康一郎, 久我守弘: HDL 記述によるデジタル回路の複数 FPGA に対する分割手法, 情報処理学会第 53 回平成 8 年後期全国大会講演論文集, pp. 25-26 (1996).
- 3) 中條拓伯, 三好健文, 船田悟史, 坂本龍一: スケーラブル FPGA システムにおけるハードウェア拡張方式, 電子情報通信学会技術研究報告. RECONF, リコンフィギュラブルシステム, pp. 125-130 (2009).