

携帯情報端末における ノーマリーオフコンピューティング

3

STT-MRAM で実現するノーマリーオフメモリ技術

藤田 忍 安部恵子 野村久美子 野口紘希

(株) 東芝 研究開発センター LSI 基盤技術ラボラトリ

不揮発メモリのプロセッサ応用は 消費電力増大を招く?

不揮発メモリをプロセッサ内に

高性能の汎用プロセッサや SoC (System on Chip) は、さまざまな改良により、高性能化と低消費電力化を進めてきているが、改善の度合いが徐々に縮小してきている。携帯情報端末向けのプロセッサは、従来低消費電力重視の設計がされてきた。しかし、タブレット PC やスマートフォン等の高性能化が進む中、動作周波数が増加し、消費電力も増え、汎用プロセッサと同じ状況を迎えつつある。携帯情報端末を構成する部品のうち消費電力が特に大きいのは、ディスプレイ、無線通信部品、そしてプロセッサの3つであるが、今後の消費電力の増大という観点では、最もリスクが大きい部品はプロセッサであると考えられる。

現状、プロセッサ性能の対電力効率を上げる設計技術として、使用していない回路ブロックを電源遮断するパワーゲーティング (PG) の高効率化と、プロセッサコアのマルチコア (MC) 化の2つが主に進められている。最先端高性能プロセッサでは、PG の空間・時間粒度を細かくすることで、待機電力の消費を効率的に削減している。しかし、PG でメモリ回路やレジスタの電源を遮断すると、データが消失するため、PG 細粒度化が進むほど、メモリ部の消費電力が相対的に目立ってくる。後述するよ

うに、メモリ部の数は年々急増しているため、電力削減のターゲットは明らかである。

筆者らは、2004 年頃より、スタンフォード大学と共同で、メモリ回路やレジスタに Spin Torque Transfer Magnetic Random Access Memory (STT-MRAM) や ReRAM 等の不揮発メモリを適用して、PG ベースに高性能ロジック回路の待機電力を削減することを提案し、その効果を分析してきた¹⁾。当時はまだ PG の具体的な実装技術がない時代であったが、将来の PG を予測しつつ理論検討を進めていた。さまざまな不揮発メモリを比較したところ、用途によって各不揮発メモリの適・不適があることが分かった。たとえば、2004 年より前に FeRAM を用いた不揮発回路が報告されていたが²⁾、FeRAM の書き換え回数の上限などから、動作頻度が高いプロセッサには適していない。比較分析の結果、高い処理性能と低消費電力を同時に追及するプロセッサ用途には、STT-MRAM が適しており、ほかには候補がないことが分かった。まず、STT-MRAM のメモリ技術について簡単に説明する。

高速不揮発メモリ STT-MRAM

MRAM は、図-1 で示すように Magnetic Tunnel Junction (MTJ) という2種類の異なる磁性体薄膜で薄いトンネル絶縁膜を挟み込んだ構造の素子を用いた不揮発メモリである³⁾。磁性体薄膜の一方はピン層と呼ばれ、スピンの安定で半永久的に変化しない。もう一方は、フリー層と呼ばれ、ある

3. 携帯情報端末におけるノーマリーオフコンピューティング STT-MRAM で実現するノーマリーオフメモリ技術

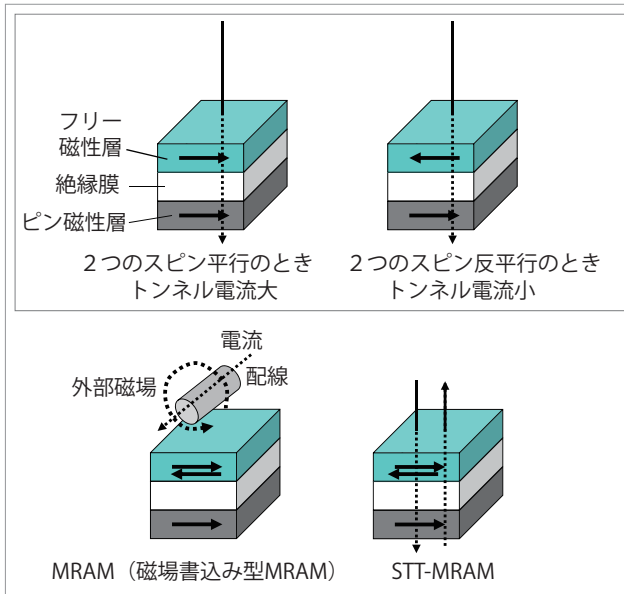


図-1 MRAM の原理と2種類のデータ書込み方式

エネルギーを与えるとスピンの向きが反転するような材料が選ばれる。2つの層のスピンの向きが同じときと反対のときとで、絶縁膜を流れるトンネル電流が受ける電気抵抗が異なる。これを利用してフリー層のスピンの向きを電氣的に読み取り、不揮発メモリとして用いる。

MTJの近くに設けた配線に電流を流し磁場を発生させることでフリー層のスピンを反転することができる。100MHz超の高速メモリアクセスが可能で、書き換え耐性 (Endurance) が 10^{15} 回以上である。この高速性と高いEnduranceがほかの不揮発メモリと著しく違う点であり、ワーキングメモリに適している。半導体集積回路 (CMOS) の配線層内に磁性体をインテグレーションすることができるため、微細化に適している。

単にMRAMと表記されたメモリは、磁場書込み型のものを指す。このMRAMは、配線電流の消費電力が大きく、微細化の阻害要因となる。これに対して、STT-MRAMと呼ばれるMRAMは、電流の流す方向を変えることで、スピンの向きが変えられるメモリである。原理的にスピンを反転する電流密度は一定であるため、素子サイズを $1/x$ に微細化すると、素子の面積が $1/x^2$ になり、書込み電流が $1/x$ だけ小さくなる。このため、微細化によるスケールメリットが得られる。STT-MRAMが

電流書込み型であるため、SRAMやCMOSの配線層中にMTJを配置し、配線を流れる電流の向きを変えることでSTT-MRAMのデータを書き換えることができる。これは、CMOS回路内部に不揮発メモリを混載することができることを意味する。配置する場所によって速度、面積、消費電力にトレードオフが見られ、さまざまな回路を検討した (詳細は後述)。さらに、これらの不揮発回路を使って消費電力を削減することを検討した。2008年頃より、性能、電力をシステムレベルで定量的に評価し始めたところ、予想に反してかなり難解であることが判明してきた。“不揮発メモリは、静的 (待機) 消費電力が小さいが、動的消費電力が巨大であり、結果的に総消費電力が増大する”という“不揮発メモリのジレンマ”のためである (筆者らが文献3)にて問題提起)。このジレンマを超えることがいかに難しいか、次の不揮発キャッシュメモリの事例を用いて解説する。

不揮発メモリのジレンマを超えるには?

STT-MRAMは、まずDRAMベースのメインメモリを置き換えることが期待される不揮発メモリである。年々、動作速度も増加しており、メインメモリより上のメモリ階層となるSRAMベースのキャッシュメモリの置き換えが次に期待される。このとき、消費電力を大幅に下げられるかどうかのポイントとなる。大きな消費電力削減がないと、不揮発メモリを使う意味がなくなるからである。

モバイル機器を想定し、バッテリーの消耗を抑えるには、消費電力というよりも消費電力量 (消費電力 \times 消費する時間) を抑える必要がある。よって、消費電力を下げると同時に高速で書き込める素子を作らなければならない。従来のMRAMもしくはSTT-MRAMでは、磁性層のスピンの平行面内磁化膜が用いられていたため、Writeの消費電力が大きく、大容量化を阻んできた。2007年に垂直磁化型のSTT-MRAM (perpendicular-STT-MRAM、以下p-STT-MRAMと略す) が東芝によって初めて開発され⁴⁾、消費電力と書込み時間を大幅に下

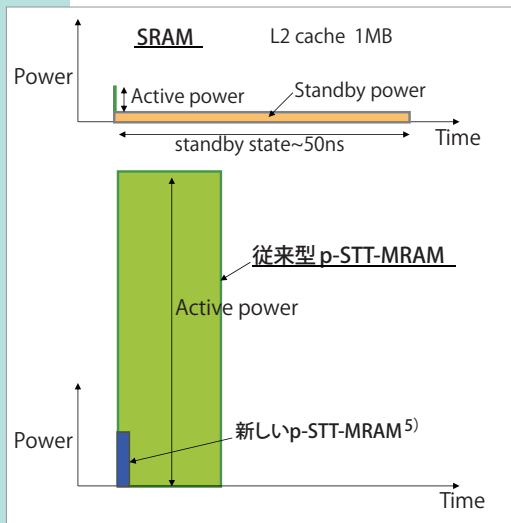


図-2 L2 キャッシュメモリ用 SRAM と STT-MRAM の消費電力量比較 (正方形の各面積が消費電力量に相当)

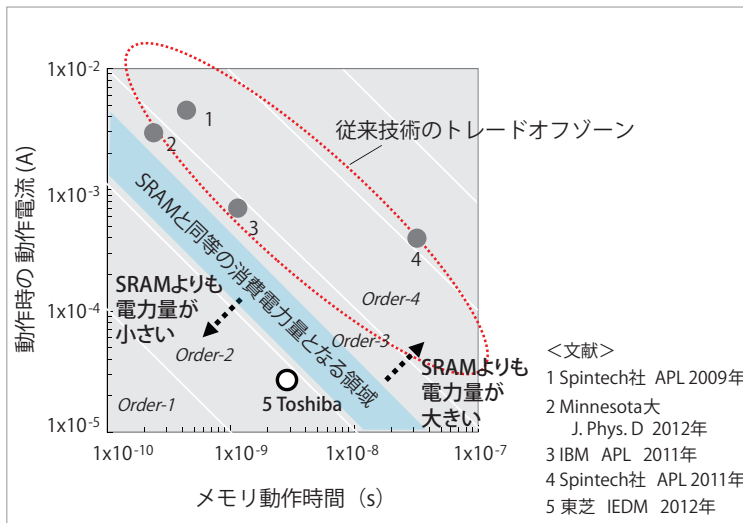


図-3 STT-MRAM の Write 電流と時間の報告例 等高線は消費電力量が同じで、左下ほどエネルギーが低い

げることが可能となった。最近、ほかの研究機関より、垂直磁化 STT-MRAM で、同様のスペックのものが発表されている。

ここで、ハイエンドクラスの 40nm CMOS テクノロジーの ARM 系プロセッサを想定し、SRAM と STT-MRAM の 1 MB クラスの L2 キャッシュメモリの消費電力エネルギーを比較してみた (図-2)。プロセッサのシミュレータを用いて、ベンチマークソフトを動かして、L2 キャッシュの平均的な Write アクセス間隔を調べると、約 50 サイクル (50ns@1GHz) 程度となった。この間キャッシュメモリ全体は約 3mW の待機電力を消費する。一方動的電力 (動作メモリは 64B=512b) は約 0.5mW だが、その時間は 0.3ns 未満に過ぎないため、待機電力エネルギーが支配的となり、トータルで 150pJ のエネルギーが消費される。

一方、STT-MRAM ベースのキャッシュでは、周辺回路を含め待機電力を百 μ W 未満まで下げることが可能となる。しかし、従来 p-STT-MRAM では、典型的な値として Write 電流が 100 μ A で、Write 時間が 15ns 程度必要となり、結果 1,500pJ 消費し、プロセッサのバッテリー消費量が従来よりも 10 倍多くなってしまふ。さらにキャッシュメモリの Write 速度も 10 倍以上低下し、プロセッサの演算性能にも影響する。これではコストをかけて新しいメモリデバイスを導入する意味がまっ

たかない。STT-MRAM では、Write 速度を上げるためには、Write 電流を増やす (消費電力を増やす) 必要がある。逆に、書き込み電流を減らすと書き込み速度が低下するという、トレードオフ関係があり、いずれも SRAM のエネルギーの壁を破れない。この状況を図-3 に示した。

これに対して、最近、東芝の STT-MRAM 研究グループより汎用低消費電力 SRAM よりも低消費電力となり得る、3ns、30 μ A で Write できる低消費電力の STT-MRAM 技術 (サブ 30nm ϕ MTJ) が報告された⁵⁾。これは、図-3 に示すとおり、キャッシュメモリ低消費電力化の壁を破る初の技術である。

しかし、図-3 の例より低消費電力の SRAM も広く使われており、その SRAM も置き換えるためには、STT-MRAM の動的電力を下げるだけでは限界がある。加えて重要な点は、電力削減に効果的な部分のみを不揮発化させるようなメモリ階層化構造を考え、これを最も効率よく動作させるための回路・システムのハードウェアを設計すること、さらにこのハードを効率よく用いるためのプロセッサアーキテクチャを考案することである。これらを揃えることで、ノーマリーオフ化による超低消費電力プロセッサの実現に近づいていく。今回、主に回路・システムの設計について紹介する。

- <文献>
 1 Spintech社 APL 2009年
 2 Minnesota大 J. Phys. D 2012年
 3 IBM APL 2011年
 4 Spintech社 APL 2011年
 5 東芝 IEDM 2012年

3. 携帯情報端末におけるノーマリーオフコンピューティング STT-MRAM で実現するノーマリーオフメモリ技術

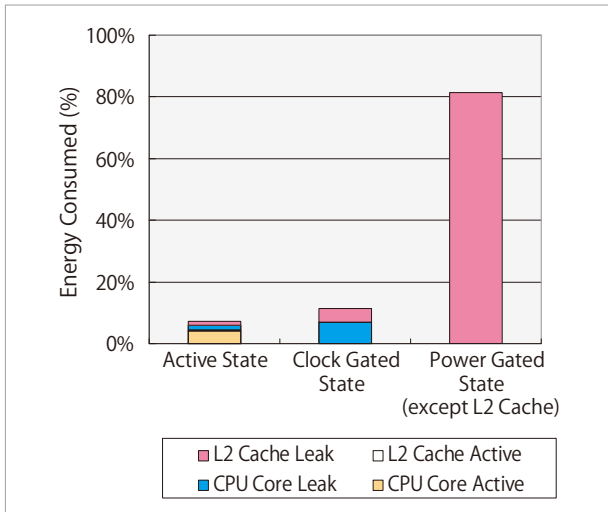


図-4 モバイルプロセッサの各状態と消費電力エネルギー (= 時間×消費電力) の比率 (全消費エネルギーを 100%とする)

モバイルプロセッサ向けノーマリー オフ型回路・システム設計

どのメモリ階層を不揮発化すべきか？

まず、低消費電力化のためには、メモリ階層のどの部分を不揮発回路に置き換えるべきかを調べた。

図-4 に、ケーススタディとして、クロックゲーティングと PG を最大限に活用して電力削減するモバイルプロセッサの各省電力ステート (クロックゲーティングと、L2 キャッシュメモリ以外の PG) での累積消費エネルギーを示す。

このユースケースは、ユーザの長期待機状態を含んでいるので、全体の 95% の時間帯が L2 キャッシュのみに電力供給されるステートとなっている。ただし、待機時間が $100\mu\text{s}$ より長い場合は、従来型 PG により電力を $100\mu\text{W}$ 未満にすることができる。PG できないのは、 $100\mu\text{s}$ 以下のオーダの短い時間帯での待機状態で、これはアプリケーション動作中の待機状態である。この L2 キャッシュのアプリケーション動作中の待機電力が消費電力量の累積値は全体の 80% に及ぶ。一方、L1 キャッシュメモリを含むプロセッサコアは、PG の効果により、待機電力消費が少ない。つまり、プロセッサ内のキャッシュメモリが消費電力エネルギー量を支配していると言える。ちなみに、これはモバイルプロ

セッサならではの傾向であり、サーバ向けやハイエンド PC 向けのプロセッサでは、プロセッサコアを PG できる頻度が下がるため、プロセッサコア側に消費エネルギーの分布が偏り、プロセッサコア動作時の電力が全体の消費電力量を支配する傾向となる。

さて、モバイルプロセッサのキャッシュメモリの容量が近年急増する傾向にある。この理由は、温度上昇の問題から周波数を高められない状況の中、微細化に伴って増えるトランジスタ資源をキャッシュメモリに割り当てているためである。これにより単純にプロセッサコアから見てメモリアクセススピードが増すことにより、プロセッサの処理性能が向上する。また、前述のマルチコア化により、キャッシュメモリ、特に共有キャッシュメモリとなる Last Level Cache (LLC) の容量が増え続けている。よって、キャッシュメモリの待機電力が、プロセッサの消費電力エネルギーを支配している。もし、キャッシュメモリを不揮発にすることで $100\mu\text{s}$ 以下のオーダの短い時間帯の待機電力を削減できれば、大きな電力削減効果が期待できるということになるが、これはもちろん容易ではない。

従来大容量 STT-MRAM に使われる 1 MTJ-1T 型、またはその類似の回路では、読み出し・書き込み速度が SRAM よりも遅い。そのために、速度を上げるための回路的な工夫が必要となる。次節にて、SRAM キャッシュ並みの動作速度を持つ不揮発 SRAM 回路の検討について紹介する。

ハイブリッド型 / 不揮発 SRAM

筆者らは、2004 年に STT-MRAM とインバータをそれぞれ 2 個ずつクロスカップルさせた、不揮発ラッチ回路を提案した (図-5)¹⁾。2 個のインバータのクロスカップル型 CMOS 回路は、フリップフロップや SRAM などの内部に含まれる 1 ビットメモリの基本回路であり、その内部に対称に MTJ 素子 2 個を接続させた回路が不揮発ラッチである。これを使うと、図-5 のようにフリップフロップや SRAM を不揮発にできる。

一般的な不揮発型回路では、STT-MRAM に毎

回データを書込み、それを読み出すため、CMOSのフリップフロップと比較してメモリ動作が遅くなってしまう問題があった。これに対して、この不揮発ラッチ回路は、通常動作時に通常のSRAMやフリップフロップとして高速動作することが可能である。そして、電源遮断する前に、2個のMTJに同時に相補的にデータを書込み、データを格納する（ストア動作）。さらに、電源復帰時には、2個のMTJの抵抗値の違いによって、電源遮断前前のデータが自動的にCMOSのラッチ回路に戻される（リコール動作）仕組みである。1つの回路を揮発回路と不揮発回路に使い分けられる。これによって、動作時に毎回MTJに書き込みしないため、MTJの書き込み電力エネルギーを小さくできる。

通常フリップフロップまたはSRAMとして動作する間、インバータ間に流れる電流はMTJをWriteできる値よりも小さく（ $\ll 30\mu\text{A}$ ）、かつ、流れる時間も短い（ $< 1\text{ns}$, 1GHz ）ので、MTJ内のデータは書き換えられないことがない。

フリップフロップやSRAMを置換する効果を明らかにするために、“不揮発化による消費電力削減の損益分岐時間（Breakeven Time for Replacement by Nonvolatile devices = BT）”を見積もることが有効である。この損益分岐時間（BT）は、“待機状態での消費エネルギー＝電力遮断に必要なオーバーヘッドエネルギー”から定義され、フリップフロップやSRAMの場合、“1ビットのフリップフロップまたはSRAMの待機電力×BT=1ビットをMTJに格納するための電力エネルギー（Writeエネルギー）”の式から計算できる。40nm CMOSの標準的なリーク電力と、垂直磁化STT-MRAMの損益分岐時間を計算すると、1ビットのフリップフロップまたはSRAMを1ビットの不揮発フリップフロップまたは不揮発SRAMで置き換えるためのBTは、約数百 μs ～数msのレンジとなる。この時間よりも長い待機時間の間PGを続けないと、電

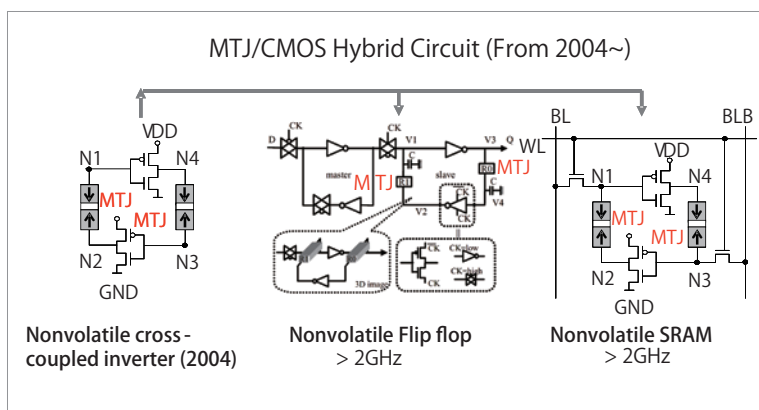


図-5 不揮発クロスカプルインバータを不揮発SRAMと不揮発フリップフロップに適用

力削減につながらない。システムクロックが1GHzのプロセッサを考えると、十万サイクルオーダ以上と、かなり長い待機状態に相当する。これでは、アプリケーション動作中の短い待機時間（ $< 100\mu\text{s}$ ）でPGすると、逆に電力増大を招いてしまう。従来のCMOS/SRAM回路製品ではPGは数十～数百 μs 程度の待機時間で行っている。これは、従来型のほうが電源遮断復帰が高頻度で効率よく（電力削減率が高くなるという意味で）行えることを意味している。しかし、キャッシュメモリの動作を考えると、動作するメモリビット数と、待機状態のメモリビット数とで、桁違いに差があるため、実質的にBTが何桁も小さくなり、キャッシュメモリの電力が削減することが可能になる⁶⁾。次にそれについて説明する。

Breakeven Time はメモリファクタ分短縮する

待機状態でリーク電力を生じているのは全部のメモリであるが、電源復帰時から遮断時までの間に書き込みされるメモリは、全メモリの一部だけである。（書き込みされるメモリのビット数）／（メモリの全ビット数）の比率を“メモリファクタ”と呼んでおり⁷⁾、BTはメモリファクタ分、オーダで短縮される。たとえば、1MBのキャッシュメモリがある場合、64Bが書き換えられるとすると、メモリファクタは 6.4×10^{-5} で、実効的なBTは4桁以上も小さくなる。大容量のキャッシュほどメモリファクタが小

3. 携帯情報端末におけるノーマリーオフコンピューティング STT-MRAM で実現するノーマリーオフメモリ技術

Memory Hierarchy	Volatile Circuit	NV-Circuit	Memory factor	BT case1 (Advanced p-STT-MRAM)	BT case1 (General p-STT-MRAM)	T (Typical Stand by Time during Write Operation)
Registers In CPU core	Flip flop	NV-Flip flop	-	120us	4ms	<1~2ns
Register File	SRAM	NV-SRAM	-	120us	4ms	<1~2ns
L1 Cache	SRAM	NV-SRAM	-	120us	4ms	3~5ns
L2 Cache (1MB)	SRAM (Low power)	D-MRAM	6.4×10^{-5}	7.7ns	240ns	~50ns

表-1 各メモリ階層におけるBTとアプリケーション動作中の待機時間T

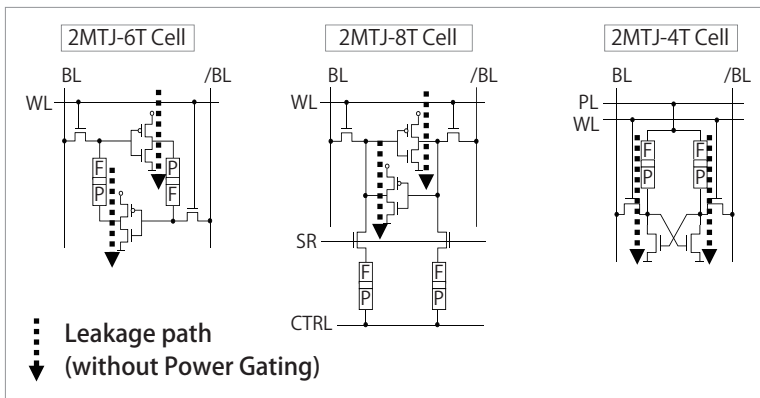


図-6 不揮発SRAM回路の例。すべてにリークパスが存在

さくなり、BTが小さくなる。ゆえに、メモリ階層の下側ほど、電力削減の機会が増えるということになる。

表-1に各メモリ階層で予測されるBTを記載した。また、アプリケーション動作中に、各メモリが待機状態となる時間間隔の平均値Tも示した。

$T > BT$ という状況であれば、アプリケーション動作中でも不揮発キャッシュ導入によって電力削減できることになり、理想的なRun-time Power Gatingを実現する可能性が生まれる。表-1を見ると、L1キャッシュメモリ以上では、 $T \ll BT$ となっており、ここに不揮発STT-MRAMを適用すると、電力増大を起こすことが分かる。高速動作が必要なため、不揮発SRAMを用いる必要があり、メモリファクタ効果が得られないという背景がある。逆に、L2(またはL3)キャッシュを不揮発化することが電力削減に効果的となることが分かる。

どのメモリ階層を不揮発化すべきか? でプロセッサコア内のメモリは、もともと待機電力の寄与が小

さいため、不揮発化の効果が小さいこと、L2、L3キャッシュは待機電力が支配的で、キャッシュメモリ容量増大により、待機電力がより大きな問題となることを述べた。これらの理由とBTの長さの両面から、L2以下の下層のキャッシュメモリ不揮発化が、モバイルプロセッサの消費電力削減に有効であることが分かる。

このようにメモリファクタによるBT改善のために空間粒度・時間粒度を細粒度化することになる。このような、細粒度実装の場合、回路オーバーヘッドとその分の遅延オーバーヘッドの比率が、粗粒度よりも指数関数的に大きくなる。キャッシュメモリのようなSRAM領域はチップ全体の半分近くを占めるものが多いので、このオーバーヘッドはチップコストにも大きく影響する。さらに電源On・Offによる不安定性増加も問題となる。もっとシンプルな回路システム、理想的にはPGなしで電力削減できる回路が望まれる。

そもその問題点は、図-6に示すように、不揮発SRAMでは、クロスカップルインバータの部分が常にリーク電流パスとなっているため、メモリセルをPGしない限りリーク電流を防ぐことができない。つまり、メモリが「ノーマリーオン」状態なのである。筆者らが提案した6トランジスタ(6T)型の不揮発SRAM以外に、8T型⁸⁾(図-6)、5T型⁹⁾、4T型¹⁰⁾(図-6)等さまざまな回路が提案

されているが、いずれも SRAM 回路を含むノーマリーオン型メモリ回路である。ノーマリーオフ型メモリ回路に改良できれば、PG フリーでオーバーヘッドなしにすることができる。

PG 有のノーマリーオンメモリ回路から PG フリーのノーマリーオフメモリ回路へ

DRAM を置き換えることが期待されている大容量向けの STT-MRAM のメモリセル回路は、セル面積が小さい 1 トランジスタ + 1 メモリ素子型であり、この回路にはリークパスがないことが知られている。つまり、ノーマリーオフ型メモリである。しかし、残念ながら、この回路では読み出し書込み速度が汎用 DRAM 並みにはなるものの、SRAM には遠く及ばない。

そこで図-7 のような、新しいノーマリーオフ型の D-MRAM 回路を考案した¹¹⁾。この回路は、3 つのトランジスタと 1 つの MTJ からなる。3 つのトランジスタのゲート容量とドレイン容量がキャパシタンスとして働く。このキャパシタンス容量は汎用 DRAM のキャパシタンス容量よりも桁違いに小さいため、リテンション時間は 10 μ s 程度で短いものの、その分書込み速度も速い。DRAM と MRAM

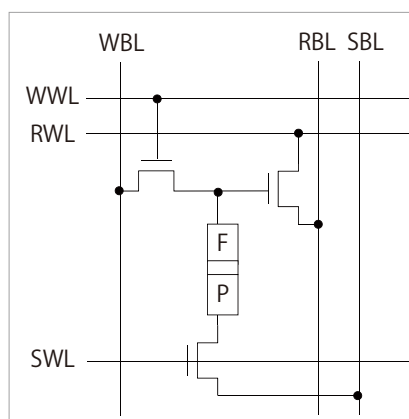


図-7 ノーマリーオフ型メモリである D-MRAM セル

のハイブリッド回路として、DRAM または MRAM のどちらかとしてメモリ回路を任意に使い分けることができる。キャッシュに格納するデータで格納すべき時間が短くてもよいデータは、DRAM に格納し、格納すべき時間が長いものは MRAM に格納するというふうに使分けすることで、高速で低消費電力の動作が可能である。プロセッサアーキテクチャの観点から、どう使い分けるのがより効果的かも細かく分析している¹²⁾。

不揮発キャッシュメモリを搭載したプロセッサの性能と電力を計算する環境を整備し、SPEC2006 ベンチマークソフトを用いて、性能と消費電力を SRAM キャッシュのプロセッサと比較した。図-8

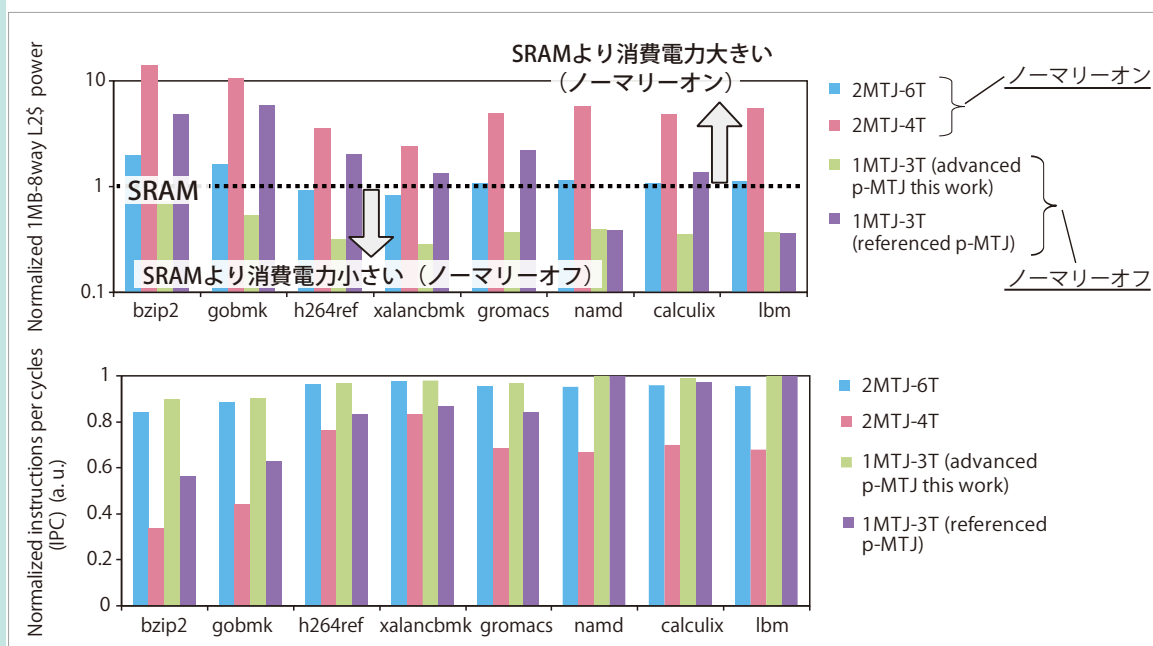


図-8 不揮発 SRAM と D-MRAM (1MTJ-3T) を L2 キャッシュに用いたプロセッサの消費電力 (L2 部) と性能 縦軸は SRAM との相対比較 (6T 型は粗粒度 PG でメモリファクタは 1、4T 型は 32 ビット細粒度 PG)

3. 携帯情報端末におけるノーマリーオフコンピューティング STT-MRAM で実現するノーマリーオフメモリ技術

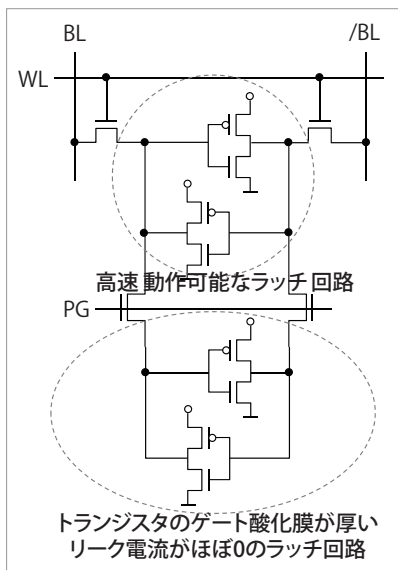


図-9 CMOSのみで実現できる待機電力がほぼ0の厚膜CMOSハイブリッド回路

にその結果を示す。性能劣化が最小限に抑えられて、電力が大幅に改善することを示した。このD-MRAMメモリは、動作時以外はメモリセルのリーク電力が発生しないので、PGは不要である。よって、アクセス動作が完了した途端に遅延0で電力遮断状態と同様の状態に戻るようになる。さらに、アクセス部分しか電力消費しないので、1ビット細粒度のメモリスステムになる。最も無理のないメモリ回路である。

なお、BTを短縮化し、低消費電力化するための、もう1つ重要な点は、MTJを格納するためのWrite動作時の消費電力が増大しないような回路設計である。ほかから提案されている4T型不揮発SRAMでは、メモリセル小型化を優先した結果、残念ながら貫通電流が流れたままになるため、メモリセルが動作するときの消費電力がSRAMより100倍以上大きくなってしまっている。したがって、細粒度PGを用いて、待機電力を0にすることができたとしても、動作時電力が100倍以上増大するため、トータルとして、従来型SRAMキャッシュよりも数倍～10倍程度消費電力が増大してしまうことが図-8の結果から分かる。これも不揮発メモリのジレンマである。このように、トータル電力の考慮が求められるため、不揮発回路設計は難解であり、本当に効用がある回路は限られている。

ハイブリッド型不揮発フリップフロップ回路の応用

次に、不揮発ラッチのSRAM以外の応用として、不揮発フリップフロップ(図-5)について考察する。フリップフロップ、特にD型フリップフロップは、同期式順序回路として、プロセッサコア内のパイプラインレジスタや、バス回路、メモリのバッファなどに広く使われている。近年、類似のハイブリッド型の不揮発フリップフロップ回路がほかのグループから報告されている¹³⁾。

BTを計算すると、前節同様に約数百 μs ～数msのレンジとなる。フリップフロップは1ビットメモリなのでメモリファクタ効果もない。前述したとおり、従来型のほうが電力削減率が高くなり、最先端技術を駆使して不揮発素子を導入する意義がない。そもそも、同様のハイブリッド回路は、ゲート酸化膜の厚いトランジスタを使ったCMOS回路で構成するラッチ回路をフリップフロップやSRAMに接続することでも実現できる(図-9)。この場合、面積は同等で、リーク電流を100分の1以下に低減できるため、待機電力が無視できるレベルでデータを保持でき、不揮発にほぼ近い。STT-MRAMを外部接続したハイブリッド回路より、この“厚膜CMOSハイブリッド型”回路の方が明らかにコストパフォーマンスが高い(STT-MRAMを外付けするタイプの不揮発SRAMも同様)。

STT-MRAMの不揮発フリップフロップの方がフリップフロップの動作頻度をもっと低い応用に適しているという考え方もある。しかし、このような場合、STT-MRAMのような動作電力が大きい不揮発素子よりも、前述したFeRAMのように動作電力が低い不揮発素子(すでに製品化)の方が明らかに有利である。かくして、STT-MRAM不揮発フリップフロップの有望な用途は現状見つかっていない。

電圧引加型MTJはSRAMを超えられるか?

近年、電圧引加型MTJに関する基礎研究が注目

されている¹⁴⁾。これは電流を流さずに MTJ のスピンを反転するもので、原理的には低消費電力になり得る。しかもスピン反転速度が“SRAM 並み”に高速である。筆者らは、L1 キャッシュ向けに電圧引加型 MTJ を想定して先の 6T- 不揮発 SRAM を電圧引加型に改良した回路も提案している¹⁵⁾。高速動作主体での応用なので、待機電力よりも動作電力が支配的となる。動作電力は $\frac{1}{2} \times CV^2 + I_t V$ となる。C は MTJ の容量や周囲の配線の容量、 I_t は MTJ をトンネルする電流。現状 V が大きい MTJ や、 I_t が大きい実験例（事実上の電流書込み）が多く、動作電力は SRAM よりも遥かに大きい。ある程度高速になると、メモリ部分より配線部分の遅延で支配されるため、実際には SRAM より高速に動作させることは無理である。しかし、SRAM と対等な高速性と動作電力を持つ不揮発 RAM が使えるようになれば、高速で低消費電力の L1 キャッシュメモリが実現できる。今後の電圧引加型 MTJ の研究進展が期待される。

まとめ

携帯情報端末のモバイルプロセッサの消費電力を削減するために STT-MRAM をメモリに導入する方針について解説した。通常 STT-MRAM を実装すると、消費電力増大の弊害を招くため、L2 キャッシュまたはラストレベルキャッシュに、ノーマリーオフ型の D-MRAM メモリ回路を使うことを考案した。これにより、アプリケーション動作中のごく短時間待機時の電力もほぼ 0 することができ、プロセッサの消費電力を大幅に削減でき、ノーマリーオフプロセッサ実現に近づく。さらなるメモリ開発の進展と、新たなプロセッサアーキテクチャにより、完全なノーマリーオフプロセッサの実現も可能になっていくことが期待される。

参考文献

1) Abe, K., et al. : European Micro and Nano Systems

- 2004, 20-21th October, Paris, France (2004), Abe, K., Fujita, S. and Lee, T. H. : 2005 NSTI Nanotechnology Conference, Vol.3, pp.203-206 (2005).
- 2) Fujimori, Y., et al. : Technical Report of IEICE. ICD2002-10.
- 3) Ando, K., et al. : Roles of Non-Volatile Devices in Future Computer System : Normally-off Computer, ISBN978-1-4666-1842-8 (June 2012).
- 4) Yoda, H., et al. : 7th International Workshop on Future Integration Process Technology (2007).
- 5) Kitagawa, E., et al. : 29. 4, Technical Digests of IEDM (2012).
- 6) Abe, K., et al. : SSDM, pp.1144-1145 (2010).
- 7) Yoda, H., et al. : 29. 4, Technical Digests of IEDM (2012).
- 8) Yamamoto, S., et al. : Jap. J. Appl. Phys. Vol.48, 4, 2009. 090204/1 (2010).
- 9) Fujita, S., et al. : Japanese Patent P2011-166070. US and Chinese patent (2011).
- 10) Ohsawa, T., et al. : Jap. J. Appl. Phys. 51 (2012) 02BD01.
- 11) Abe, K., et al. : 10.5 in Technical Digests of IEDM (2012).
- 12) Noguchi, H., et al. : To be Presented in Design Automation and Test in Europe (Mar. 2013).
- 13) Masui, S., et al. : IEEE 2003 Custom Integrated Circuits Conference (2003), Sakimura, N., et al. : IEEE 2008 Custom Integrated Circuits Conference (2008).
- 14) Maruyama, T., et al. : Nature Nanotech. 4, 158 (2009), Nozaki, T., et al. : Appl. Phys. Lett. 96, 022506 (2010), Shiota et al. : Nature Mat. 11, 39 (2012), Nozaki, T., et al. : Nature Physics, Volume:8, pp.492-497 (2012).
- 15) Fujita, S., et al. : GF-05, The 12th Joint MMM/Intermag conference (2013). (IEEE Trans. Mag. in printing)

(2013年3月5日受付)

謝辞 本研究成果の一部は、NEDO「ノーマリーオフコンピューティング基盤技術開発プロジェクト」によるものである。また、STT-MRAM を使った新しいプロセッサアーキテクチャの研究は、同プロジェクトにおける東京大学 中村宏教授のグループとの共同研究にて進行中である。

藤田 忍 | shinobu.fujita@toshiba.co.jp

1989年東京大学工学部博士課程修了。同年(株)東芝入社。東芝研究開発センターにて、次世代不揮発性メモリの回路・システム応用の研究・開発に従事。

安部恵子 | keiko2.abe@toshiba.co.jp

岡山大学卒業。次世代不揮発性メモリの回路・システム応用の研究・開発に従事。

野村久美子(正会員) | kumiko.nomura@toshiba.co.jp

2005年東京工業大学院理工学研究科集積システム専攻、博士課程修了。同年より(株)東芝 研究開発センターに勤務現在に至る。主にアーキテクチャの研究に従事。

野口紘希 | hiroki.noguchi@toshiba.co.jp

2006年神戸大・工・情報知能卒業。2011年同大学院工学研究科情報知能工学専攻博士課程修了。現在、東芝研究開発センターに勤務。工博。計算機アーキテクチャの研究に従事。