

## ノーマリーオフ コンピューティング

### —期待と課題—



中村 宏 中田 尚 三輪 忍 (東京大学)

### ノーマリーオフコンピューティング への期待

#### 消費電力は大問題

携帯電話、タブレット端末、センサ端末といったバッテリー駆動のコンピュータシステムは我々の生活の至るところに普及している。また、フィーチャーフォンからスマートフォンの流れに代表されるように、これらのシステムは年々高機能化が進み便利なものとなっている。より高度で快適な情報化社会を実現するためには、コンピューティングのさらなる高性能化・高機能化が不可欠である。

一方で、コンピュータシステムの高機能化が進むにつれ、最近ではその消費電力が無視できなくなってきた。システムの消費電力は電池寿命を決めており、たとえば、高機能化が進んだ最近のスマートフォンは1回の充電で1日持てばよい、というレベルにまで寿命が短くなっている。また、システムの消費電力はバッテリー・サイズや放熱部品のサイズにも影響を及ぼすため、小型であることが望ましいコンピュータシステムにおいては、サイズの面からも省電力化への要求は強い。

さらによりマクロな視点に立てば、情報機器全体の消費電力が無視できなくなっている、という事実がある。たとえば、文献1)では、2006年の時点でIT機器の消費電力が日本全体のその5%に達しており、2025年には20%を超えると予測されている。

このような現状は低炭素社会を目指す上で到底容認できるものではない。より快適な高度情報化社会の実現を目指す上で、コンピュータシステムの低消費電力化は喫緊の課題と言えよう。

#### 性能と消費電力の関係

コンピュータシステムで最も電力を消費するのはVLSI<sup>☆1</sup>である。したがって、システムの低消費電力化を図る上でまず考えなければならないのは、VLSIの消費電力をいかに抑えるかということである。

VLSIの電力はダイナミック電力とリーク電力の2つに分けて考えることができる。前者は回路のスイッチング動作に伴って消費される電力であり、何らかの処理を行う上で必ず必要となる電力である。一方、後者は漏れ(リーク)電流によって消費される電力であり、文字通り、通電しているだけで漏えいしてしまうものである。

このリーク電力が、最近のVLSIではダイナミック電力と同程度にまで増大している。これは、ダイナミック電力は半導体素子の微細化に伴いトランジスタあたりの値としては減少するのに対し、リーク電力は逆に増加するためである。また、半導体素子の微細化はチップに搭載されるトランジスタ数を増大させるため、絶対値としても電力は増加している。

前述のように、リーク電力はコンピューティングにまったく寄与することなく消費される電力である。まさに電力の無駄遣いである。したがってリーク電

.....  
☆1 Very Large Scale Integration

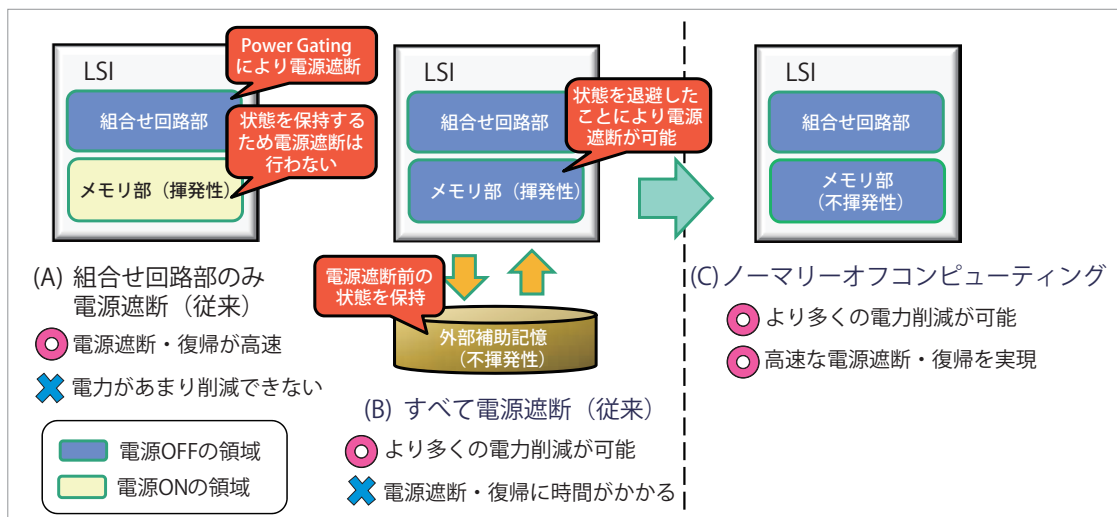


図-1 従来の電源遮断方式とノーマリーオフコンピューティング

力の増大は大きな問題であり、その削減が強く求められているのである。

これまでさまざまなコンピュータシステムの低消費電力化技術が提案され実現されてきたが、それらが目指すものはすべて消費電力あたりの性能の向上（時間軸上で積分すれば、エネルギーあたりの処理量の向上と同じこと）である。消費電力あたりの性能は以下の原理により向上する。

- 性能と電力は常にトレードオフの関係にある。低消費電力化のための回路・デバイス技術は、その関係を調整する性能・電力の調整弁を実現するものである。
- システム全体の電力は構成要素の電力の総和であるが、性能はボトルネックとなる構成要素のみの性能で決まる。
- したがって、性能のボトルネックとなっていない構成要素を、低速だが低電力なモードで動作するように調整弁を適切に制御すれば、低消費電力化が達成できる。

### パワーゲーティングとその限界

近年着目されている性能・電力の調整弁はパワーゲーティング(電源遮断)である。その理由の1つは、先ほど述べたように、近年大きな問題となっているリーク電力を大きく削減できる調整弁だからである。もう1つの理由は、コンピュータシステムは、その動作中もすべての構成要素が常に動作する必要は

なく、実際の利用状況では電源遮断の機会が多くあるからである。そこで、処理中の通常 (normally) 状態でも、ほとんどの電源を遮断 (off) する、というノーマリーオフという処理方式が有望視されている。

しかし、その実現は容易ではなかった。なぜなら、VLSI上のメモリ部分には一般にSRAM<sup>☆2</sup>やDRAM<sup>☆3</sup>といった揮発メモリが用いられるが、それらの電源を遮断すると記憶されている内容が失われてしまうからである。そのため、これまでのVLSIの電力制御では、揮発メモリの電源は遮断しない(図-1のA)、あるいは、電源遮断のたびに揮発メモリの内容を不揮発メモリで構成される外部の低速な補助記憶へ退避・回復(図-1のB)を行っていた。前者の場合、サイクルごとに電源遮断する実チップの報告<sup>2)</sup>があるなど、かなり技術は進んでいるが、電源遮断を行わない揮発メモリ部分のリーク電力が削減できないという問題がある。後者の場合には外部記憶への退避・回復に要する時間オーバーヘッドと電力オーバーヘッドが生じるという問題がある。このように、いずれの場合も電力削減の効果に限界があった。

### 新しい不揮発メモリの登場

これに対し近年、この問題を緩和することが可

☆2 Static Random Access Memory

☆3 Dynamic RAM

能な、STT-MRAM<sup>☆4</sup>、FeRAM<sup>☆5</sup>、PCM<sup>☆6</sup>、ReRAM<sup>☆7</sup>などの新しい原理に基づく不揮発メモリ（Non-Volatile Memory）が開発されている。これらの不揮発メモリは、NANDフラッシュなどの従来の不揮発メモリと比べて1,000倍以上高速に読み書きを行うことが可能であり、そのアクセススピードはSRAMやDRAMのそれに匹敵する（図-2）。

表-1に各メモリの諸元をまとめる。次世代メモリのうち、ReRAMはその集積度の高さやライト時間の短さから、ストレージクラスメモリとしてフラッシュメモリを代替することが期待されている。PCMはReRAMほど集積度が高くないもののReRAMよりも書き換え回数に優れており、DRAMの代用品としての期待が高い。STT-MRAMはその高速性と十分な書き換え回数を有することから、SRAMを置き換えることが有望視されている。FeRAMは次世代メモリの中で最も量産化が進んでおり、現在、組み込みシステムに搭載されたEEPROM<sup>☆8</sup>やフラッシュメモリを置き換える動きが進んでいる。

次世代メモリは、そのアクセス性能の高さに加え、CMOS<sup>☆9</sup>プロセスとの相性がよく、オンチップメモリとして利用しやすいという特徴がある。そのため、オンチップ上のSRAMやDRAMをこれらのメモリによって代替することが強く期待されている。

### そしてノーマリーオフへ

これらの不揮発化されたメモリを有するVLSIは、従来のVLSIとは異なり、電源を遮断しても状態が失われることがない。従来のパワーゲーティング方式では実現できなかった、真に動作すべき構成要素以外の電源を積極的に遮断する「ノーマリーオフ」の実現（図-1のC）も夢ではない。

この大きな期待のもとで、2011年9月より（独）新エネルギー・産業技術総合開発機構（NEDO）に

☆4 Spin Transfer Torque Magnetoresistive RAM  
 ☆5 Ferroelectric RAM  
 ☆6 Phase Change Memory  
 ☆7 Resistive RAM  
 ☆8 Electrically Erasable Programmable Read-Only Memory  
 ☆9 Complementary Metal Oxide Semiconductor

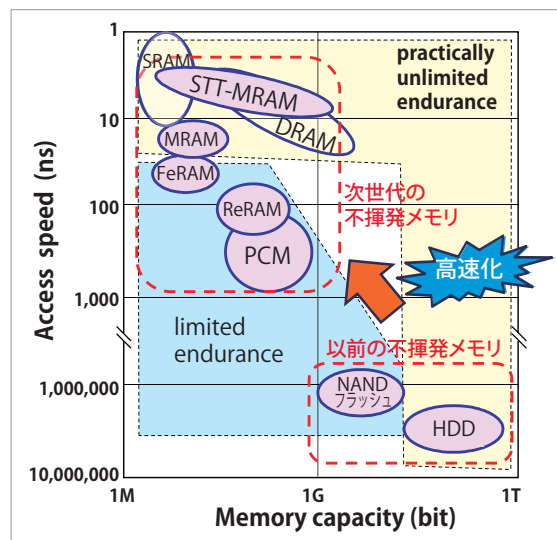


図-2 不揮発メモリのパラダイムシフト

よるプロジェクト「ノーマリーオフコンピューティング基盤技術開発」がスタートした。

## ノーマリーオフコンピューティング実現に向けての壁

ノーマリーオフコンピューティングを実現する上で解決すべき課題は主に、1) 次世代メモリを用いたコンピュータシステムのメモリ階層をどう構築するか、2) システムの電源遮断・復帰の時間方向の制御をどのように行うか、の2つである。これは、速度と容量の2点に関して次世代メモリは従来のメモリとは異なる特徴を持つこと、加えて不揮発性という新しい第3の特徴も加わることに起因する。以下、2つの課題を詳しく述べる。

### メモリ階層の最適化

メモリシステムに望まれる要件は、高速性かつ大容量性である。しかしこれは両立しないため、現在のコンピュータシステムは、キャッシュメモリをはじめとする高速小容量なメモリと低速大容量なメモリとを組み合わせ、それらを階層化することにより、プロセッサコアに対して高速性と大容量性を提供している。またキャッシュメモリそのものも多階層化することで、メモリシステムとしての速度を向上さ



	SRAM	DRAM	NAND フラッシュ	STT- MRAM	FeRAM	PCM	ReRAM
不揮発性	×	×	○	○	○	○	○
セルサイズ (F <sup>2</sup> )	50~ 120	6~10	2~5	6~20	15~23	6~12	<1
リード時間 (ns)	1	30	50	2~20	<55	20~50	<50
ライト(消去) 時間(ns)	1	50	10 <sup>5</sup> ~ 10 <sup>6</sup>	2~20	<55	50~120	<100
書き換え回数	10 <sup>16</sup>	10 <sup>16</sup>	10 <sup>5</sup>	10 <sup>15</sup>	10 <sup>14</sup>	10 <sup>10</sup>	10 <sup>6</sup>
リード/ライト 電力	低	低	高	低	低	低	低
その他の電力	リーク: 大	要リフ レッシュ	-	-	-	-	-
必要な電源 電圧	CMOSと 同じ	2V	16~20V	CMOSと 同じ	1.5~3V	1.5~3V	1.6~2V

表-1 メモリ比較

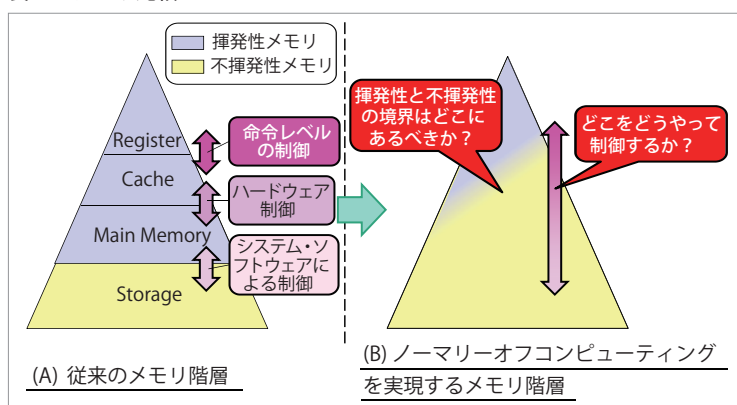


図-3 ノーマリーオフコンピュータのメモリ階層

せている。

しかし、揮発メモリの速度と次世代メモリのそれとの間には、性能と容量の観点からは、図-2に示すようにやや乖離がある。特に、SRAMとまったく同じ速度で動作するメモリは今のところまだ存在しない。そのため、現在のSRAM、DRAMを単純に次世代メモリと交換するだけでは、従来通りの高速大容量なメモリシステムをプロセッサコアに対して提供することができないのである。

この速度差のために、従来のメモリを次世代メモリに単純に置き換えると、性能が低下し実行時間が伸びてしまう。結果として、処理に要するエネルギーは増大してしまう。このように、リーク電力が少ないメモリに置き換えたからといって、エネルギーが必ず減るとは限らないのである。

エネルギー効率を改善するためには、性能低下のボトルネックとなっている部分に関しては高速な揮発メモリを用い、それ以外の部分に関しては低速・低消費電力な次世代メモリを用いる方式が有力であ

る。これは、従来のメモリ階層のように階層ごとに揮発メモリと不揮発メモリを使い分ける(図-3のA)のではなく、同一階層内であっても揮発メモリと不揮発メモリが混在する(図-3のB)ことを意味する。

また、階層間のデータ移動を誰が制御するのかという役割分担も再検討する必要がある。従来のメモリ階層ではキャッシュメモリと主記憶との間はハードウェア制御、主記憶と補助記憶との間はシステム・ソフトウェアによる制御というように役割分担が明確であった。しかし、揮発メモリと不揮発メモリが混在するメモリ階層では、多様なアクセス時間を持つメモリが同一階層内に混在するため、たとえば下位層のメモリから上位層の揮発メモリへはハードウェアにより自動的にデータを移動するが上位層の不揮発メモリへはソフトウェアで明示的に移動する

るといったように役割分担を明確に分離できない可能性がある。

さらに、メモリの電源制御も検討を要する。揮発メモリの電源を遮断する場合は、これまで通り、その内容をメモリ階層内の不揮発メモリに対して退避/回復し揮発メモリの電源を遮断/復帰する、という制御が必要になる。従来(図-1のB)では、不揮発メモリが外部の低速メモリであったためこの制御はソフトウェアで行えばよかったが、目指すノーマリーオフコンピューティング(図-1のC)では、高速な不揮発メモリもチップ上に存在するため、この領域へ退避/回復する場合には、ハードウェア制御が望ましい。メモリ階層内のどの不揮発メモリを退避/回復の対象とするのか、その制御をハードウェアで担うのか、ソフトウェアで担うのか、は今後検討すべき項目である。

### 時間粒度最適化

次世代メモリは情報の保持に電気信号以外の物理

現象を用いており、その結果、リーク電流がほとんど発生しない構造となっている。そのため、非アクセス時には電力をほとんど消費しない。その一方で、単純に電気信号の高低により状態を保持しているわけではないため、次世代メモリはアクセス時（特にデータを書き換える際には揮発メモリよりも大きな電力を消費する。

そのため、揮発メモリを次世代メモリと置き換える際は、Break Even Time（以降 BET と略す）を考える必要がある（図-4）。BET はアクセス間隔の損益分岐点であり、次世代メモリへのアクセス間隔が BET より長ければ、次世代メモリへのアクセスに要する増加エネルギーよりも、次世代メモリを採用することによるリーク電力の削減量が大きくなり、電力消費を低減することができる。しかし BET よりも短いアクセス間隔では、逆にエネルギーを増大させてしまう。

したがって、次世代メモリを用いた上でシステムのエネルギーを削減するには、その間隔が BET よりも長くなるようにメモリアクセス命令間の時間的な距離を離す技術が必要となる。次世代メモリへのアクセスに要する電力は素子の種類ごとに異なるし、素子によってはリードとライトで電力が異なるという特性があるため、それに伴い変動する BET を考慮した命令スケジューリングが必要となる。この時間粒度最適化問題は、アルゴリズム、OS、コンパイラ、アーキテクチャ、回路、そしてデバイス間の密な連携・協調を必要とする難しい問題である。

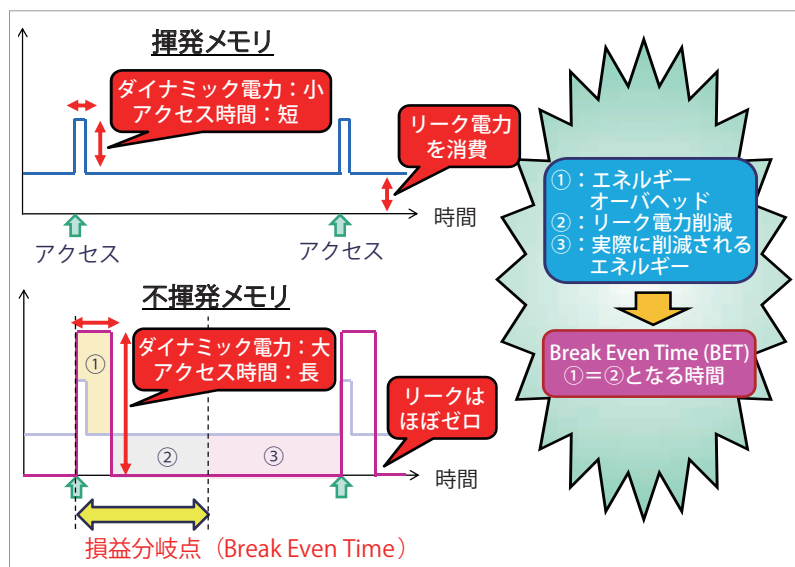


図-4 Break Even Time

オフコンピューティング基盤技術開発」はその基本計画<sup>3)</sup>に記載されているように「次世代センサネットワーク、モバイル情報機器、サーバ等、不揮発性素子を用いると想定される機器・システム」を対象として「ハードウェア技術、ソフトウェア技術、コンピュータアーキテクチャの一体的な開発」により、システムとしての電力あたりの性能向上を目指している。つまり、特定のアプリケーションに依存しないコンピューティングプラットフォームを、多岐にわたる設計階層間の協調により実現することを目指している。

一方、前章で述べた2つの課題の難しさは、処理が必要とするメモリアクセスの特徴に依存する。そのため、その解決方法も対象とする応用分野、アプリケーションの特徴に依存すると考えられる。

そこで、本プロジェクトは図-5に示す研究体制で推進されている。汎用的な課題と応用的な課題それぞれに対して2つの研究開発項目を掲げ、それぞれを集中研、分散研という異なる体制で研究を進めている。

研究開発項目①では、応用分野の特徴を最大限利用することを前提に、従来よりも画期的な低消費電力化を達成できるノーマリーオフコンピューティングの実現を目指す。具体的な実施内容は後で詳しく述べるが、これらの技術開発は分散研の形態で、各社において独立に実施されている。

## ノーマリーオフコンピューティングプロジェクト

### プロジェクトの実施体制

現在実施中の NEDO プロジェクト「ノーマリー

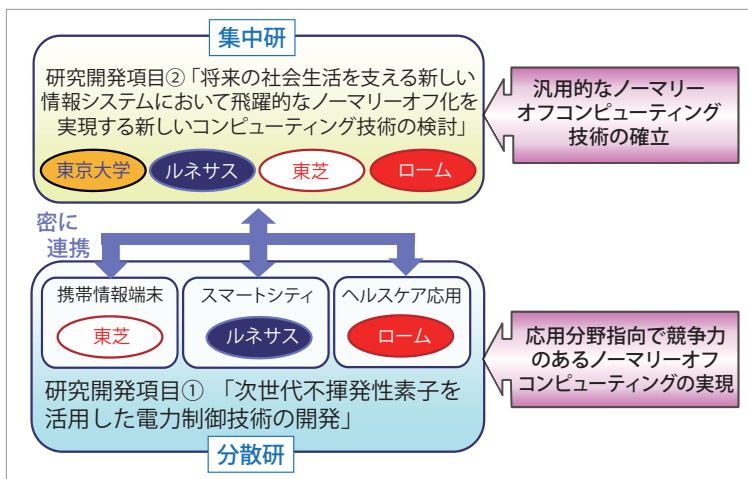


図-5 NEDO プロジェクト実施体制図

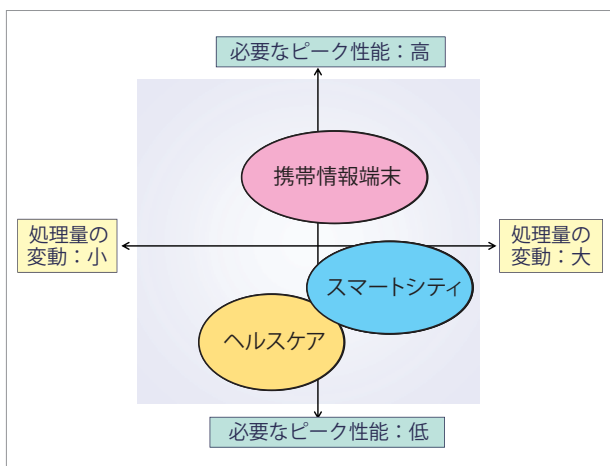


図-6 想定するアプリケーション

一方、より高度で快適な将来の情報化社会の実現に資するべく、既存の応用分野を対象とした分散研における技術開発と並行して、新しい応用領域へも適用可能なコンピューティング技術の検討を、研究開発項目②で実施している。そこでは、応用分野を限定せず汎用的で広範囲に適用可能なノーマリーオフコンピューティング技術の確立を目指し、東京大学に設置された集中研に各社から技術者が参加し技術開発を行っている。

集中研と分散研は、一般化と具現化の双方向で連携を取りあっている。そして、一方の成果を他方へフィードバックすることで、より優れた技術の開発を目指している。

### 対象とする応用分野

研究開発項目②が目指す汎用的で広範囲に適用可

能な技術開発を行うために、研究開発項目①でできるだけ多岐にわたる応用分野を扱うべきであるが、扱える応用分野には限りがある。したがって、開発すべき技術が応用分野のどのような特徴に依存するかを整理すべきであろう。

そこでアプリケーションを以下の2つの特徴量により分類した。まず、アプリケーションが必要とする「ピーク処理能力」は、システムの構成方式を大きく左右し、メモリ階層自体に

大きな影響を与えるので第1の特徴とした。次に、ノーマリーオフコンピューティングでは、動作中もすべての構成要素が常に動作する必要はない、という点に着眼しているため、その程度を表す特徴として「要求処理量の変動」を第2の特徴とした。

この2つの特徴量でアプリケーションを分類(図-6)し、できるだけこの平面を広くカバーするように研究開発項目①の応用分野を選定した。具体的には、携帯情報端末、スマートシティ、ヘルスケアの3つである。これにより、①で応用を施行した最適な設計を行えばその汎用化を通して、将来の広い応用分野へも適用可能なノーマリーオフコンピューティング技術を確立できると考えている。

無論この2つの特徴以外にも、確立すべきノーマリーオフコンピューティング技術に影響を与える特徴は存在し得る。現在、我々はその点も配慮しながらプロジェクトを実施中である。

### 各社の実施内容

我々のプロジェクトでは、先ほど述べた3つの応用分野を、分散研の形で各社が独立に実施している。本小特集では、以降の記事で各社が取り組んでいる内容を具体的に上げている。

ルネサスエレクトロニクスはスマートシティをターゲットとし、そこで使用されるスマートセンサ端末のノーマリーオフ化を目指している。センサ端末の電池寿命は5～10年程度が望ましいと考えられており、マイコンやメモリ、無線通信モジュールを



搭載した高機能なセンサ端末ではその目標値を達成するのが非常に難しい。この挑戦的な課題に対し、次世代メモリの活用とタスク・スケジューリングによる間歇動作の最適化というアプローチで解決を試みている。

東芝は携帯情報端末のノーマリーオフ化にチャレンジしている。東芝は自社が開発中の世界最先端のSTT-MRAMの応用先として、携帯情報端末のアプリケーションプロセッサのキャッシュをSTT-MRAMで置き換えることを狙っている。キャッシュを置き換えるためには、STT-MRAMには、まさにSRAMに匹敵するアクセス性能とアクセスエネルギーが必要であり、そのようなデバイスと回路の開発に日夜努力されている。

最後に、ヘルスケア応用を狙っているのがロームである。ロームはオムロンと共同でウェアラブル生体情報モニタリングシステムの開発を進めている。絆創膏程度の大きさの超小型の生体情報観測システムを被験者が装着することを想定しており、システムのノーマリーオフ化が強く求められている。ここにFeRAMを応用し、システムの大幅な省電力化を図っている。

### コンピューティング技術で期待を現実へ

コンピュータシステムの低消費電力化は、我々がさらに快適で高度な情報化社会の恩恵を受けるために必要不可欠なものである。本稿では、その実現を目指すノーマリーオフコンピューティングへの期待と、解決すべき技術的課題を整理した。また、その課題を解決し期待を現実にする取り組みとして実施されている、NEDOプロジェクト「ノーマリーオフコンピューティング基盤技術開発」について紹介した。

ノーマリーオフコンピューティングでは、次世代メモリという新しいデバイス素子を活用することを試みている。メモリはこれまで、高速性と大容量性

という2つの観点から議論されていたが、そこに不揮発性という新しい魅力的な特性が加えられた。期待を抱かせるこのよい特徴を低消費電力化に繋げるためには、「コンピューティング技術」の観点から次世代メモリをどう利用するかを考えることが重要であろう。そのためにはアルゴリズム、OS、コンパイラ、アーキテクチャ、回路、そしてデバイス間の密な連携・協調を必要とする。

コンピュータシステムの低消費電力化という目標には今後も際限はない。本稿で紹介したメモリ以外にも新しい原理に基づく新デバイスは今なお研究・開発されており、システムの低消費電力化に役立つものは今後も現れるであろう。そのような場合に重要なことは、デバイスの観点でのみ考えていたのでは不十分、ということである。本稿で紹介したように「コンピューティング技術」の視点で考えなければ真の低消費電力化は実現できないのである。

#### 参考文献

- 1) 経済産業省：グリーンITイニシアティブ会議（第2回）- 配付資料より、<http://www.meti.go.jp/committee/materials/downloadfiles/g80520c03j.pdf> (2008)。
- 2) 中村 宏：Power Wall問題へのブレークスルーを目指して～リーク電力削減への試み～、情報処理、Vol.51, No.7, pp.855-860 (July 2010)。
- 3) NEDO ノーマリーオフコンピューティング基盤技術開発、[http://www.nedo.go.jp/activities/ZZJP\\_100016.html](http://www.nedo.go.jp/activities/ZZJP_100016.html), 基本計画のURL、<http://www.nedo.go.jp/content/100163523.pdf>

(2013年3月6日受付)

中村 宏 (正会員) | [nakamura@hal.ipc.i.u-tokyo.ac.jp](mailto:nakamura@hal.ipc.i.u-tokyo.ac.jp)

1990年東京大学大学院工学系研究科電気工学専攻博士課程修了、博士(工学)。現在、東京大学大学院情報理工学系研究科システム情報学専攻教授。本会論文賞、山下記念賞、坂井記念特別賞を受賞。

中田 尚 (正会員) | [nakada@hal.ipc.i.u-tokyo.ac.jp](mailto:nakada@hal.ipc.i.u-tokyo.ac.jp)

2007年豊橋技術科学大学大学院工学研究科電子・情報工学専攻博士後期課程修了。博士(工学)。現在、東京大学大学院情報理工学系研究科特任助教。コンピュータアーキテクチャとシミュレーション等の研究に従事。

三輪 忍 (正会員) | [miwa@hal.ipc.i.u-tokyo.ac.jp](mailto:miwa@hal.ipc.i.u-tokyo.ac.jp)

2005年京都大学大学院情報学研究所博士後期課程認定退学。博士(情報学)。現在、東京大学大学院情報理工学系研究科助教。コンピュータアーキテクチャ等の研究に従事。