

## 電力モード協調によるプロセッサと主記憶の省電力化の検討

宮部 創一† 近藤 正章†  
和田 康孝† 本多 弘樹†

### 1. はじめに

近年、半導体の微細化にともない、プロセッサのリーク消費電力の増大が問題になっている。また、計算機システムの主記憶装置として通常用いられている DRAM デバイスもアクセスが行われていない際の消費電力が多く、その電力削減が課題となっている。本研究では、プロセッサ待機時のリーク電力削減手法としてパワーゲーティング (PG) を、DRAM の待機時電力削減手法として DRAM デバイスに備わる低電力モードを利用することを前提とし、両者の電力モード管理を協調して行うことで、従来よりも効率的に消費電力を削減することを目指す。

### 2. 電力モードの協調

#### 2.1 L2 キャッシュミス時における協調

通常の DRAM の場合、メモリアクセスが無い場合には省電力効果は低い。省電力モードからの復帰が高速な Fast Exit モードを利用することが一般的である。本電力モード協調手法では、ラストレベルキャッシュミスなどによりプロセッサが長期間ストールする場合には、使用してない DRAM ランクをそれらのランク内のデータがアクセスされるまで電力削減効果は高いが復帰に時間がかかる Slow Exit モードや Self Refresh モードへ移行させる。これにより、大幅な性能低下を防ぎつつ、電力削減効果を高めることができると期待される。

#### 2.2 DRAM リフレッシュ時における協調

DRAM がリフレッシュ中はプロセッサから当該 DRAM デバイスへのアクセスはできない。そのため、主記憶アクセスが頻発するプログラムでは、リフレッシュ中プロセッサを強制的に省電力モードにすることで、性能低下を防ぎつつリーク電流を削減することができると思われる。

### 3. 評価

シミュレータ MARSSx86 with DRAMSim2<sup>1)2)</sup> を用い、評価を行った。ベンチマークプログラムには SPEC-CPU2006 の中から 6 つ選択し、使用した。各

† 電気通信大学大学院情報システム学研究所

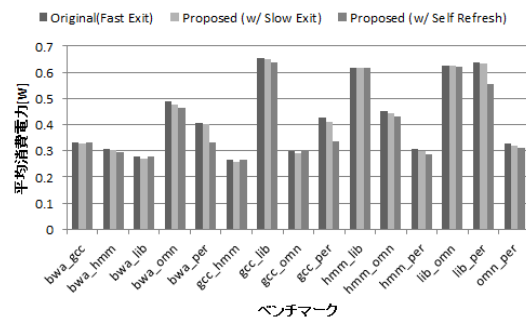


図1 2 コアでの DRAM の平均消費電力

プログラムは、最初の 10 億命令を FastForward し、そこからの 1 億命令を評価対象とする。図 1 に 2 コアでプログラム実行時の L2 キャッシュミス時における協調を行った場合の DRAM の平均消費電力の実験結果を示す。図が示すように通常の Fast Exit モードのみを使う場合と比較して提案手法を用いることで、平均消費電力を削減することができた。しかし、実行時間が大幅に増えるケースがあり、bwaves と perlbench を同時に実行した場合に約 25% の増加があった。これは両ベンチマークともメモリアクセス頻度が高く、動作モードと省電力モード間の移行を頻繁に繰り返したためと考えられる。

### 4. まとめ

本研究ではプロセッサと主記憶の省電力モードを協調させることで、電力を削減する手法を提案した。評価を行った結果、従来手法に比べ平均消費電力を削減できる可能性があることを示した。しかし、キャッシュミス時における協調では大幅に実行時間が増加する場合があった。そのため、メモリアクセス頻度によって使用する省電力モードを変更するなどの改良が必要だと考えられる。

### 参考文献

- 1) MARSSx86: <http://marss86.org/>
- 2) Paul Rosenfeld, Elliott Cooper-Balis, Bruce Jacob, "DRAMSim2: A Cycle Accurate Memory System Simulator", Computer Architecture Letters, pp16-19, 2011