

## 三次元ワイヤレス積層によるヘテロジニアスマルチコアプロセッサとシステムソフトウェアの実現

坂本 龍一<sup>†1</sup> 高橋 昭宏<sup>†1</sup> 小林 弘明<sup>†1</sup>  
佐藤 未来子<sup>†1</sup> 天野 英晴<sup>†2</sup> 宇佐美 公良<sup>†3</sup>  
黒田 忠広<sup>†2</sup> 近藤 正章<sup>†4</sup> 中村 宏<sup>†5</sup>  
三浦 典之<sup>†2</sup> 並木 美太郎<sup>†1</sup>

### 1. はじめに

組込みシステムにおける省電力化と高性能化を目指し、筆者らは、誘導結合を用いたヘテロジニアスマルチコアプロセッサ Cube の研究開発を進めている。本プロセッサは、細粒度パワーゲーティング機能 (以下 PG) を備えるホスト CPU と省電力アクセラレータで構成し、省電力化に有効なチップ間ワイヤレス接続を利用した三次元積層プロセッサである。従来のスルーシリコンビア方式と比べ、コストや電力面で優位であり、積層するプロセッサ数を変更することで要求性能にも柔軟に対応できる。

このプロセッサをより有効に活用するためには、PG 制御による省電力化やアクセラレータの並列制御による性能向上などを、システムソフトウェアと協調して実現することが課題となる。また、ベンチマークプログラムによる評価のために、Linux や組込み OS 用いた実チップ環境を整えることも重要である。本研究では、チップ間ワイヤレス接続を利用した三次元積層ヘテロジニアスマルチコアプロセッサと評価環境を実チップで実現し、さらに実チップ上で OS との協調による省電力効果を Linux と組込み OS とで実現した。

### 2. 三次元ワイヤレスによるヘテロジニアスマルチコアアーキテクチャ

Cube プロセッサは省電力汎用プロセッサ **Geysler**<sup>1)</sup> と省電力アクセラレータ **CMA** (Cool Mega Array)<sup>2)</sup> から構成される。Cube では、Geysler がホスト CPU の役割を担い複数の CMA を制御する。Geysler と CMA を三次元方向に積層するために、各チップに誘導結合回路の ThruChip Interface (TCI) を有する。Cube

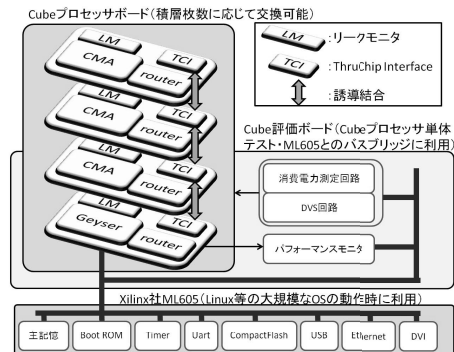


図 1 Cube プロセッサと評価ボード

プロセッサのアーキテクチャの概念図を図 1 中の Cube プロセッサ部に示す。

#### (1) 省電力汎用プロセッサ: Geysler

Geysler は MIPS R3000 の演算ユニットに細粒度 PG 機能を有する省電力プロセッサである。TLB, キャッシュメモリ, MMU, 細粒度 PG 機能, 例外・割り込み機構などを備えており、Linux 等の汎用 OS を実行できる。

#### (2) 省電力アクセラレータ: CMA

CMA は組込み向けのデバイスとして高い電力効率を目指したリコンフィギュラブルアクセラレータである。CMA は主に演算器配列である PE アレイ, データメモリ, マイクロコントローラからなる。PE アレイは組み合わせ回路で構成され、DVS を用いて省電力化を行う機能を有する。

#### (3) オンチップリークモニタ: LM

チップのリーク電流を計測するリークモニタが、各々のプロセッサに搭載されている。オンチップでリーク電流を計測し、PG 制御へのフィードバックを行うことで、柔軟な省電力制御が可能となる。

これらの各チップを、東京大学大規模集積システム設計教育研究センターの富士通 e-shuttle 65nm プロセッサを利用して、4.2mm × 2.1mm の実チップとして実装し、誘導結合ワイヤレス接続方式により積層し

<sup>†1</sup> 東京農工大学  
<sup>†2</sup> 慶應義塾大学  
<sup>†3</sup> 芝浦工業大学  
<sup>†4</sup> 電気通信大学  
<sup>†5</sup> 東京大学

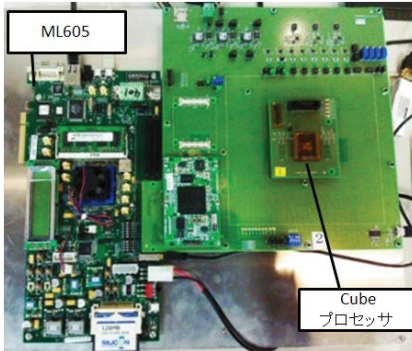


図 2 実チップと評価ボード

た. 本実装によりワイヤレス結合, Geysler の細粒度 PG, オンチップブリークモニタの効果を確認できた.

### 3. ハードウェア環境

組込み OS や, Linux, Android 等の OS を動作させるためには, 主記憶や入出力が必要となる. そこで, OS に必要なメモリ, 入出力, 評価に利用するパフォーマンスモニタ等を評価ボードへ搭載した. 図 1 と 図 2 に示すように, Cube プロセッサを搭載する孫ボード, バスブリッジや各種電源・計測回路を搭載した子ボード, メモリ・入出力等を担う Xilinx 社の ML605 で評価環境を構成し, Cube チップの単体テストや, OS を含めた評価を行った.

### 4. システムソフトウェア

#### 4.1 Linux による PG 制御

筆者らは, プログラムの静的解析・動的解析を用いて, Geysler の PG 機能を制御し, 省電力化を行う手法を提案している<sup>3),4)</sup>. 電力的に不利になる PG を動的に算出し, 適切な省電力モードに設定し省電力化を目指す手法を Linux を用いて実現した. また, コンパイラ<sup>5)</sup>により PG 制御情報を含むオブジェクトコードを温度ごとに生成しておき, OS が実行時のコア温度の変化に基づいて動的にこれらを切り替えて実行する方式を, Linux を用いて実現した. いずれの方式も実チップにおいて電力制御可能であり, 図 3 に示すように, 異なるポリシーでベンチマークを実行させた場合の消費電力効果をリアルタイムに確認した.

#### 4.2 組込み OS による CMA の制御

組込み OS を利用し, 誘導結合されたバスを介した CMA による画像処理を実チップ上で実現した. ビットエラーを検出することなく, 積層したチップ間でデータ転送を行い, 複数のアクセラレータが機能した. さらに, 複数 CMA をより効率的に活用するために, CMA 間データ転送や CMA 実行タイミング制御などを, Geysler 上の OpenCL ライブラリと組込み OS を介して制御する方式を別途実現している<sup>6)</sup>.

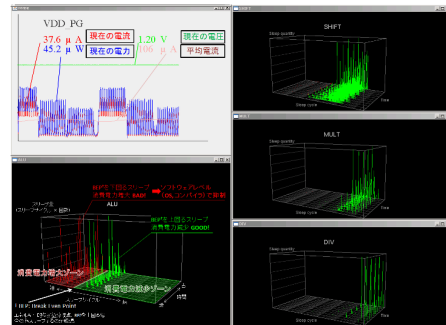


図 3 Geysler での省電力効果の可視化

### 5. おわりに

チップ間ワイヤレス接続を利用した三次元積層ヘテロジニアスマルチコアプロセッサ Cube と評価環境を実チップで実現し, プロセッサ, Linux, コンパイラなどの協調方式による省電力効果, および, ワイヤレス伝送路間での安定した通信を行えることを示した. 今後も, より詳細な省電力効果の評価, 効率的なアクセラレータ利用による性能向上を追求する.

**謝辞** 本研究は, JST CREST における「革新的電源制御による次世代超低消費電力高性能システム LSI の研究」によるものである. また, 本研究は東京大学大規模集積システム設計教育研究センターを通し, (株) 半導体理工学研究センター・(株) イー・シャトルおよび富士通 (株)・シノプシス (株)・日本ケイデンス (株)・メンター (株) の協力で行われたものである.

### 参考文献

- 1) L.Zhao and et al, “Geysler-2: The second prototype CPU with fine-grained runtime Power Gating”, Proc. of IEEE ASPDAC, pp. 87–88 (2011).
- 2) N.Ozaki and et al, “Cool Mega Arrays: Ultralow-Power Reconfig-urable Accelerator Chips”, Micro.IEEE, pp. 6–18 (2011).
- 3) 小林 弘明他, “OS における細粒度パワーゲーティング向けオブジェクトコードの実行時管理機構の研究”, IPSJ 2011-OS-117, No. 1, pp. 1–8(2011).
- 4) 高橋 昭宏他, “細粒度パワーゲーティング制御による省電力化を行う Linux プロセススケジューラの試作”, IPSJ 2011-OS-117, No. 31, pp. 1–8(2011).
- 5) T. Komoda and et al, “Compiler-Directed Fine Grain Power Gating for Leakage Power Reduction in Microprocessor Functional Units”, 7th Workshop on ODES-2009(2009).
- 6) 坂本 龍一他, “組込み向けメニーコアアクセラレータ用 OpenCL の設計と組込み OS の実装”, IPSJ 2012-OS-121, No. 2, pp. 1–10 (2012).