

タグの2段階比較による発行キューの消費エネルギー削減

小林 誠 弥[†] 塩谷 亮 太[†] 安藤 秀 樹[†]

スーパスカラ・プロセッサでは、発行キューは非常に多くのエネルギーを消費する。発行キューの構成要素の中では、ウェイクアップ論理の消費エネルギーが最も大きい。これはタグ比較に多くのエネルギーを消費するためである。これに対して、本論文では、タグの2段階比較という手法を提案する。本手法では、最初にタグの下位ビットのみを比較し、それが一致した場合に限ってタグの上位ビットを比較する。動作する比較器の数が減り、また、比較器の入力ビット数が減ることにより、消費エネルギーを削減できる。しかし一方で、比較動作が直列化することにより、発行キューの遅延時間が増加する。このため、クロック・サイクル時間を伸ばさないようにするためには、発行キューの動作に2サイクルをかける必要がある。これによりIPCが低下するが、これを抑制する手法として、性能に悪影響を与えると推測される少数のエントリのタグ比較を1段階で行う、2階層発行キュー方式と後方1段化方式と呼ぶ2手法を合わせて提案する。SPEC2006ベンチマークを使用して評価した結果、タグの2段階比較に2階層発行キュー方式を適用した場合、0.91%の性能低下でタグ比較の消費エネルギーを従来の46.8%に、後方1段化方式を適用した場合、0.28%の性能低下でタグ比較の消費エネルギーを従来の50.3%に削減できることを確認した。

Reducing Energy Consumption of Issue Queue through Double-Stage Tag Comparison

MASAYA KOBAYASHI,[†] RYOTA SHIOYA[†] and HIDEKI ANDO[†]

The issue queue in a superscalar processor consumes significant energy. The wakeup logic, one of the components of the issue queue, is the largest consumer, because the energy consumed by tag comparison is considerable. This paper proposes tag comparison with double stages. This scheme first compares the lower bits of the tag, and then compares the upper bits only if the lower bits are matched. The energy is saved by reduction of the number of operating comparators and the number of input bits to the comparators. On the other hand, this sequential comparison increases the delay of the issue queue. An extra cycle is required for the operation of the issue queue not to increase the clock cycle time. Although this causes IPC degradation, to alleviate this degradation, we also propose two schemes, which we call a two-level issue queue and rear single-staging schemes, that perform tag comparison with a single stage only in a small number of entries that affect adverse effect on performance. Our evaluation results using SPEC2006 programs show that double-stage tag comparison with the two-level issue queue scheme achieves 46.8% energy reduction with only 0.91% performance degradation, and that with the rear single-staging scheme achieves 50.3% energy reduction with only 0.28% performance degradation.

1. はじめに

プロセッサの消費エネルギーによる発熱は空冷の限界に達しており、消費エネルギーの削減は今後のプロセッサの高性能化のために非常に重要な課題となっている。また近年では、バッテリーで駆動する携帯機器向けのプロセッサの需要が急増しており、プロセッサの消費エネルギー削減の重要性はより一層高まっている。現在広く用いられているスーパスカラ・プロセッサを

構成する部品の中でも、発行キューは消費エネルギーが非常に大きく、低消費エネルギー化が強く望まれている。発行キューを構成する部品の中で、ウェイクアップ論理が消費するエネルギーは最も大きい。文献1)では、ウェイクアップ論理が1つのコアの全消費エネルギーの16.3%を消費していると述べられている。ウェイクアップ論理が大きなエネルギーを消費する理由は、タグ比較に大きなエネルギーを要するためである。一般に、ウェイクアップ論理はプロセッサのクリティカル・パスにあり、高速化が強く求められる。このため、ウェイクアップ論理の中で最も複雑なタグ比較器はダイナミック論理で構成され²⁾、高速化が図られる。し

[†] 名古屋大学大学院工学研究科
Graduate School of Engineering, Nagoya University

かし、その代償としてエネルギー消費においては非常に不効率になっている。なぜならば、このタグ比較器は比較結果が不一致となった時にエネルギーを消費する構成になっているためである。一般に、ある実行結果を消費する命令はわずかであり、そのわずかな数の命令のタグについて比較結果が一致となる以外は、比較結果のほとんどが不一致となる。これによりタグ比較によって大きなエネルギーが消費される。

そこで本論文では、タグの下位ビットを先に比較し、それが一致した場合のみタグの上位ビットの比較を行うことでタグ比較の消費エネルギーを抑えるタグの2段階比較という手法を提案する。

この手法では、比較動作が直列化することにより、発行キューの遅延時間が増加する。このため、クロック・サイクル時間を伸ばさないようにするためには、発行キューの動作に2サイクルをかける必要がある。しかしこれにより、依存する命令を連続するサイクルで発行できなくなり、IPCが低下するという問題が生じる。これを抑えるために、性能に悪影響を与えると推測される少数のエントリのタグ比較を1段階で行う2段階発行キュー方式と後方1段化方式と呼ぶ2手法を合わせて提案する。2段階発行キュー方式は、発行キュー中の一定数の最も古い命令についてのみタグ比較を従来通りの1段階で行う方式である。古い命令はデータフローのクリティカル・パスにあると考えられるので、プログラムの実行時間が延びることを抑制できる。後方1段化方式は、発行キューにおいて発行された命令の後方一定エントリにある命令についてのみタグ比較を1段階で行う方式である。発行された命令の実行結果の消費者命令は、プログラム順で後方の近いところに存在する確率が高いと考えられるので、連続して実行されるべき命令を余分の遅延なく実行できる。

本論文の残りの部分は、以下の構成となっている。2節では関連研究について述べる。3節では発行キューとタグ比較器の構成について説明する。4節で提案手法について述べる。5節では評価結果を示し、6節でまとめを述べる。

2. 関連研究

Folegnaniらは、エントリが空の場合のタグ比較器とすでにレディであるオペランドに対応するタグ比較器を非活性化することを提案した¹⁾。これらの比較器は、それぞれ、比較の必要がないか、すでに比較が終わっているのか、動作させる必要がない。エントリの有効ビットとオペランドのレディ・ビットによって比較器のプリチャージを抑制することにより、比較器を

動作させないようにする。また同時に、発行キューの動的リサイジングにより電力を削減する手法も提案した。発行キューの末尾の領域のIPCへの寄与を測定し、寄与が小さければ発行キューを縮小する。これらの手法は本論文の提案とは直交しており、組み合わせで使用することでより多くの消費エネルギー削減効果を得ることができる。

Ernstらは、命令のディスパッチ時におけるレディ・オペランドの数に着目した発行キューのタグ比較器削減手法を提案した³⁾。この手法では、各エントリの持つタグ比較器の個数が0, 1, 2のキューをそれぞれ用意し、タグ比較が必要なオペランド数に応じたキューに命令をディスパッチする。これにより、発行キューの総タグ比較器数を削減し、電力を削減する。また、非レディ・オペランドが2つある命令に対して、最後にレディとなるオペランドを予測する最終タグ予測を行い、そのタグについてのみ比較を行い投機的にウェイクアップを行う手法も提案した。これらの方式の欠点は、まず、予め用意されたそれぞれのキュー・サイズと各キューにディスパッチすべき命令数は必ずしもバランスせず、有効に使用できるエントリ数が減少する点が挙げられる。また、最終タグ予測による投機的ウェイクアップでは、予測ミスからの回復動作によって性能が低下し、多くのエネルギーを消費する。

五島らは、ウェイクアップ論理をCAMではなく、依存行列と呼ぶRAMによって構成する方式を提案した⁴⁾。この方式では、CAM構成のように比較器は必要なく、発行された命令に対応するRAMの行を読み出すことによりオペランドのレディ・ビットを更新する。これにより、ウェイクアップ論理の消費エネルギーを大きく削減できる。しかし、この手法は依存行列の回路規模が発行キュー・エントリ数の2乗のオーダーで増加するため、発行キューを拡大させると有効性が低下する。また、依存情報は発行キュー内の命令の位置に対応してRAMに格納されるため、キュー内で命令を移動させてキューの圧縮を行うことが難しい。さらにこの手法では、ディスパッチ・ステージにおいて依存関係を解析して依存行列に書き込むビット・ベクタを生成するRAMが新たに必要になる。このRAMは、ディスパッチ幅に応じた多くのポートを必要とするため、回路面積が大きく、電力を多く消費する。

3. 発行キューの構成とタグ比較器の動作

発行キューは実行を待つ命令を保持し、その中から発行する命令を決定するユニットである。発行キューは図1に示すように、ウェイクアップ論理、セレク

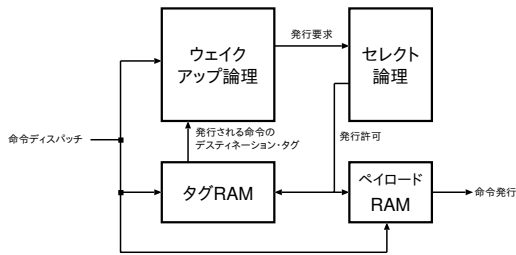


図1 発行キューの構成

ト論理、タグRAM、パイロードRAMから構成される。ウェイクアップ論理の各エントリは、保持する命令の2つのソース・オペランドのタグ(以下、単にソース・タグと呼ぶ)と、そのオペランドが利用可能かどうかを示すレディ・ビットを持つ。全てのオペランドがレディとなった場合、セレクト論理に発行要求を出す。セレクト論理では、発行要求の優先度や資源競合の有無を考慮し、発行許可を出す。発行許可によりパイロードRAMから発行する命令のデータが読み出され、命令の発行が行われる。これと同時に、発行される命令のディスティネーション・タグがタグRAMから読み出され、ウェイクアップ論理の全エントリに放送される。ウェイクアップ論理はエントリ毎に、放送されてきたディスティネーション・タグと保持する命令のソース・タグの比較を行い、レディ・ビットを更新する。

3.1 発行キューのクリティカル・ループ

発行キューのクリティカル・パスは、ウェイクアップ論理→セレクト論理→タグRAM→ウェイクアップ論理でループを形成している。これをクリティカル・ループと呼ぶ。この発行キューのクリティカル・ループは、依存する命令を連続するサイクルで発行するためには、1サイクルで完結する必要がある。また、このクリティカル・ループは一般にプロセッサのクリティカル・パスでもあり、高速化が強く求められる。

3.2 ウェイクアップ論理とタグ比較器

ウェイクアップ論理の構成を図2に示す。同図中のIWは発行幅、IQSは発行キューのサイズを表す。前述したように、ウェイクアップ論理では放送されてくるディスティネーション・タグをエントリ毎にソース・タグと比較する。この動作を実現するため、ウェイクアップ論理はタグ比較器を持ったCAMで構成される。ディスティネーション・タグは1サイクルに最大IW個放送されるため、タグ比較器はソース・タグ1につきIW個用意される。

前述したように、発行キューのクリティカル・ループ上にあるウェイクアップ論理は高速化が強く求めら

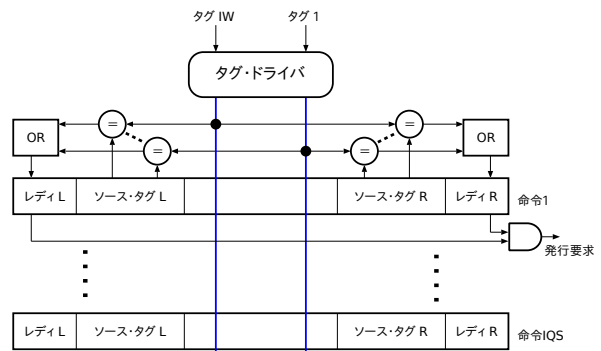


図2 ウェイクアップ論理

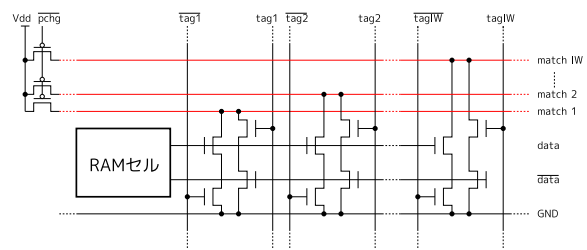


図3 ソース・タグ1ビットに対する比較器の回路図

れる。そのため、ウェイクアップ論理の中で最も複雑な論理であるタグ比較器は、ダイナミック論理で構成されている²⁾。ソース・タグ1ビットに対する比較器の回路を図3に示す。図中のRAMセルにソース・タグ1ビットを保持する。右端にmatchと書かれた水平の線は、比較結果の論理値を出力するマッチ線である。マッチ線の左端にあるトランジスタは、マッチ線のプリチャージ・トランジスタである。マッチ線の下に直列接続のトランジスタは、タグの比較結果に応じてマッチ線をディスチャージするプルダウン・トランジスタである。タグ全ビットに対する比較器は、この図のプリチャージ・トランジスタ以外の部分を横にタグ・ビット幅だけ接続したものである。

図3のタグ比較器は次のように動作する。まず、マッチ線をプリチャージした後、タグ・ドライバがタグを放送する。ディスティネーション・タグとソース・タグに1ビットでも不一致があれば、直列接続されたプルダウン・トランジスタがマッチ線をディスチャージしLが出力される。全てのビットが一致すればマッチ線はディスチャージされず、Hが出力される。

このように、タグ比較器は高速化のためにタグが不一致の時にマッチ線をディスチャージする構成になっている。一般に、ある実行結果を消費する命令はわずかで、タグ比較の結果はほとんどが不一致となる。つまり、ほとんどのタグ比較器は毎サイクル、プリチャー

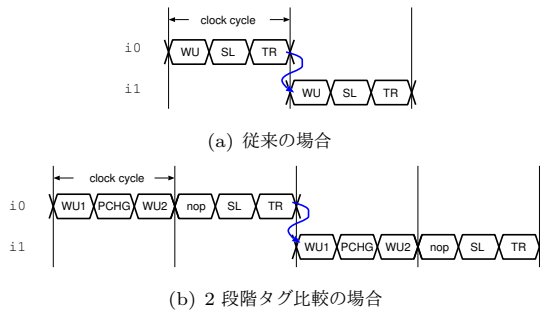


図 4 発行キューにおける動作のタイミング

ジとディスチャージを繰り返してエネルギーを消費することになる。

4. 2 段階タグ比較方式

最初に本方式における基本的な回路とタイミングを示す。次に、基本方式で生じる IPC の低下を抑制する方式を提案する。

4.1 回路とタイミング

3 節で述べたように、タグ比較器はエネルギー的に非常に不効率的な回路構成になっている。そこで、タグの下位ビットのみを先に比較し、一致した場合のみタグの上位ビットの比較を行う、**タグの 2 段階比較**という手法を提案する。下位ビットの比較器は必ずプリチャージし動作させるが、上位ビットの比較器は、下位ビットの比較が一致した場合のみプリチャージする。これにより、以下の理由によりエネルギー消費は減少する。

- 必ず動作する比較器のビット幅は狭められる。
- 上位ビット比較器は、下位ビットが一致した時のみ動作する。

タグの 2 段階比較を行うため、発行キューのクリティカル・ループの動作タイミングを従来のものから変更する。図 4(a) に従来の動作タイミングを、図 4(b) にタグの 2 段階比較を行う場合の動作タイミングを示す。これらの図は、いずれも命令 $i1$ が $i0$ に依存している場合である。

従来のタグ比較は、図 4(a) に示すように、ウェイクアップ (WU)、セレクト (SL)、タグ RAM 読み出し (TR) が順に 1 サイクルで行われる。

タグの 2 段階比較においては、図 4(b) に示すようにウェイクアップに 1 サイクルをかけ、発行キューのクリティカル・ループに 2 サイクルをかける動作タイミングとする。タグの 2 段階比較は次のように行われる。サイクルの最初にタグの下位ビットを比較する (WU1)。その比較結果が一致の場合のみタグ上位ビッ

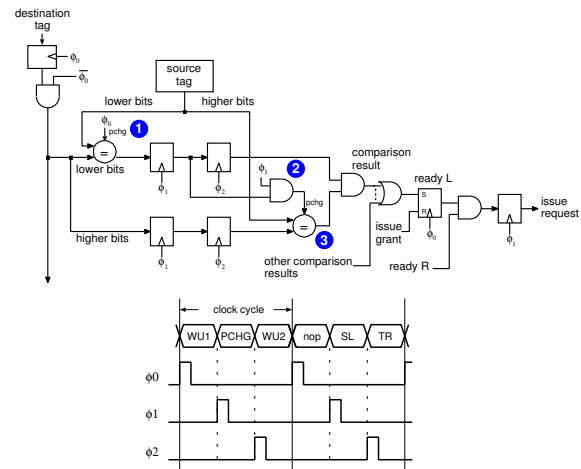


図 5 タグの 2 段階比較を行うウェイクアップ論理の回路

ト比較器のプリチャージを行う (PCHG)。上記の場合のみ、サイクルの最後にタグ上位ビットの比較が行われる (WU2)。タグ比較の最終結果によって、次のサイクルの最初 (nop) にオペランドのレディ・ビットが更新される。この後は従来と同様に SL, TR と動作が進む。以降、この 2 段階のタグ比較に対し、従来のタグ比較を 1 段階のタグ比較と呼ぶ。

図 5 に図 4(b) の動作を行う回路を示す。この回路は次のように動作する。 ϕ_0 に同期してディスティネーション・タグがラッチに取り込まれる。 ϕ_0 が H の期間に下位ビット比較器のプリチャージが行われ、その後 ϕ_0 が L になるとディスティネーション・タグがウェイクアップ論理に放送され、下位ビット比較器によってタグ下位ビットの比較が行われる (図 5 中の①)。^{*} このフェーズでは、上位ビットに対しては何も行わず、単にラッチに送られる。下位ビットの比較結果は ϕ_1 でラッチに取り込まれ、上位ビット比較器のプリチャージ信号 ϕ_1 をゲーティングする (図 5 中の②)。すなわち、下位ビットの比較結果が一致ならば、上位ビット比較器のプリチャージを行い、そうでなければプリチャージを行わない。タグの上位ビットは ϕ_2 で上位ビット比較器に送られ、 ϕ_1 でプリチャージが行われていれば比較が行われる (図 5 中の③)。その後、下位ビット、上位ビットそれぞれの比較結果の AND をとり、 ϕ_0 でオペランドのレディ・ビットを更新する。

4.2 IPC 低下を抑制する方式

4.1 節で述べたように、ウェイクアップに 1 サイク

^{*} ラッチは透過型を仮定している。タグ RAM からのディスティネーション・タグは、 ϕ_0 の立ち上がりまでにラッチに到着すればよい。このため、 ϕ_0 のプリチャージ期間は隠される。

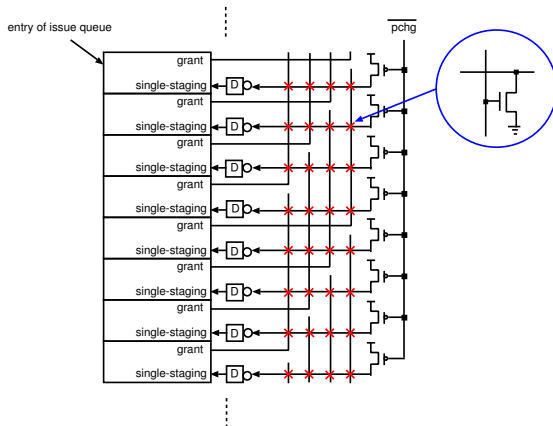


図 6 後方 1 段階化方式で 1 段階比較を指示する信号の生成回路

ルかけることにより、クロック・サイクル時間を伸ばすことなくタグの 2 段階比較を行うことができる。しかし一方で、依存する命令を連続するサイクルに発行できなくなり、IPC の低下が生じる。消費エネルギー削減を達成しつつ IPC 低下を抑えるために、IPC に悪影響を与える可能性の高い命令のみタグ比較を従来通りの 1 段階で行うことを考える。次の 2 つの方式を提案する。

- (1) 2 階層発行キュー方式：発行キュー中の一定数の最も古いエン트리についてのみ常にタグ比較を 1 段階で行う方式
- (2) 後方 1 段階化方式：発行された命令の後方一定エン 트리について、1 サイクルだけタグ比較を 1 段階で行う方式

以下、この 2 つの手法について詳しく説明する。

4.2.1 2 階層発行キュー方式

この方式は、発行キュー中の一定数の最も古いエン 트리についてのみ、常にタグ比較を 1 段階で行うものである。これは、古い命令はプログラム上でのクリティカル・パスに属する可能性が高く IPC への影響が大きいが、新しい命令は IPC への影響が小さいと推測できることに基づく。

この方式の実現は単純であり、発行キューの先頭から一定数のエントリに従来の 1 段階タグ比較器を配置し、それ以降のエントリに提案手法の 2 段階タグ比較器を配置する。

4.2.2 後方 1 段階化方式

この方式は、発行キューにおいて発行された命令の後方(より新しい命令がある方向)のエントリにある一定数の命令についてのみ、1 サイクルだけタグ比較を 1 段階で行うものである。これは、ある命令が発行された時、それに依存する命令は発行キューにおいて

後方の近い位置に存在する可能性が高いと推測できることに基づく。

ある発行キュー・エントリのタグ比較を 1 段階とするかどうかは、そのエントリの前方一定エントリで命令が発行されたかの OR をとることで決定できる。これを行う回路の例を図 6 に示す(後方 4 エントリのタグ比較を 1 段階化する場合の回路)。図 6 の右半分の回路はダイナミック NOR 論理になっており、以下のように動作する。最初に NOR 論理の出力線をプリチャージし、その後出力線のプルダウン・トランジスタに前方のエントリの発行許可信号 (grant) を入力する。前方のエントリで少なくとも 1 つの命令の発行が許可された場合、D-FF の反転入力につながれた出力線はディスチャージされて L が出力され、次のサイクルに(かつ、そのサイクルだけ)、エントリのタグ比較を 1 段階で行うことを指示する single-staging 信号は H になる。そうでない場合は出力線はディスチャージされず H が出力され、次のサイクルに single-staging 信号は L になる。なお、NOR 回路の動作は、図 4(b) における TR のフェーズで動作しており、クロック・サイクル時間を伸ばすことはない。

追加された NOR 回路は、余分にエネルギーを消費するオーバヘッドとなる。

この方式では、図 5 の回路において、タグ比較を 1 段階と 2 段階で切り替えられるようにする必要がある。これには、上位ビット比較器の入力にマルチプレクサを付加し、放送されてきたタグを入力できるようにするなどの修正が必要になる。この回路図は、紙面の制限上示さないが、容易に構成できる。

5. 評価

5.1 節で評価手法を述べる。その後、5.2 節、5.3 節で、それぞれ、性能、消費エネルギーを評価する。最後に、5.4 節で、エネルギーと性能の関係をまとめる。

5.1 評価手法

性能とタグ比較の消費エネルギーの評価には、SimpleScalar/MASE⁵⁾ をベースに提案手法を実装したシミュレータを用いた。命令セットは Alpha ISA である。ベンチマーク・プログラムとして、SPECint2006 の全 12 本、SPECfp2006 から povray, wrf を除く 15 本を用いた[☆]。プログラムは、gcc ver. 4.5.3、コンパイル・オプション -O3 でコンパイルした。シミュレーションはプログラムの入力に ref データ・セットを用

[☆] povray, wrf については、現在のところ正しくシミュレータが動作しない。

表 1 プロセッサの構成

Pipeline width	4-instruction wide for each of fetch, decode, issue, and commit
ROB	128 entries
Tag bit width	7 bits
Issue queue	64 entries
LSQ	64 entries
Function unit	4 iALU, 2 iMULT/DIV, 2 Ld/St, 4 fpALU, 2 fpMULT/DIV/SQRT
L1 I-cache	64KB, 2-way, 32B line, 2-cycle hit latency
L1 D-cache	64KB, 2-way, 32B line, 2 ports, 2-cycle hit latency
L2 cache	Unified, 2MB, 4-way, 64B line, 12-cycle hit latency
Main memory	300-cycle latency
Branch prediction	16B/cycle bandwidth 16-bit history gshare, 64K-entry PHT, 2K-set 4-way BTB 10-cycle misprediction penalty

い、先頭の 1G 命令をスキップした後の 100M 命令で測定を行った。

以下のモデルを評価した。

- **Base** : 従来の 1 段階タグ比較を行うモデル
- **DSC** : タグの 2 段階比較を行うモデル。IPC 低下を抑制する措置は講じていない。
- **DSC-2lv** : DSC モデルに 2 階層発行キュー方式を加えたモデル
- **DSC-r** : DSC モデルに後方 1 段階化方式を加えたモデル

シミュレーションにおける全モデル共通のプロセッサの構成を表 1 に示す。アーキテクチャとしては、Intel P6 タイプ⁶⁾を想定している。したがって、タグは ROB のエン트리番号であり、7 ビットである。また、発行キューの空きエン트리と、既にレディなオペランドに対しては、タグ比較を行う必要がないので、どのモデルにおいても、比較器は動作しないとしてエネルギー評価を行った。

タグ比較器の消費エネルギーについては、次のようにして評価を行った。タグ比較器の消費エネルギー E_{tagcmp} は、以下の式で求められる。

$$E_{tagcmp} = \frac{1}{2}V^2 C_{matchline} \times n_{mismatch}$$

V は電源電圧、 $C_{matchline}$ はマッチ線の容量 (接合容量+配線容量)、 $n_{mismatch}$ はタグ比較が不一致となった回数である。 $n_{mismatch}$ は SimpleScalar によるシミュレーションにより得た。 $C_{matchline}$ は、32nm LSI テクノロジを仮定し、単位長さあたりの接合容量と配

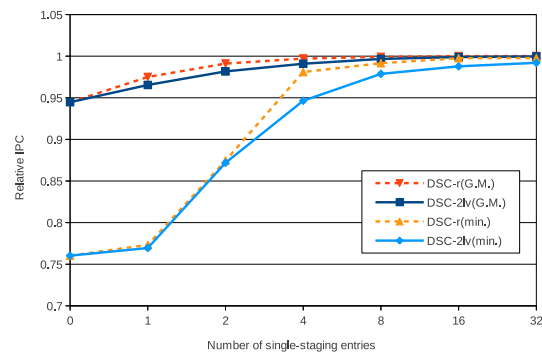


図 7 タグ比較を 1 段階化するエン트리数を変化させた時の相対 IPC

線容量を CACTI 6.5⁷⁾ 内のモデルから得て計算した。なお、レイアウトは文献 8) での仮定をベースとした。

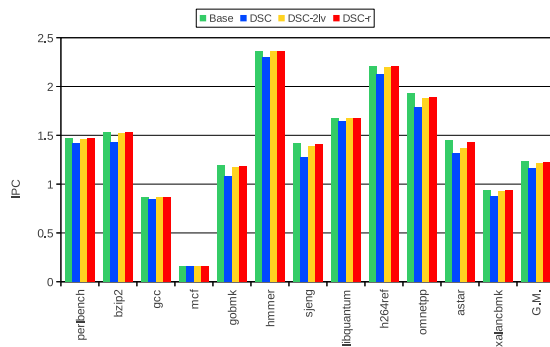
4.2.2 節で述べたように、後方 1 段階化方式では、比較を 1 段階化するエントリを検出するために NOR 論理を使用するが、これによる消費エネルギー E_{nor} をオーバーヘッドとしてタグ比較の消費エネルギーに加えた。この値は次のようにして求めた。

$$E_{nor} = \frac{1}{2}V^2 \{ (C_{gate} + C_{grantline}) \times n_{grant} + C_{outputline} \times n_{discharge} \}$$

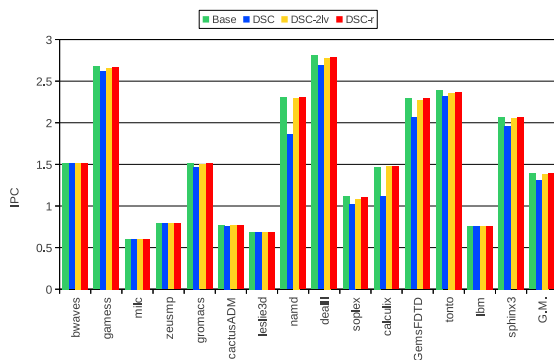
C_{gate} , $C_{grantline}$, $C_{outputline}$ はそれぞれ、1 本の発行許可信号線に接続された全プルダウン・トランジスタのゲート容量の合計、NOR 論理への発行許可信号線の配線容量、NOR 論理の出力線の容量 (接合容量+配線容量) である。 n_{grant} と $n_{discharge}$ はそれぞれ、発行許可信号がアサートされた回数と、NOR 論理の出力線のディスチャージが行われた回数である。これらの回数は SimpleScalar によるシミュレーションにより得た。 C_{gate} , $C_{grantline}$, $C_{outputline}$ については、タグ比較器の場合と同様、CACTI 6.5 内の容量モデルおよび文献 8) のレイアウトを仮定した。

5.2 性能

図 7 に、DSC-2lv, DSC-r モデルにおいて、タグ比較を 1 段階化するエン트리数を変化させた時の Base モデルに対する相対 IPC を示す。なお、タグ比較を 1 段階化するエン트리数とは、DSC-2lv モデルではタグ比較を 1 段階で行う古いエン트리数を表し、DSC-r モデルでは発行された命令の後方のタグ比較を 1 段階で行うエン트리数を表す。横軸左端の 0 は DSC モデルと等価である。DSC-2lv(G.M.), DSC-r(G.M.) は全ベンチマークの幾何平均、DSC-2lv(min.), DSC-r(min.) は全ベンチマーク中で最低の相対 IPC を示す。平均での IPC 低下を 3%、最低の IPC 低下を 10% まで許



(a) SPECint2006



(b) SPECfp2006

図 8 各モデルのベンチマーク毎の IPC

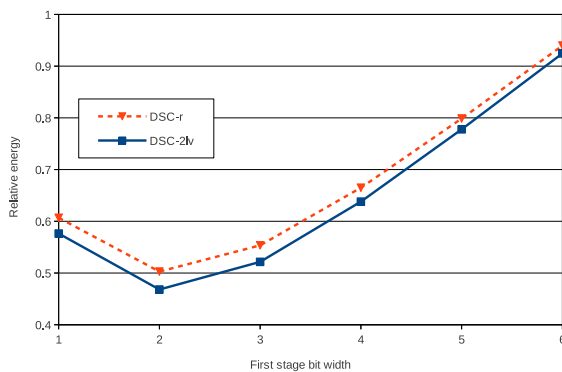
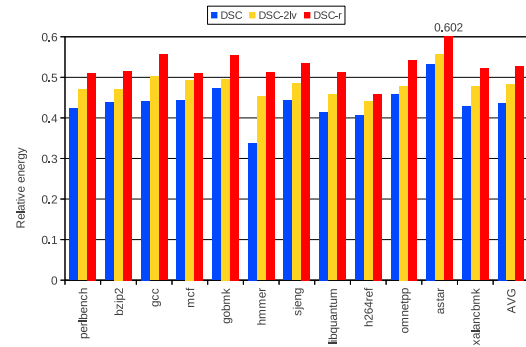


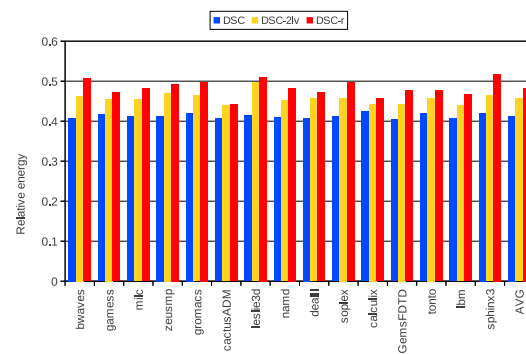
図 9 下位ビット比較器のビット幅を変化させた時のタグ比較の相対エネルギー

容するとすれば、どちらのモデルにおいてもタグ比較を1段階化するエントリ数を4以上とすればこれを達成できる。以下の評価では、特に断りのない限り、1段階化するエントリ数を4とする。

図 8 に、各モデルにおけるベンチマーク毎の IPC を示す。同図よりわかるように、DSC モデルでは多



(a) SPECint2006



(b) SPECfp2006

図 10 各モデルのベンチマーク毎の相対エネルギー

くのプログラムで IPC が大きく低下している。これに対して、DSC-2lv モデルと DSC-r モデルでは、ほとんどのプログラムで Base モデルとほぼ変わらない IPC を達成している。

5.3 消費エネルギー

図 9 に、DSC-2lv モデルと DSC-r モデルにおいて、タグの2段階比較において1段階目の下位ビット比較器のビット幅を変化させた時の、タグ比較の消費エネルギーを示す。縦軸の消費エネルギーは、全ベンチマークでの算術平均であり、Base モデルのそれで正規化している。どちらのモデルにおいても1段階目の下位ビット比較器のビット幅を2、2段階目の上位ビット比較器のビット幅を5とした時に最も消費エネルギーを削減できることがわかる。以下の評価では、特に断りのない限り、下位ビット比較器、上位ビット比較器のビット幅を、それぞれ2、5とする。

図 10 に、各モデルにおけるベンチマーク毎の Base モデルに対するタグ比較の相対エネルギーを示す。DSC-2lv モデル、DSC-r モデルでは、一部のエントリのタグ比較を1段階で行う分、DSC モデルに対し消費エネルギーが増加しているが、Base モデルに対

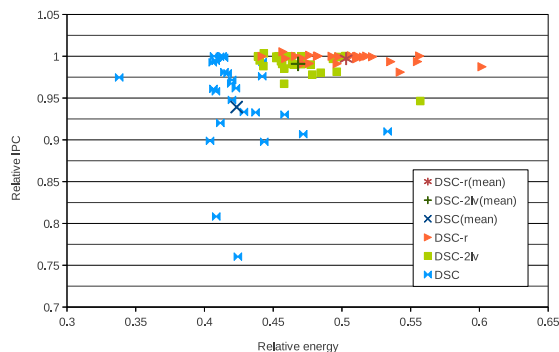


図 11 提案手法のタグ比較相対エネルギー対相対 IPC

し 50%程度の削減率を達成している。また、DSC-2lv モデルの方が DSC-r モデルよりも、若干消費エネルギーは少なくなっている。

5.4 エネルギー対性能

図 11 に、Base モデルに対するタグ比較の相対エネルギー対相対 IPC のプロットを示す。凡例の DSC, DSC-2lv, DSC-r に対応した点は各ベンチマーク・プログラムのプロットで、凡例で (mean) が付いている点は各モデルにおける全ベンチマークの平均である。左上に位置するほど、エネルギーあたりの性能が良い。

DSC モデルでは、タグ比較の消費エネルギーは平均で Base モデルの 42.3%と大きく削減されているが、IPC 低下は平均で 5.53%と大きく低下している。また、各ベンチマークの点を見ると、消費エネルギーは全体に小さいものの、IPC 低下が大きい位置に分散しており、4つのベンチマークで IPC が 10%以上も低下している。一方、DSC-2lv モデルや DSC-r モデルでは、タグ比較の消費エネルギーは平均でそれぞれ 46.8%と 50.3%で、DSC モデルからはやや増加している。しかし、IPC 低下は平均でそれぞれ 0.91%と 0.28%で、Base モデルからわずかな低下に抑えられている。各ベンチマークの点を見ても、Base モデルのような大きな分散はなく、ほとんどの点が IPC 低下 3%以下、かつ消費エネルギー 55%以下の範囲に収まっている。以上より、2 階層発行キュー方式や後方 1 段化方式ではわずかな IPC の低下でタグ比較の消費エネルギーを大きく削減できるといえる。

6. ま と め

発行キューはプロセッサの消費エネルギーの多くを占める。発行キューの中でも、ウェイクアップ論理は最も大きなエネルギーを消費する。ウェイクアップ論理の中で、タグ比較器はエネルギー的に非常に不効率な回路である。本論文では、タグ比較を 2 段階で行う

ことにより発行キューの消費エネルギーを削減する手法と、それによる IPC 低下を抑えるために一部の命令のタグ比較を 1 段階で行うようにする、2 階層発行キュー方式および後方 1 段化方式を提案した。評価の結果、2 階層発行キュー方式は 0.91%の IPC 低下でタグ比較の消費エネルギーを 46.8%に削減でき、後方 1 段化方式は 0.28%の IPC 低下でタグ比較の消費エネルギーを 50.3%に削減できた。

謝辞 本研究の一部は、日本学術振興会 科学研究費補助金 基盤研究 (C) (課題番号 25330057)、および日本学術振興会 科学研究費補助金 若手研究 (A) (課題番号 24680005) による補助のもとでわれた。

参 考 文 献

- 1) Folegnani, D. and González, A.: Energy-effective issue logic, *Proceedings of the 28th Annual International Symposium on Computer Architecture*, pp. 230–239 (2001).
- 2) Palacharla, S., Jouppi, N. P. and Smith, J. E.: Quantifying the Complexity of Superscalar Processors, Technical Report CS-TR-1996-1328, University Wisconsin (1996).
- 3) Ernst, D. and Austin, T.: Efficient Dynamic Scheduling Through Tag Elimination, *Proceedings of the 29th Annual International Symposium on Computer Architecture*, pp. 37–46 (2002).
- 4) Goshima, M., Nishino, K., Kitamura, T., Nakashima, Y., Tomita, S. and Mori, S.: A high-speed dynamic instruction scheduling scheme for superscalar processors, *Proceedings of the 34th Annual International Symposium on Microarchitecture*, pp. 225–236 (2001).
- 5) Larson, E., Chatterjee, S. and Austin, T.: MASE: A Novel Infrastructure for Detailed Microarchitectural Modeling, *Proceedings of the 2001 International Symposium on Performance Analysis of Systems and Software*, pp. 1–9 (2001).
- 6) Intel: *P6 Family of Processors - Hardware Developer's Manual* (1998).
- 7) Muralimanohar, N., Balasubramonian, R. and Jouppi, N. P.: CACTI 6.0: A Tool to Model Large Caches, Technical Report HPL-2009-85, HP Laboratories (2009).
- 8) Yamaguchi, K., Kora, Y. and Ando, H.: Evaluation of Issue Queue Delay: Banking Tag RAM and Identifying Correct Critical Path, *Proceedings of the 29th International Conference on Computer Design*, pp. 313–319 (2011).