
 文 献 紹 介

1. 人工知能への歩み

Marvin Minsky: Steps Toward Artificial Intelligence [Proc. IRE, Vol. 49, No. 1, Jan. 1961, p. 8~30]

計算機の知的な方面への組織的な研究の時代は最近始ったと考えられる。ゲームを行なうこと、定理の証明、パタン認識などの多少とも知能を要する問題に関する理論および実際のプログラムについて多数の論文が発表されている。もっとも知能についての一般的に承認された学説はない。ここでは問題を次の五つに分けるのが便利である。捜査 (search), パタン認識 (pattern recognition), 学習 (learning), 立案 (planning), 帰納 (induction) である。

一般に計算機は与えられた方法どおり動作するが、方法が与えられない場合捜査が必要になる。この場合、全部の可能な方法をためす試行錯誤は非常に非能率的なので、ある関数の勾配にそって最大を求める山登り (hill-climbing) といわれる方法が考えられる。しかし、この方法では極大点とか台地に迷い込むおそれがあるので、これをさけるためより高次の方法が必要となる。次にいろいろな方式のうちから適したものを見つけるには環境に対する認識が必要であり、パタン認識を行なわねばならない。パタンの認識はある不変的な性質を抽出し処理することによって行なわれる。次にある問題を解くときに、すでに解けた類似の問題の方法を用いる。すなわち、経験を生かすことは効果的であり学習が必要になる。学習は外部の訓練者の指示により、または自律的にある行為を行なう方法の適否を決め、それに対応した記憶内容を増強することにより適当な方法の組合せの記憶が形成される。この場合、実行せずに結果を予測して適否を判断すれば捜査の労力が軽減される。これにより環境を認識していろいろの結果を予測し、方法を決める計画・立案が可能になる。さらに原因となる環境を仮定して予測すれば帰納法的推論が行なわれることになり、外部の世界の法則を抽出することができる。

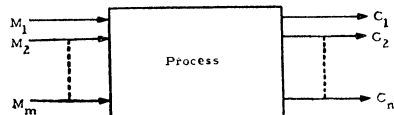
この論文では以上の見解を各種の文献を引用して説明しており、さらにこのような知能の到達点としての自我モデルの考察も行なっている。(山口楠雄)

2. 自動制御系における計算機

J.G. Truxal: Computers in Automatic Control Systems [Proc. IRE Vol. 49 No. 1, Jan. 1961, p. 305~312]

最近の自動制御系には、計算機を制御要素として用いようという考えが広まっているが、本論文はこのよ

うな動きを、きわめて平易に解説したものである。



第 1 図 多変数系

計算機を用いた制御としては、次の三つが考えられる。すなわち、多変数制御系、適応制御および最適化制御である。多変数系は、第 1 図のように、一般に 2 個以上の入出力を有する系であって、多くの場合、入出力は 1 対 1 の対応をなすように制御するのがぞまれる (ただし、もちろん入出力の数は等しいとして)。しかし、各変数間には干渉があるので、これを補償して、各変数が互いに独立であるように制御系を構成する必要がある。これに要する計算は、複雑であるだけでなく、系内因子の変動に大きく影響されるので、オンラインの計算機を用いる必要が生じてくる。こうした制御系は、ボイラー・航空機・圧延機などにしばしばみうけられる。

適応制御系は、制御系の特性あるいは入力特性が、不規則に時間的な変動をうける場合、その変化に応じパラメータを調整、自己を最適化しようとする制御系である。ここでは、Aseltine の相関器を用いた方式が適応制御系の基礎概念を確立するものとして、かなり詳しく紹介されている。なお、著者は、その他の方法、たとえば MIT のオートパイロットなどをあげ、それらが Aseltine に比し従来の制御のわずかの拡張であるとして、あまり高い評価を与えていないが、この点についてはまだ検討の余地がある。

最適化制御は、適応化制御にきわめて近いもので、幾つかの変数の極値を追尾する制御である。これは、当初、Draper, Li によって考えだされたが、現在はいわゆる試行錯誤による方法がかなりの発達をみてい

る。ここでは、電力負荷配分、炉の燃焼制御などに用いる場合の研究が簡単に紹介されている。

最後に、著者は計算機を用いる制御としては、特に適応制御が発達することを予想している。本論は解説論文としてはかなり視野が広く、しかも平易に書かれているので、この方面にほとんど知識を有しない技術者も、一読されることをお勧めしたい。(茅 陽一)

3. 自己相関を用いたパターン認識

L.P. Horwitz, G.L. Shelton: Pattern Recognition Using Autocorrelation [Proc. IRE, Vol. 49, No. 1, Jan., 1961, p. 175~185]

パターン認識を行なうのにまず必要になるのはパターンの本質に関係のない変化に対して変わらないパラメータを決めることである。これは文字の場合、その位置の変化などに対して影響されないことを示す。

文字の領域について量子化を行ない、各メッシュのとり値を $f(r)$ ($=1, 0$), $r=(x, y)$ とし $R=(\Delta x, \Delta y)$ だけ離れた2点が共に“1”であるような対を考へ R を変数として

$$D(R) = \sum_r f(r)f(r-R)$$

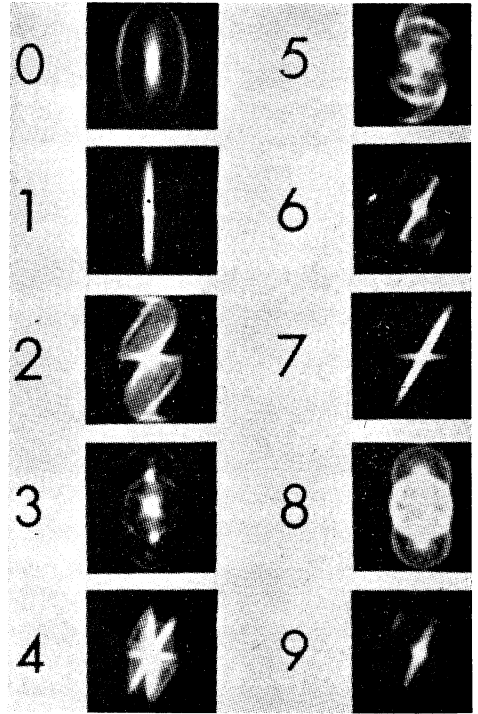
なる自己相関関数を考へる。 $D(R)$ はもとの文字の絶対座標に対して不変である。 $\bar{f}(Q)$ を $f(r)$ のフーリエ変換とし、未知のパターンに関するものを A , 理想的な既知のパターンを B で表すと、判別基準 S_{AB} は次のような相互相関で与えられる。

$$S_{AB} = \frac{\sum_R D_A(R)D_B(R)}{(\sum_R D_A^2(R))^{\frac{1}{2}}(\sum_R D_B^2(R))^{\frac{1}{2}}} \\ = \frac{\sum_Q |\bar{f}_A(Q)|^2 |\bar{f}_B(Q)|^2}{(\sum_Q |\bar{f}_A(Q)|^4)^{\frac{1}{2}}(\sum_Q |\bar{f}_B(Q)|^4)^{\frac{1}{2}}}$$

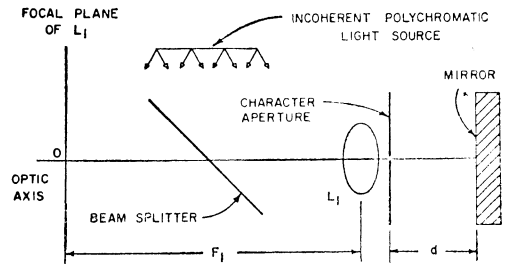
Fraunhofer 回折像はアパチャのフーリエ変換の2乗で与えられるので、これを用いて光学的に文字の自己相関を求めることができる。この方法による数字の自己相関の像を第1図に、その装置を第2図に示す。この方法によった場合の S_{AB} のデータを求めるために計算機でシミュレートした結果が示されており、同一文字に属するパターンとそうでないものとの S_{AB} の差が数%以上あるとしている。さらに光学的方法では文字を写真にとる必要があり、処理に困難な点があるので同一の原理をソフトレジスタを用いた電子装置で行なう方法についても述べている。

シミュレートした結果から多数の文字から成る印刷されたアルファベットに対して可能性があり、同一の

文字で異なった形に属するもの、または文字の分離の問題にも見込があるとしている。(山口楠雄)



第1図



第2図

4. デジタル・データ通信技術

J.M. Wier: Digital Data Communication Techniques [I.R.E. 49, (Jan. 1961) p. 196~209]

デジタル・データ伝送は、計算機を導入した通信網で、重要な役割を持っているが、本論文はデジタル通信の分野の各要素について現状と将来について簡単に概説している。

まず、基本的な問題として情報理論的側面について Nyquist と Shannon の考え方を紹介し、典型的な

系統のブロック図あをげ、以後その各部について概観している。変復調方式については、それに対する要求を示し、電圧レベル変調、DSBAM, VSB, FM, PM, 直交位相変調についておのおのの特長を説明し比較している。誤りの制御に関しては、誤りの発見と訂正方式の例と誤りの統計的性質の実測例を紹介し、周波数分割によって瞬断(burst)の影響を減らす方法にも触れている。同期については同期式タイミング、非同期式タイミング、同期の起動について簡単に説明している。変換では音声とデータのトラフィックの違いと、特に要求される速度の変換、符号の変換、誤りを制御するための中央での符号化などを上げ、通信路についての BTLでの電話回線での研究を紹介している。情報の発生と処理については、その機能と種類を列挙し、計算機の前に置く緩衝装置にも触れ、系統としては、実時間動作と一般の場合について説明し、終わりに、集中化計算機系統について、商業方面、座席予約、ATC の例を上げている。

なお、参考文献としてデータ伝送に関する重要文献が 50 上っている。(高木幹雄)

5. 誤り検出の循環符号

W.W. Deterson, D.T. Brown: Cyclic Codes for Error Detection [Proc. IRE, Vol. 49, No. 1, Jan. 1961, p. 228~235]

過去三年間の誤検出、誤訂正符号の開発で最も重要な発展は、パースト雑音訂正の循環符号である。そこで、ここでは新しい見地から循環符号を導入し、その誤検出機能と装置化の検討を行なっている。

k 個の情報ビットに $n-k$ 個の冗長ビットを付す場合に、まず 2 進符号を仮変数 X の多項式の係数と考える。たとえば 11010 は $1+X+X^3+X^5$ という多項式によって表現されるものとする。これらの多項式は普通の結合、配分、交換法則を mod. 2 演算で満足するほか、唯一の方法で既約多項式に因数分解される性質を持つ。循環符号は $n-k$ 次の生成多項式 $P(X)$ によって定義され、 n より小の次数を持つ多項式が、伝送される符号多項式となる。符号化法としては通報多項式 $G(X)$ に X^{n-k} を乗じ、それを $P(X)$ で割った商を $Q(X)$ 、剰余を $R(X)$ とするとき、mod. 2 演算により、

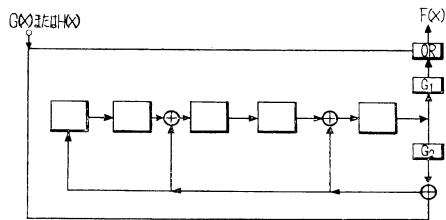
$$F(X) = X^{n-k}G(X) + R(X) = Q(X)P(X) \pmod{2} \quad (1)$$

の関係が成立し、 $F(X)$ が符号多項式となる。これは

$P(X)$ で割り切れる。復号法としては、まず受信符号 $H(X)$ は伝送路の雑音多項式を $E(X)$ とすれば、

$$H(X) = F(X) + E(X) \pmod{2} \quad (2)$$

と表現されるから、 $E(X)$ が $P(X)$ で割り切れなときにその誤り $E(X)$ は検出可能となる。この点からさらに $E(X)$ および $P(X)$ について種々検討を行なえば、在来の誤り検出符号は生成多項式 $P(X)$ によって説明される。たとえば偶数パリティの誤り検出は、生成多項式 $1+X$ を仮定するのに等しい。誤り訂正については、 $2t$ 個の誤りを検出できる符号は、 t 個の誤りを訂正することができるという性質から説明されている。



第 1 図 $P(X)=1+X^2+X^4+X^5$ による符号化、復号装置

このように符号化、復号化はすべて多項式割算に帰納されるから、それはソフト・レジスタにより簡単に行なわれ、たとえば $P(X)=1+X^2+X^4+X^5$ による符号化法または復号法は、第 1 図のごとき装置で実現される。(岩垂好裕)

6. 算術演算における誤りを検出または訂正する 2 進符号

David T. Brown: Error Detecting and Correcting Binary Codes for Arithmetic Operations [IRE Trans., EC-9, No. 2, Sept. 1960, p. 333]

与えられた数を適当に符号化して、数の間の算術演算に対応して、符号間の演算を定義し、この演算における誤りを検出または訂正できるような符号化の方法について考察している。ここでは数 n に対応する符号を、 A, B を定数として $An+B$ で定める符号系を考える。この符号系では 2 数の和に対応する符号は、各数に対応する符号の和から B を減じたものになる。さらにこの符号が 2 進符号であると、減算における誤り処理を単純化するため、数 n の減数に対する符号が、 n の符号の補数になること、1 誤りを検出または訂正できるために、符号間の最短距離が 2 または 3 以上であることを要求すると、 A, B の間に一定の条

件を課することができる。

たとえば、 $A=3$, $B=5$ と選べば、 $0 \leq n \leq 9$ に対して 1 誤りを検出できる符号系が得られる。種々の条件に対して、 A , B の値を表にして示している。

また符号間の演算を単純化するため $B=0$ の符号の存在を吟味し、実例を示している。

さらにこの種の誤り訂正符号では、誤り位置と符号を A で除した剰余との間に 1 対 1 の対応があることを示し、誤り訂正も比較的簡単に機構化でできることを示している。(戸田 巖)

7. コントロール・ワード技術

G.A. Blaauw: Data Handling by Control Word Techniques [Proc. EJCC p. 75, 1959]

IBM-Los Alamos Computer 設計の際に検討されたアドレス変更機能についての議論。始めに普通のインデックス・レジスタによる変更を論じ、中心はその拡張たるコントロール・ワード機能におかれている。

コントロール・ワードは、インデックス値 V 、計数値 C 、詰め換えアドレス R の各部分を持つ。アドレスは V で変更される。 $V+A \rightarrow V^*$, $C-1 \rightarrow C^*$, もし $C^*=0$ ならば、 R の内容を次のコントロール・ワードとし信号をだす、という命令をつけておく。 A はその命令のアドレス部で指定されるメモリーの内容である。したがって A もさらにインデックス変更が可能である。

データを転送する場合、 V と C でメモリーの位置と長さを指定できる。したがって、一連のデータは 1 語のコントロール・ワードで特性づけられる。特に入出力装置と一般メモリーとの間の転送には便利である。

データの処理には、一連のデータがあるメモリーから別のメモリーへ移すことが必要となるが、コントロール・ワード 1 語を転送することによってこれを行なうことができる。また、ある一群あるいは数群のデータを処理する主系列から除いたり、その系列に割り込ませたりするには、ただコントロールワードが格納されているメモリーの内容を互いに交換するだけでよい。こうして系列外になったデータに関するコントロール・ワードの R 部分は互いに環状になっている。さらに、二つのデータ処理系列を融合した系列とするには、幾つかのコントロール・ワードを交換すればできる。

サブルーチンもデータとして扱えるから、ドラムなどに入っている例外的サブルーチンを主メモリーへ転

送することは容易である。分岐命令、アドレス・レジスタの格納命令などをインデックス変更することによって、あるサブルーチンを使用するかしないかを容易に決めることもできる。

コントロール・ワードは、アドレス変更機能に比べれば二次的な改良ではあるが、計算機のデータ処理能力を著しく向上させる。(吉広和夫)

8. 5 台の計算機と連動する運用時間記録装置

Joseph Piskor: Logger keep track of time charges on five computers [Contr. Eng. 7-[4] Apr. 1960, p. 133~135]

本装置は 5 台の IMB-704 計算機の運用状況を自動的に記録することを目的としたもので、その構成は制御装置、記憶装置(素子はリレー)、日付時間を示す時計装置とから成る。必要な情報は記憶装置を経てカードさん孔機に送られて記録される。

記録装置と各計算機は印刷機(オンライン)を通じて接続される。その他、各計算機ごとにカード読取機(オンライン)とオペレータ用の制御盤、警報装置、記録装置の時計と連動する子時計などが必要である。

記録装置の記憶装置には、時計装置からの日付時間、計算機の番号、制御盤から入れるオペレータ番号、警報装置から入る計算機の停止情報などが貯えられている。計算機にはあらかじめ記録操作のプログラムが入っていて、何かプログラムを開始する前にオンライン・カード読取器から JOB カードと呼ばれるカードを 1 枚読み取る。このカードにはプログラムの種類を示す符号と番号などがさん孔されていて、これらの情報と記録装置内の情報が一緒に印刷され、次に記録装置を通じて記録カードがさん孔される。その後、目的のプログラムが遂行される。その他、オペレータは制御盤を通じ訂正カードを作成できる。また計算機がなんらかの原因で 30 秒以上停止した場合、警報を発すると同時に計算機の停止を表示する記録カードがさん孔される。

記録装置は一時に 1 台の計算機としか接続しないので、別の計算機で記録の必要が起こった場合は、待ち合わせが必要である。同時に呼が発生した場合は番号の若い順に接続される。

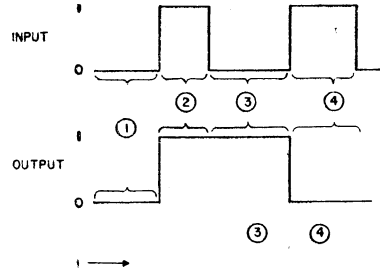
このように本装置 1 台で計算機 5 台の運用状況を自動的に記録できるが、18 カ月間使用した結果、24 時間で平均 750 枚の記録カードが得られた。(木村 健)

9. 流れ表論理

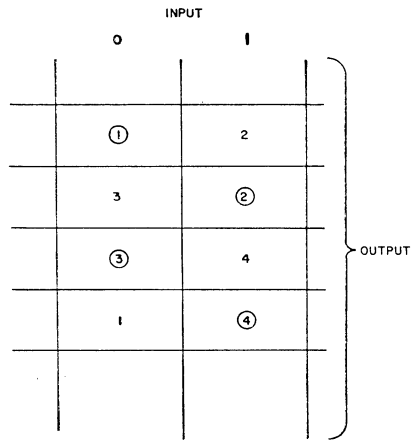
P.R. Low, G.A. Maley: Flow Table Logic [Proc. IRE, Vol. 49, No. 1, Jan. 1961, p. 221~228]

最近提唱されてきたようないわゆるマイクロミニエ
チュア・システムでは、1立方フィートに100万個も
の能動素子をつめるので、その論理や構成にもおのず
から今迄と異なった新しい方式を用いることが要求さ
れる。著者はその一つの方法として「流れ表論理 (flow
chart logic)」を提案しているのであって、これによ
れば相当大きな逐次回路でもその表示から直接作るこ
とができる。この方法では素子の数は多くなるが、結
合の問題ははるかにやさしくなる。

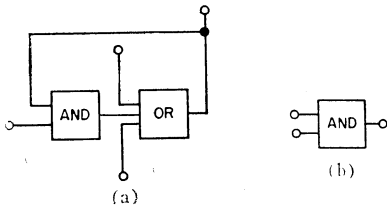
流れ表は、Dr. D.R. Huffman によって提案され
たものであるが、著者はこれを利用して回路の実現を
非常に簡単化し、またきわめて規則的にしている。す
べての回路はその流れ表を見て、機械的に第1図に示
した二つの回路を結合することによって得られる。



第 2 図



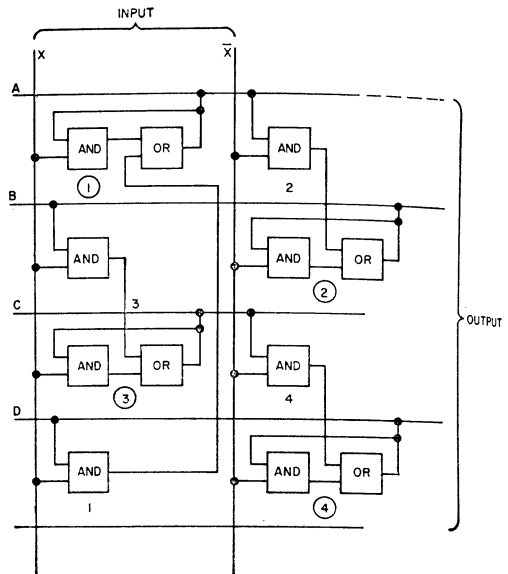
第 3 図



(a) conditional latch
(b) transfer element

第 1 図

この方法を使って逐次回路を実現する手続きの一例
を示すと、たとえば第2図の時間図に示したような働
きを持つ回路を実現するには、まず、その流れ表を作
って第3図をうる。図中の数字は第2図に対応する状
態の番号で円で囲んだものは安定状態、円のないも
のは不安定な過渡状態である。安定状態には第1図の条
件つきゲート (conditional latch) を、不安定状態に
は伝送ゲート (transfer element) を対応させて、流
れ表と同じ位置に配し、第4図のごとく結線すれば所
要の回路がきわめて規則的に得られる。第4図におい
てアンド・ゲートの出力はすべて縦方向に結線されて
いることに注意されたい。このことが回路やそのパッ
ケージのデザインの簡単化にきわめて有益なことで
ある。
(亀田恒彦)

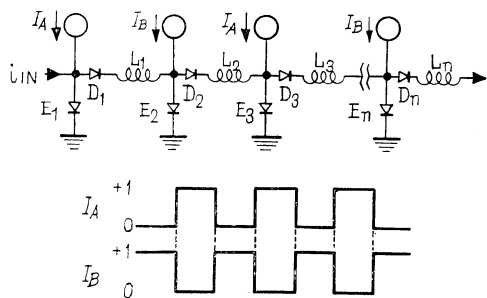


第 4 図

10. エサキ・ダイオード論理回路

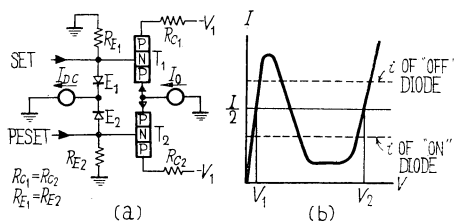
G.W. Neff, S.A. Butler and D.L. Critchlow: Esaki Diode Logic Circuits [IRE Trans., EC-9, No. 4, Dec. 1960, p. 423]

適正なバイアスと負荷とを与えるるとエサキ・ダイオードは単安定、二安定、準安定のいずれのモードでも操作できる。このことは他の負抵抗素子と共通であるが、さらに数々の製造上、特性上の長所がある。特に計算機で用いるスイッチング回路素子として適合しているわけは、(i) はっきり決まった閾値があって、閾値論理が行なえる (ii) 2値記憶ならびに利得を取ることができる (iii) スwitchング速度がきわめて早い などの理由によるものである。本論文ではエサキ・ダイオードを応用した種々のデジタル計算器回路が提示されて説明されている。まず、エサキ・ダイオードを論理素子とし線形結合要素を用いる相励振系で方向づけされた論理回路の構成について一般的な考察がされたのち、非線形結合要素(整流素子)で方向づけする論理回路方式が説明される。その一例としてシフト・レジスタを第1図に示す。1段当りそれぞれ一つのエサキ・ダイオードならびに普通のダイオードから構成されており、同図に示されてあるように2相の方形波駆動によってシフトが行なわれる。直列インダクタンスが一時蓄積作用を行なう。

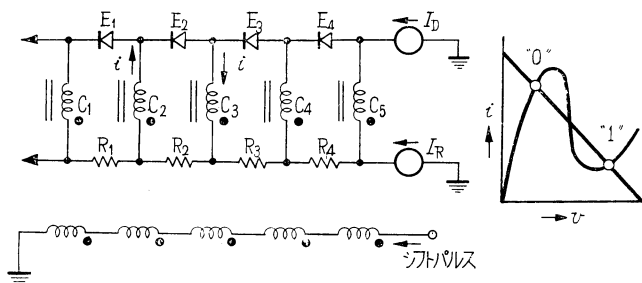


第1図

次にエサキ・ダイオードとトランジスタとの組合せ回路について考察される。二つの使用法があってエサキ・ダイオードをエミッタ回路に接続させる場合とベース回路に接続させる場合とである。第2図は後者の一例で高速(10 Mc 以上)トランジスタ-エサキ・ダ



第2図



第3図

イオードによるトリガ回路を示す。同図の(b)はエサキ・ダイオードの負荷条件を示す。二つのエサキ・ダイオード E1, E2 の端子電圧の差異(v2-v1)によってどちらのトランジスタが導通するかが決まる。最後にエサキ・ダイオードと角形特性磁気コアとの組合せ回路の応用について述べている。第3図はその一例でシフト・レジスタである。各ダイオードは二つの状態“0”, “1”をとりうるものとし、たとえば E2 以外は全部“0”であるとすれば C2, C3 にだけ電流が流れ C2 を“0”状態(正飽和), C3 を“1”状態にする。C1, C4, C5 は“0”になっているものとする。シフト・パルスを流すと C3 に電圧が誘起されて E2 を“0”に E3 を“1”にスイッチし、その結果 C3, C4 にそれぞれ電流が流れて“0”状態, “1”状態にする。

すなわち可飽和磁気コアが蓄積ならびにゲート素子として用いられ、エサキ・ダイオードは電力増幅を与える。(別所照彦)

11. 飽和トランジスタ高速桁上げ回路を用いた並列演算装置

T. Kilburn, D.B.G. Edwards and D. Aspinall: A Parallel Arithmetic Using A Saturated Transistor Fast Carry Circuit [Proc. I.E.E., 107, pt. B, No. 36, Nov. 1960, p. 573]

マンチェスター大学では継電器接点回路のように、情

報の伝搬とは独立に情報の通過する回路を作るスイッチングの方法をトランジスタの飽和形回路で構成し、桁上げ回路を高速化した。トランジスタを飽和状態で用いているのでエミッタ・コレクタ間は低インピーダンスになり、電流または電圧の変化はほとんど光速度で伝搬すること、およびエミッタ・コレクタ間の電圧降下がきわめて小さく、この回路を数多く直列につなげることを利用したもので、この回路およびその追試の結果については、すでに電試の高橋茂氏により本誌 (Vol. 1, No. 1) で紹介されている。

本論文に示された演算装置は上記回路を桁上げ回路に用い、また AND-OR ダイオード論理回路に続く電流切換回路を基本回路として、他の論理回路を構成している。高速動作のために基本回路は、最大 2 の出力分岐数で論理設計を行なっている。そして単語の半分の桁数をもち演算および番地変更を行なうことを目的としている B 累算器を例にして詳細な設計を示している。さらに主累算器で問題になる乗除算の高速化、および浮動小数点方式に伴う規格化に用いられる回路について記されている。現在この方法を用いて 24 桁の加算を約 200 μs で行うことが可能である。

(伊藤忠雄)

12. 電流切換回路の改善

F.K. Buelow: Improvements to Current Switching [IRE Trans., EC-9, No. 4, Dec. 1960, p. 415]

電流切換回路のみで構成される論理回路は各論理入力ごとにトランジスタを必要とするために高価であって、しかもそのために付加される容量によりスイッチング時間は制約される。そこで電流切換回路の論理を行なう部分をダイオード論理回路で置き換え、それを駆動する回路としてエミッタ・ホロアを用いて、すべて電流切換回路を用いたものよりも高速であり、安価でパッケージング密度が大きい論理回路を構成する。その際、AND-OR ダイオード論理回路とエミッタ・ホロアで論理回路の 1 ブロックとし、このブロックを幾つか従属して、その後で電流切換回路で電圧レベルを再生する方法をとる。実際の回路では素子の不均一性により電流切換回路間での信号の減衰および直流レベルの偏移にバラツキがあるので設計に当っては各素子の定数のバラツキの範囲と、その分布関数を与えモンテ・カルロ法によって実際の直流レベルの偏移を評価し、電流切換回路間の論理回路のブロックの数を定めている。またエミッタ・ホロアを用いているために起

こる発振に対する安定方法として、エミッタ回路をフェライト・コアに通す。この回路に最も効果的である。回路での遅延はダイオード論理回路の部分が多くなるほど小さくなるが、素子の定数、供給電圧、浮遊容量、出力端子数などにも大きく依存する。このような高速度回路では配線の長さを短くすることが最も重要である。

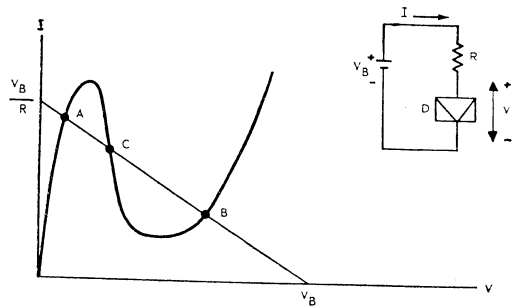
α 遮断周波数 400 Mc のトランジスタと回復時間 3 μs 程度のダイオードを用い、AND-OR ダイオード論理回路、電流切換回路およびエミッタ・ホロアを従続した回路の遅れ時間が 5 μs である。

(伊藤忠雄)

13. トンネルダイオード・デジタル技術の概観

R. C. Sims, E. R. Beck and V. C. Kamm: A Survey of Tunnel-Diode Digital Techniques [Proc. IRE, Vol. 49, No. 1, Jan. 1961, p. 136~146]

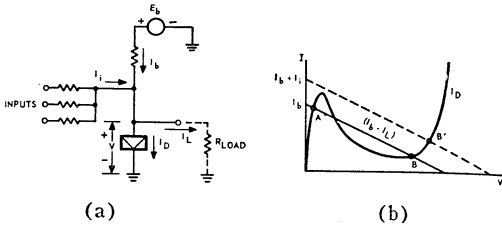
本文は題名の示すとおりトンネルダイオード (TD) を使用したデジタル回路の全般を取りまとめて概説したものであるが、二、三の回路については著者らの属する Bendix の研究所で行なった実験の結果を合わせ報告している。TD に適当な値の直列抵抗と電源とを接続すれば第 1 図に示すように二つの安定状態が



第 1 図

得られ、記憶素子として利用できる。これで構成する記憶回路には情報の読出しの方法により、破壊的読出しおよび非破壊的読出しの二つに大別できる。後者を実現する方法は多数考えられており、 $I-V$ 特性の正抵抗領域における曲率の相違を利用する方法、またそれらの領域の一方では障壁容量の電圧依存性が大きい、他方では小さいことを利用する方法あるいは補助的 TD を利用する方法がある。

また特性のそろった TD を直列に接続したいわゆる後藤対を記憶素子として使用する場合も、非破壊読出しが可能である。しかし、破壊的読出しの方法は回路が簡単であり動作速度が早いので、並列の高速即時呼出し記憶装置に好適であり、磁心記憶装置と同様にマトリクスに構成することができる。



第 2 図

次に論理回路としては第 2 図に示す構成が基本であり、バイアスの選び方によって論理和、論理積、多数決機能あるいは一般に N out M 機能を果すことができる。また否定回路および排他的論理和回路も第 3 図の回路でもう一つの TD を負荷に挿入することにより作ることができる。

TD は 2 端子素子であるから入出力は分離できない。信号の流れに方向性をつける方法としては、通常のダイオードまたは逆方向ダイオードを各入力回路に挿入するか、3 相励振を用いるかする、また TD 対によって多数決原理に基づく論理回路を構成することができる。この方法は両素子の特性さえよくそろっていれば、電源電圧の変動に比較的鈍感な利点がある。その他、通常のダイオードゲートと同様な構成で論理積回路を構成することもできる。

以上にあげた基本的論理回路またはその変形回路の組合せによりデジタル・システムを構成できるが、本文にはフリップフロップ、2 進計数器につき二、三の例をあげている。

さらに TD の N 字特性を利用すると、有用な非直線回路が得られる。たとえば TD と並列に適当な値の抵抗を入れて定電圧を加えると電流源となり、定電流を加えると定電圧源が得られる。これらは TD 論理回路の電源に使用できる。

結論として TD はその高速度スイッチング特性、周囲条件に対する許容度が大きいこと、また素子が簡

単であることなどによって計算機への応用に向いており、現在得られているものでもクロック 30 Mc、記憶サイクル時間 $0.1 \mu s$ に達しており、将来はそれぞれ 1000 Mc、 $0.01 \mu s$ まで可能になるであろうこと、このためには TD 自体の製造方法、またその回路技術の発展に対してなすべきことが多く残されている旨を示唆している。
(安田靖彦)

14. トンネルダイオード・デジタル回路

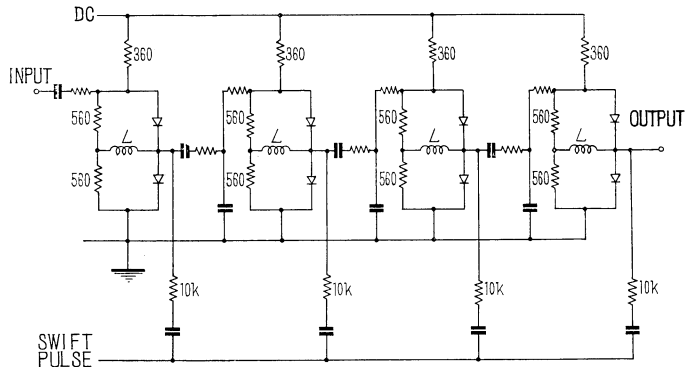
W.F. Chow: Tunnel Diode Digital Circuitry [IRE Trans. EC-9 No. 3, Sept. 1960, p. 295]

この論文は 2 部に分かれ、第 1 部はエサキ・ダイオード閾論理、多数決論理回路について部品の許容値からエサキ・ダイオード特性に課せられる要求を計算している。

すなわち閾演算では、入出力回路数、エサキダイオードのピークおよび谷電流の変差 $\pm k\%$ 、出力電圧、使用抵抗、電源電圧の変動 $\pm \delta\%$ を与えて可能な fan out を求めている。その結果、たとえば fan in, fan out 2 のとき $k=3\%$, $\delta=4\%$, 同じく 3 のとき $k=2\%$, $\delta=2.5\%$ となる。

また多数決演算では後藤ペアについて同様に計算し、たとえば fan-in, fan-out 3 で $k=2\%$ のとき $\delta=6.5\%$ でこの方がやや有利なことを述べている。

第 2 部は、エサキダイオードを用いたフリップ・フ



第 1 図 シフト・レジスタ

ロップのスイッチングについて解析し、ダイオードに並列に入っている容量がスイッチングの立上り、立下りにもっとも大きな影響を与える結果を得ている。

3 Mc ではたらくフリップフロップ 2 段のカウンタを作り、同程度の速度のものをトランジスタで作るより有利であることを述べている。各段当りの遅延は

40 ns であった。

第1図はフリップ・フロップ4段のシフトレジスタで、信号パルス、シフトパルスは共に正である。
(片岡啓介)

15. トランジスタ電流切換および電流進路指定回路

D.B. Jarvis, L.P. Morgan and J.A. Weaver: Transistor Current Switching and Routing Techniques [IRE Trans. EC-9 No. 3 Sept. 1960, p. 302]

トランジスタを非飽和領域において、その持つ最も速いスイッチング速度で動作させる電流切換回路と電流進路指定回路との組合により論理回路を構成方法を示している。この論理回路での情報はゲートにより切換えられるか、または流れる進路を決定づけられる電流の有無により表わされる。電流切換回路の結合回路にツェナ・ダイオードを使用し p-n-p 形トランジスタのみによる回路を用い、さらに電流進路決定回路と、著者により考えられた新しい排他的 OR 回路とを用いて回路構成を行なっている。遮断周波数 70 Mc の合金拡散トランジスタを用いた結果として、6段にわたる桁上げ伝搬時間が 40 mμs の並列加算器を示している。それには電圧レベル変更のための回路および桁上げ高速化のための桁上げスキップ回路が付随している。また、10 Mc で動作するシフト・レジスタおよび入力 2 進数 5 桁、出力 32 個で最大の遅れ 40 mμs の 2 進デコーダの回路を示している。

(伊藤忠雄)

16. 計算機模擬によるクライオトロン回路の過渡応答の解析

Munro K. Haynes: Transient Analysis of Cryotron Networks by Computer Simulation [Proc. IRE Vol. 49, No. 1, Jan. 1961, p. 245~257]

ビルディング・ブロック方式の一般化に伴って、素子だけでなく、回路全体をまとめて製作すると共に、その動作を解析する必要が生じる。そのためには、Kron のテンソルによる回路解析法を非直線の領域まで拡張すればよい。クライオトロンは電流で制御されるから、ここでは電流を独立変数とする閉路法により、IBM 704 計算機で模擬を行なった。

必要なデータは (1) 回路の形式、(2) クライオトロン素子のインピーダンス行列 [Z], (3) 変換逆行列 [C_i], (4) クライオトロンの各定数、(5) 回路に接続したパルス電源の定数、の五つである。

(1) の内容を変えることにより、フリップフロップ、5 段のリング発振回路、3 ビットの 2 進加算器の過渡特性を計算した。各電流の計算結果は 2 mμs ごとに一枚の紙に打ち出した。

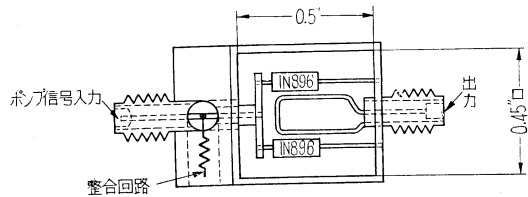
フリップフロップのスイッチング時間は約 80 mμs であるが、供給電流を変化させると大きく影響してくる。多入力の場合の応答はもっと遅れるが、ゲート抵抗値を減らすと、それを改善することができる。加算器の遅延時間は 225 mμs である。実物による実験は行っていない。
(金山 裕)

17. キロメガサイクルのパラメトリック発振器を用いた電子計算機サブシステム

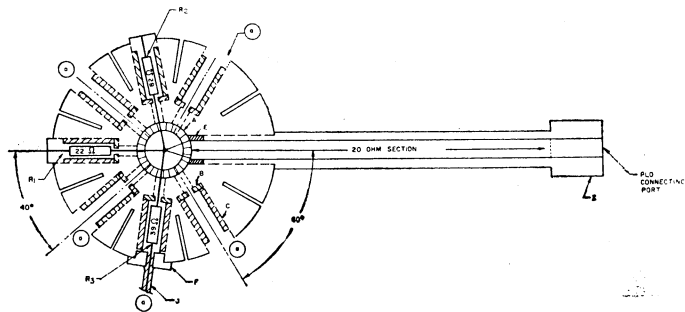
I. Abeita, F. Borgini and D. R. Crosby: A Computer Subsystem Using Kilomegacycle Subharmonic Oscillators [Proc. IRE 49, 1, Jan. 1961, p. 128~135]

本論文はキャリア形の高速度電子計算機に用いるサブシステムとして、可変容量素子によるキロメガサイクル帯のパラメトリック発振器を用いたものを実現した結果について述べている。

このパラメトリック発振器 (本文では Phase Locked Oscillator, 略して PLO と表現している) はポ



第 1 図 PLO 構造図



第 2 図 信号分配器構造図

ンプ周波数 3.7 kMc, 発振周波数 1.75 kMc のバランス形発振器で, ポンプ電源は 3 拍励振のため 30Mc でおのおの三相にゲートされており, したがって論理操作の速度は 1 ユニット当り 11 nsec となっている。

を 5 個用いて各 PLO 素子にポンプ電源の分配を行なうものである。

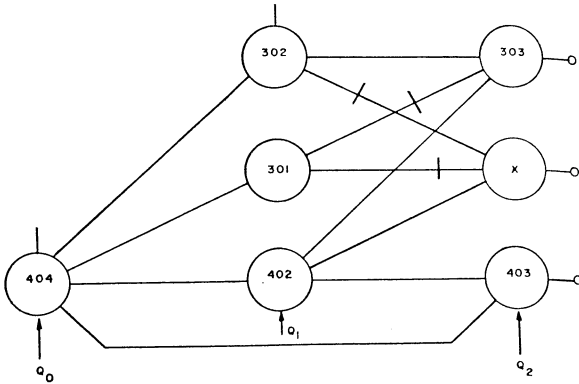
本文では以上の装置による実験結果および各種電気的特性を述べており, 結論としてこのような PLO による基本的な論理操作が可能であることが確かめられたとしているが, いまだ問題点のあることも指摘している。
(吉田裕一)

18. 磁性薄膜パラメトロンへの応用

R.F. Schauer, et al.: Some Applications of Magnetic Film Parametrons as Logical Devices [IRE Trans., EC-9, No. 3, 1960, p. 315]

厚さ 6×10^{-5} cm の 80-20 パーマロイ磁性薄膜を可変インダクタンスとして用いた磁性薄膜パラメトロンと, これに二, 三の機能を持たせた新しい素子を提案している。パラメトロンの構造を第 1 図に示す。励振磁界は容易軸と一致し, 信号巻線の磁界はこれと直交している。

バイアス磁界または励振磁界の極性を反転することによって, 四つの安定発振位相状態をうる (第 2 図 a)。また特定な励振条件では, 第 2 図 b に示すような入力信号レベルの関数として三つの位相状態が得られる。ストリップ線路を用いた磁性薄膜パラメトロンは 100 Mc から 500 Mc の範囲で動作が可能である。情報の結合法としては誘導結合より容量結合が望まし

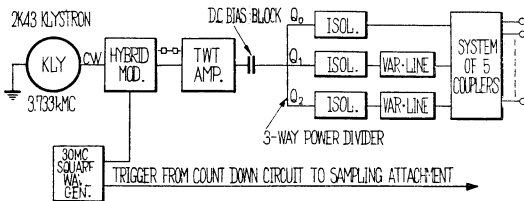


第 3 図 論理結線図

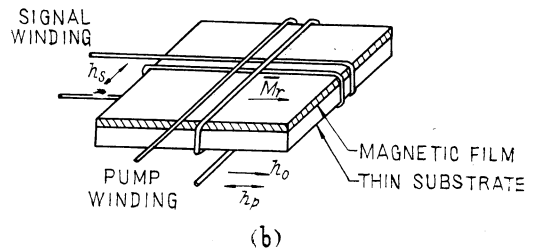
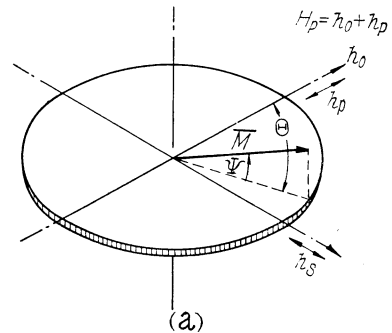
第 1 図はこの PLO 構造を示す。この寸法はバラクタの持つ定数にさらに加わるべきインダクタンスが, そのリードインダクタンスで与えられるように定められている。入力整合回路は, この PLO の入力インピーダンスが本質的に容量性となるので, それを補償するために設けられる。

信号分配器は第 2 図に示す構造である。図中④で示した点で同軸ケーブルによって相互に結合され, 相互に結合しない点は 50Ω のインピーダンスで終端される。第 3 図はこの信号分配器による論理結線の実例で, in-phase (肯定) と out-of-phase (否定) の結合はケーブルの長さで定められる。前者の場合は $7.49''$ で, 後者の場合は $5.33''$ となっている。第 3 図において 404, 402, 403 のループは基本位相を記憶しており, 303 の出力は多数決による肯定を示し, X の出力は多数決による否定を示している。 Q_0, Q_1, Q_2 はそれぞれ 3 拍励振の各位相を表わす。

ポンプ電源の構成は第 4 図に示すとおりである。図において, “System of 5-couplers” は方向性結合器



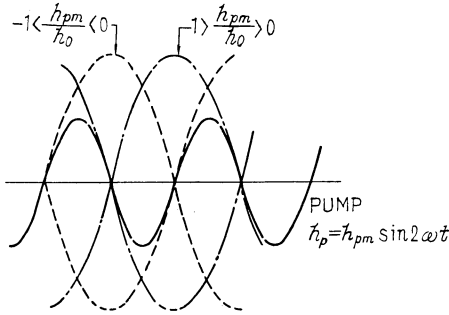
第 4 図 ポンプ電源構成図



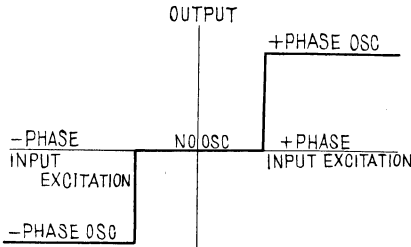
第 1 図

、ここではバイアス磁界の極性を反転させて発振位相を 90° 推移させると同時に、コンデンサを用い位相調整をしている。この方法では励振磁界の閉鎖でなく、バイアス磁界の閉鎖で情報の伝送が行なえる。

第3図は閾値素子であり、与えられた励振条件で発

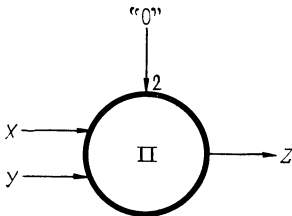


(a)

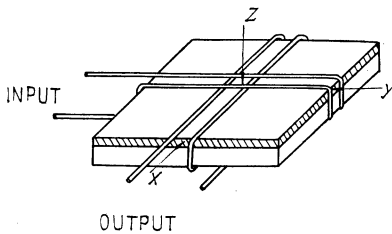


(b)

第2図



第3図



第4図

振するには最小入力レベルが要求される。バイアス磁界の制御により、2または3入力閾値素子ができる。円内のローマ数字は発振を保持するために必要な同位相入力の数を示す。第4図はパラメトロン・ゲートであり、入力信号はバイアス磁界により制御される。これは一方向性素子であり、これを用いれば後藤による第3相は不要となる。

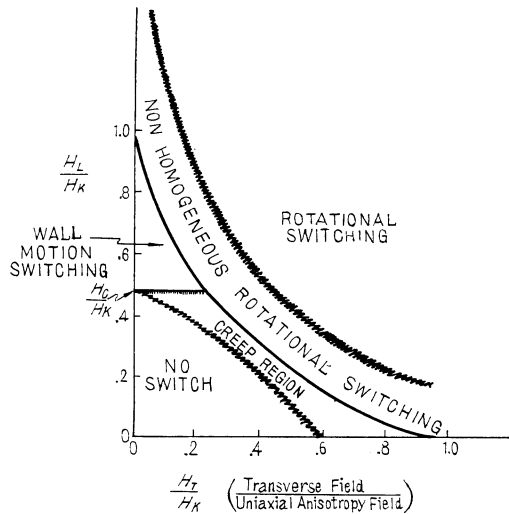
以上述べた幾つかの機能を有する素子を用いて、シフト・カウンタ、シフト・マトリックスの構成例をあげている。(渡辺 寛)

19. 磁性薄膜記憶の検討

A.V. Pohm and E.N. Mitchell: Magnetic Film Memories, A Survey [IRE Trans. EC-9, No. 3, Sept. 1960, p. 308]

磁性薄膜の磁化反転の様態として (1) 磁壁移動, (2) 一様でない回転, (3) 一様回転の三つが考えられ、個々の薄膜がどの様態で磁化反転するかは材料の性質と実験条件によって決められる。第1図が容易方向の磁界と同時に、これと直角の困難方向の磁界を加えた場合の臨界特性である。

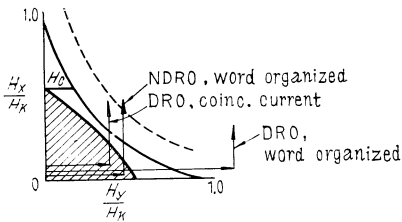
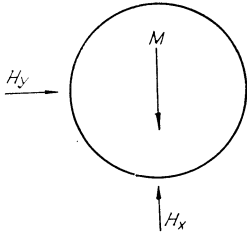
筆者はこれに基礎をおき、磁性薄膜を記憶装置に用いる場合の方式を次の三つ——(1) 二つの選択磁界 H_x, H_y のうち H_x を容易方向と平行に、 H_y を直角に加える (第2図)。 (2) H_x, H_y とともに容易方向と平行に加える。 (3) H_x, H_y を互いに平行に、容易方向とある角度をもって加える——に分け、磁性・薄膜



第1図

記憶装置の現在までの成果を概説し、材料や方式の問題を検討している。

高速を目的とする記憶装置を作る場合に、薄膜はトロイダル・コアなどに比べ反磁場係数が小さいため上のような二つの選択磁界を容易にうることができるほ



第 2 図

かに、次の利点——薄い形状からプリント配線技術を駆使でき、また 1 記憶素子を数枚の磁性材料から作ることができる——があることを指摘し、これらの点から材料の均一性の問題さえ解決されれば、適当なコストで繰返し時間 $0.1 \mu\text{sec}$ 以下の高速記憶素子を直ちにうることができると結んでいる。(伊藤陽之助)

20. 磁性薄膜シフト・レジスタ

K.D. Broadent: A thin magnetic film register [IRE Trans., EC-9, No. 3, Sept. 1960, p.321~323]

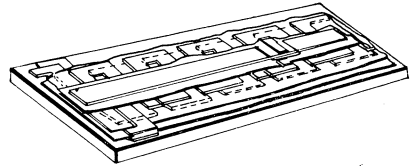
磁性薄膜連続体中の磁区の移動を利用したシフト・レジスタが作られた。このシステムでは通常のような細胞と細胞間の結合回路網は不要であり、非常に高い蓄積情報量、小動作電力、かなり高い動作速度などの特徴を持ち、製作の自動化にも有利である。

この装置の動作は磁性連続体中に独自の磁区模様を作って保持するに必要なエネルギーと、この磁区模様をして連続体中を移動させるに必要なエネルギーとの差に基づいている。この差によって、“書いた”磁区を妨害信号を誘起することなしに週期的な外部磁場によって一方向に伝送する。

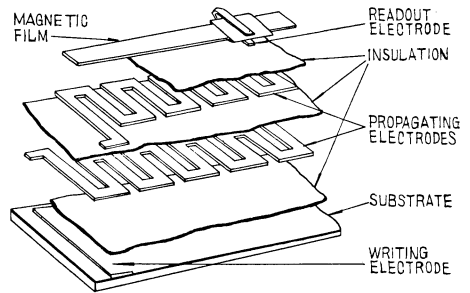
第 1 図はレジスタの見取図、第 2 図は分解図である。第 3 図に動作の様態を示す。

試作装置は、磁場中で蒸着した厚み 900 \AA 、幅 0.04 in の $75\% \text{ Ni}-25\% \text{ Fe}$ のパーマロイを用い 1 in 当り 50 ビットの密度で 300 ビットの容量を持つ。1 Mc パルスを用いたとき 所要電力は 8 W、100 kc では 2 W であった。出力信号は 1 Mc で約 1 mA である。

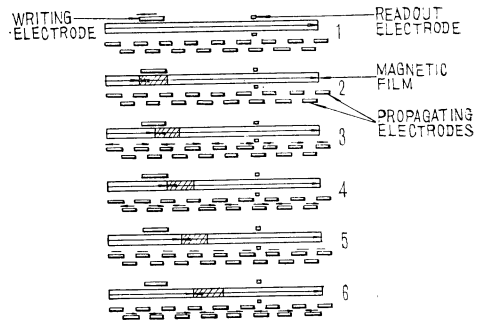
情報ビットの磁区模様や材料や寸法によって非常に異なるが、ケル効果によって得られた一例を第 4 図に示す。(山中 頤)



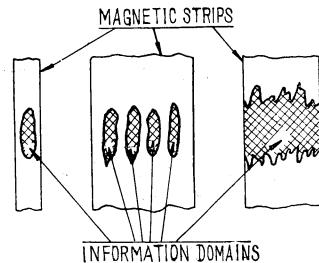
第 1 図



第 2 図



第 3 図

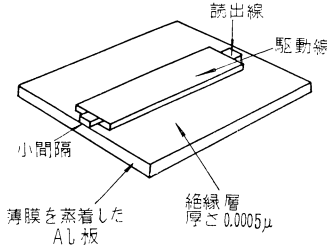


第 4 図

21. 再現性のある磁性薄膜記憶装置の試作

E.M. Bradley: Making Reproducible Magnetic Film Memories [Electronics, Vol. 33, No. 37, Sep. 9, 1960, p. 78~81]

この方式の特徴の第一は、Gyralloy の連続薄膜を用いたことで、このため回転磁化のモデルがよく成立し、特性のバラツキ、特に容易軸の方向のバラツキが少なくなっていることである。第二の特徴は、第1図に示すように Al 板を下地として磁性体を蒸着し、0.0005 in の絶縁膜をはさんで読出線があるので、駆動線と読出線との間の相互インダクタンスが小さく、低雑音の読出しが可能なることである。また、Al 板中の渦電流の影象効果により磁界が2倍になり、インダクタンスは減少するという利点もある。予想された渦電流によるダンピングはほとんど問題にならず、薄膜は約 10 mμs でスイッチした。

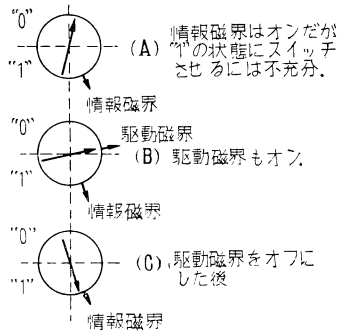


第 1 図

駆動線と情報線、読出線とは直交しており、容易軸は情報磁界と約 5° の傾きを持っている。書込みの際には、第2図に示すように、“1”を書き込みたい情報線に小電流を与え、次に大きな駆動電流によって語を選択して磁化を反転させる。読出しの際には駆動電流のみを与えてリセットし、読出波形の最初の部分の正負から信号をうる。

連続薄膜の試験法は、直交する2本の導線を薄膜上の任意の点にのせ、駆動パルス磁界の方向を困難軸の付近で動かして、それと直交する読出線の信号から、容易軸の方向のバラツキ (±3° 以下とする) と、回転磁化モデルの成立度とを調べている。

試作された記憶装置は1250ビットの記憶薄膜が2枚で、容量50語、1語は50ビットである。Al板上に、4in×3inの大きさに1000 Åの厚さにGyralloy 1を蒸着し、試験後、セルロース・ラッカを塗り、この上にプリント回路法で読出線を作る。次に2枚を背中合せにし、駆動用のストリップ線を巻き、プリント回路法で作った情報線と取りつける。(渡辺 瞭)



第 2 図

22. フェライト磁心を用いた高速記憶装置

D.B.G. Edward, M.J. Lanigan, T. Kilburn [Proc. IEE 107 pt. B, No. 36, Nov. 1960, p. 585]

計算機の演算部の速度が高速化されると、通常の磁心記憶装置の 10 μ 秒位のサイクル・タイムでは遅すぎるので、本文には、これを数分の1以下に向上させる手段について述べている。

磁心の配列 磁心2個を一組とし、一組の状態 10, 01 を情報“1”，“0”に対応させ、この一組で1ビットの情報を表わす。読取りの際には 00 の状態にリセットする。

この方法では、情報“1”，“0”が対称であるから、駆動回路の負荷が情報内容のいかんにかかわらず一定であること、S/N が良くなること、半選択磁心からの影響も小さくなることなどの利点がある。これを拡張し、4個の磁心を組にして2ビットの情報を記憶する方式にもふれる。これらの磁心を、単語配列法 (word arrangement) により配列し、読取り速度を上げる。

電流駆動法 磁心を駆動する方法として、普通の方法、Illinois の方法、バイアス電流法 A, B の四つを速度の立場から比較し、バイアス電流法 B が最高速であることを述べている。

磁心の部分的反転 駆動パルス幅を短くすることにより、磁心の部分的磁化反転により記憶することができる。こうすると、駆動電流値を小さくことができ、逆起電力も小さくなるから駆動が容易になる。

以上の手段により直径 1.3 mm の磁心を用いて、128語、1024語の容量でサイクル・タイムはそれぞれ 0.6 μ 秒と 2 μ 秒のものが構成できる。容量の上限は、記憶磁心の特性より、むしろ駆動用のトランジスタの能力により制限され、現在利用できるトランジスタの場合の上限が1024語である。本文には各種の基礎実験データが詳細に報告されている。(高島 堅助)

 国内文献題目

電気通信学会雑誌 第43巻 (昭和35年)

- 2月号 星子, 南, 大森: 2進符号伝送における伝送ひずみによる誤まり率と符号ひずみ特性 (p. 146)
岡田: スイッチング用 npn 合金型トランジスタ (p. 154)
畔柳: 高速推移回路 (p. 188)
山田, 別所: 2周波記憶における番地選択方式 (p. 193)
- 3月号 樹下, 尾崎: プール行列による順序回路の構成 (p. 265)
- 7月号 畔柳: 桁数検出回路 (p. 794)
熊谷, 寺村, 坂口: パラメトロンを用いた電信自動誤字訂正方式 (ARQ 方式) (p. 806)
小野: 2拍励振パラメトロン (p. 822)
- 9月号 喜安, 伏見, 小柴, 新山: ダイオード対の不均衡特性 (p. 959)
葉原, 福岡: 変成器を介したパラメトロン (p. 965)
- 10月号 室賀, 戸田: 多数決素子の理論 (p. 1071)
- 12月号 室賀, 高須, 戸田: 線型計画法による多数決素子の構造決定 (p. 1408)
南: 電話回線における2進データ伝送 (p. 1416)
矢板, 夏目, 新田, 後藤: ETL Mark 4 A の磁心記憶装置 (p. 1422)

電気学会雑誌 第80巻 (昭和35年)

- 1月号 野田, 黒川: アナログ計算機の周波数特性に

よる演算誤差算定法 (p. 65)

- 西田: 多変数系におけるサンプル値制御系のシンセシス (p. 75)
- 3月号 永田, 三浦: 帰還演算器の精度および安定度に関する検討 (p. 253)
- 5月号 真鍋: 非整数階積分形制御系について (p. 589) 元岡, 山口: フライス盤数値制御の方式 (p. 628)
- 7月号 田村: ブロックダイアグラムシュミレータと自動プログラム方式の結合 (p. 923)
- 10月号 小林, 赤尾: 情報量 $H(x)$ の測定法 (p. 1405)
馬場, 芝滝: 計数形計算機による電力系統過渡現象の計算 (p. 1475)
- 11月号 安宅: 多数決原理によるプール代数の展開について (p. 1600)
- 12月号 元岡, 山口, 稲葉, 吉武: 円弧・直線近似によるフライス盤数値制御装置 (p. 1761)
三浦, 岩田: アナログ計算機による梁の振動解析 (p. 1770)

計測 第10巻 (昭和35年)

- 2号 大岡, 白倉, 木村: 計算機制御系の入出力変換器 (p. 93)
中川, 武城: 電解工場における計算集中制御 (p. 157)
- 6号 中村: 軌道試験車のデータ処理装置 (p. 351)
- 10号 博田, 石井: トランジスタによる2進回路の直流特性 (p. 598)

(高島 堅助)