熱伝達率は実験値から次のようにおく.

$$FK+Fl_V=0.0106+0.000206\,V\ \text{kcal/deg-sec}$$
$$V<40\ \text{km/h}$$
$$FK+Fl_V=0.000472\,V\ \text{kcal/deg-sec}$$
$$V>40\ \text{km/h}$$

以上のデータより，このプログラムを使っての計算結果およびそれをグラフにプロットしたものを第1表，第10図に示す.

6. あとがき

このシミュレーションのプログラムは当初，運転の基本的な問題を解析することを主目的とし，現実の列車運転のシミュレーションまで行う積りはなかったのであるが，現実の焦眉となっている東海道新幹線の設計試料が得られるように作成したいとのことで，目的を少し変えて，種々の車両について何回もの計算が簡単に行えるような方針でプログラムを作成した．したがって当初予定していたよりずっと命令構成は複雑になった．もっとも計算の基礎になる方程式はなんら変るところはないが，運転手の判断，動作を模擬するために計算自体より運転のための論理判断が中心的な役割を演じている.

なお，このプログラムで新幹線の車両設計に関する基礎データを相当量計算したが，数字を並べることは現段階で支障があったので面白い結果が出ているが公表できないのが残念である.

計算の基礎式や判断要素については若干の問題点も残っている．特に温度上昇の式については．現段階では実験データが不足しているので，また改良する予地が残っている．さらにもし可能なら単にモーターの問題だけでなく，変圧器や電気，温度特性も合せて計算したいと思っているが，これは今後に残された問題である.

運転の問題は経験的要素が多いため，計算機のような完全な論理機械で全てが解析されるとも考えないが，将来はこのような方向に進むであろうし，また進めねばならないことが近時痛感されてきている．この報告がその面での進展に若干なりとも寄与するところがあれば筆者等の幸とするところである.

参考文献

1) Hartree, D.R. & Ingham, J.: Note on the Application of the Differential Analyzer to the Calculation of Train Running Times: Memo and Proceeding of the Manchester Library and Phylosophical Society. Vol. 83, No. 1, 1938~1939
2) Smith, S.W.: A New Train Performance Calculator, A.I.E.E. Vol. 70, 1951.
3) J.E. Hogan: Train Performance and Locomotive Tonnage Ratings Calculated by Digital Computer, A.I.E.E. July 1958
4) A. Gilmour: Digital Computer for Electric Tractive Problem: Convention on Digital Computer Technique Apr. 1956
5) J.E. Hogan: Train Performance Calculated by Digital Computer-Supplemental Programs. A.I.E.E. May 1960
6) 安達彦一，稲田伸一：運転曲線計算機，鉄道技術研究所速報 58-186

(昭和36年7月12日受付)

超高速固定記憶装置*

畔柳功芳**

1. 緒論

電子計算機には小容量の高速度記憶装置と大容量の低速度記憶装置が準備され，必要な数値や命令が蓄えられている．大量の計算を高速度に遂行するには，大容量の高速度記憶装置が必要になるが，それは極めて高価である．サブルーチンや定数の集積であるライブラリーは一つの計算機に固有な情報群であるから，廉価な固定記憶装置がライブラリーに用いられる．しかし固定記憶装置が低速度であるとすれば，その情報が必要になる前に高速度記憶回路に予め読み出して置き，計算機の演算速度に追随せしめつつ演算装置の所望の回路に伝送することが必要となり，高速度記憶回路の負担を増す.

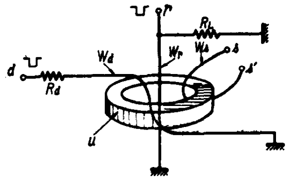
* High-speed Fixed Mencory, by Noriyoshi Kuroyanagi (Electrical Communication Laboratory, Tokyo)
** 電気通信研究所

本論文は高速度記憶回路に予め読み出して置かないでも，演算速度に追随し得るような読み出し時間の極めて短い固定記憶装置についての研究である．1個の小形磁心による変成器を1ビット情報蓄積素子とした記憶マトリックスを構成し，その磁心に施した短絡巻線により記憶情報を設定した．磁心はトロイダル状で駆動，読出両巻線は密に結合されていること，駆動，読出両巻線の浮遊容量を減少せしめたこと等により，高速度読出が可能となった．

なお固定記憶装置には磁気誘導を遮蔽するもの[1]と，静電容量を遮蔽板で変化させるもの[2]が開発されている．

2. 動　作　原　理

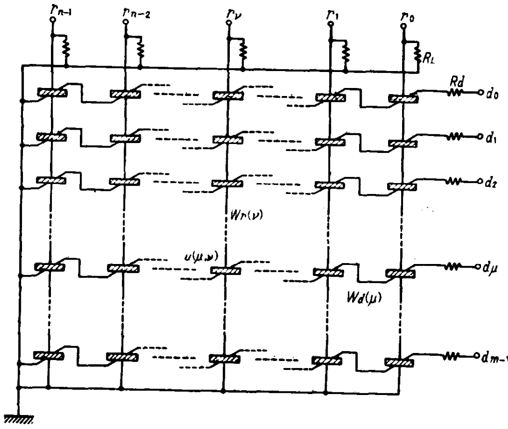
第1図に示すように小形磁心 u に駆動巻線 w_d，読出巻線 w_r，短絡巻線 w_s を施す．R_d は駆動電源の内部抵抗，R_L は w_r に結合する負荷抵抗である．w_s の両端 s, s' は短絡端子で s, s' を開放すれば H_0，短絡すれば H_s の状態とする．駆動端子 d にパルス入力を加えるとき，状態が H_0 ならば u の変成作用で w_r を介して出力端子 r にパルス出力が得られるが，状態が H_s ならば誘導電流は殆んど w_s を環流するから r には出力を生じない．故に状態 H_0, H_s を二値論理値 1, 0 に対応せしめれば1個の磁心で1ビットの情報を蓄積することができる．駆動入力を加えても r にパルス出力を生じないようにするには，読出巻線の両端を短絡してもよい．この場合には短絡効果が完全であ



第1図　記憶磁心 (u)

るうえ，2本の巻線で済むから構造が簡単になるが，短絡機構に附随して読出巻線には浮遊容量が増大し読出速度は低下する．駆動巻線の両端を短絡してもほぼ同様な結果になる．これに反し第1図の回路では短絡機構を駆動，読出巻線から分離せしめ得るから，駆動，読出巻線のもつ浮遊容量はずっと少なくなる（u は磁心の状態表示にも用いる）．

磁心群を用いて構成される記憶マトリックスを第2図に示す．駆動端子 $d\mu$ (μ=0,1, …m−1) から横方向に縦続に編まれているのは μ 番地の語 Q_μ に対応する連結駆動巻線 $Wd(\mu)$ で，出力端子 r_ν から縦方



第2図　磁心マトリックス ($m \times n$ ビット)

向に貫通する線は r 桁目の情報に対応する連結読出巻線 $W_r(\nu)$ である（短絡巻線の表示は省かれている）．したがってこのマトリックスは n ビットを1語とし m 語の情報を蓄え得る．Q_μ の情報を得たいならば d_μ に入力を加える．$Wd(\mu)$ にパルス電流を流したとき，$Wd(\mu)$ と $W_r(\nu)$ の両者に鎖交する磁心の状態が H_0 ならば出力端子 r_ν にパルス出力を生じ，H_s ならば r_ν にパルス出力を生じない．故に $Wd(\mu)$ と鎖交する各磁心の状態に対応した二値出力が出力端子 r_0, r_1…r_ν…r_{n-1} に同時に得られる．

駆動，読出，短絡の各巻線の巻数が等しく，磁心を介した変成作用が理想的に行なわれるとすれば，磁心の状態が H_0 の場合には，w_d に加える駆動電流 i_d と w_r に得られる出力電流 i_0 とは互いに同相同振幅になる．また磁心の状態が H_s の場合には，i_d と w_s に流れる電流 i_s とは互いに同相同振幅になり，i_0 は0になる．

しかし，このような磁心マトリックスを実際に組み，駆動入力として立上り立下り時間 20 n sec，パルス幅 50 n sec のパルスを加え，読出時間をできるだけ短くするためには，磁心による変成作用や，浮遊容量等による遅延と減衰等各種の困難な問題を解決しなければならない．

なお，1語に対応して n 個の磁心を並べ，その中の任意の磁心にのみ鎖交する駆動巻線 $w_d(\mu)$ と，同じ n 個の磁心の中の他の任意の磁心にのみ鎖交する駆動巻線 $w_d(\mu')$ を設けるような方式では，1個の磁

心で2ビット（以上）の情報を蓄えることもできる[3]．この方式は記憶情報を変更したいとき駆動巻線を編み直さねばならず，実際上不便でありここではふれない．

第1表　磁心（P_3-D_4）の特性

事項 / 巻数 / 測定波形	インダクタンス〔nh〕 1	インダクタンス〔nh〕 3	損失〔Ω〕 1	損失〔Ω〕 3	インピーダンス〔Ω〕 1	インピーダンス〔Ω〕 3	μ	Q
1 Mc の正弦波	76	690		0.2	0.5	4	573	34
3 Mc の正弦波	58	520		2.0	1.1	10	440	4.1
5 Mc の正弦波	70	640	1.1	10.5	2.6	23	530	1.9
50 n sec の パルス					3.0	27		

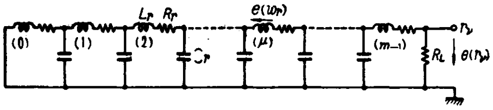
正弦波のインピーダンスはその周波数の計算値である．
パルスのインピーダンスは測定値でしかも最大値である．

3. 回　路　設　計

3・1 記憶マトリックス

電子計算機の固定記憶装置の容量としては数千語を考えねばならぬ．高速回路にするためには装置はできるだけ小形に構成し，使用する磁心も小さくする必要がある．1ビットに1個ずつの磁心を必要とするから，磁心が廉価であることも望ましい．ここに述べる実験には初期のパラメトロンに用いられた外径 4 mm のトロイダル磁心（P_3-D_4）を用いた．その特性を第1表に示す．磁心の特性としては，駆動パルス波形に対応した高い周波数まで μ が得られ，損失も比較的少ないことが望ましい．

第2図に示したマトリックスの特性について考察しよう．いま Q_μ の情報を読み出すために $W_d(\mu)$ に駆動パルス入力を加え，ν 桁目の磁心 $F(\mu,\nu)$ の状態を H_0 とすれば，その読出巻線にパルス出力 $e(w_r)$ が



第3図　連結読出巻線の等価回路
（括弧内は番地の表示）

生ずる．この $e(w_r)$ は第3図に示すような等価回路を経て出力端子へ伝送される．各磁心の読出巻線 w_r のもつ接地間容量と，w_r と駆動巻線 w_d 相互間の線間容量との和を C_r とした．図は C_r と $Z(w_r)$ からなる遅延線路である．したがって番地 μ の大きな段の磁心の出力程大きな遅延効果を受ける．磁心 $F(\mu,\nu)$ の出力が r_ν に到達するまでに必要な時間 $\tau_r(\mu)$ は，w_r のもつインダクタンスを L_r とし，その抵抗分 R_r を無視すれば近似的に

$$\tau_r(\mu) \fallingdotseq (\mu-1)\sqrt{L_r C_r} \quad \cdots\cdots(1)$$

となる．C_r を無視すれば出力端子 r_ν に得られる電圧 $e(r_\nu)$ の振幅は

$$e(r_\nu) \fallingdotseq e(w_r)\frac{R_L}{R_L+(n-1)Z(w_r)} \quad \cdots\cdots(2)$$

$e(w_r)$ は読出巻線数 $N(w_r)$ の1乗に，$Z(w_r)$ は $N(w_r)$ の2乗に比例するから〔$Z(w_r)$ の抵抗分を無視する〕$e(r_\nu)$ の最大値は

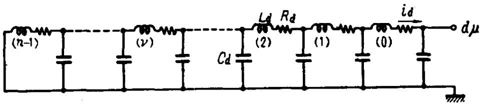
$$e(r_\nu)_{\max} = \frac{1}{2}e(w_r) \quad \cdots\cdots(3)$$

(3) 式を満足する巻数 $N(w_r)\varDelta$ は

$$N(w_r)\varDelta = \sqrt{R_L/\{(n-1)Z_0\}} \quad \cdots\cdots(4)$$

ここで Z_0 は，$N(w_r)=1$ のときの読出巻線のもつ誘導抵抗値で，駆動パルスに対して呈するインピーダンスと考えられる．(3) 式によれば $e(r_\nu)$ の値は $e(w_r)$ の 1/2 になるが，これは駆動入力を加えた時の値で，(1) 式で示した $\tau_\nu(\mu)$ の後には $e(r_\nu)$ は $e(w_r)$ とほぼ等しい振幅になる．

第3図と同じような遅延線路は連結駆動巻線についても構成される．



第4図　連結駆動巻線の等価回路
（括弧内は桁数の表示）

第4図はその等価回路である．駆動電圧 $e(w_d)$ と ν 桁目の駆動巻線に流れる電流 $i_d(\nu)$ の位相差 $\tau_d(\nu)$ の近似値は

$$\tau_d(\nu) \fallingdotseq \nu\sqrt{L_d C_d} \quad \cdots\cdots(5)$$

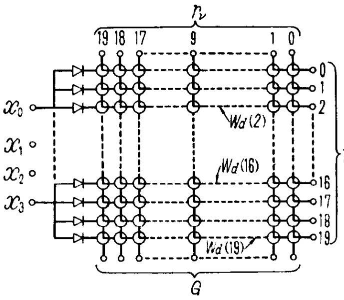
ここで L_d, C_d は駆動巻線 w_d のもつインダクタンスと浮遊容量である．トロイダル状の磁心を用い各巻線を密に結合せしめたから，駆動電流と読出電流の位相差 τ_c は比較的小さい．駆動電圧を加えてから読出端子に出力が得られるまでに必要な時間の最大値 $\tau_{\max}$ は

$$\tau_{\max} = \tau_r(m-1) + \tau_d(n-1) + \tau_c \quad \cdots\cdots(6)$$

巻線のもつインダクタンスと浮遊容量が遅延時間を定めるが，両者は主としてその巻線の巻数にしたがって増加する．しかし読出巻線の巻数をあまり少なくすればば，そのインピーダンス $Z(w_r)$ は負荷抵抗 R_L に比し小となり，回路は著しく整合を欠き，大きな出力電圧 $e(r_\nu)$ を得ることができない．磁心に施した1回

の巻線の呈する等価抵抗は，第1表より 3 Ω となるから，出力端子の負荷抵抗を 600 Ω と仮定して (4) 式から読出巻線の巻数を定めると $N(w_r)=3.3$ を得る．ここでは $N(w_r)\to 3$ と定めよう．駆動電流の遅延を少なくするために，駆動巻線の巻数を1回とする．磁心の Q を考慮し，$e(w_r)=0.5\,\mathrm{V}$，$n=20$とすれば

駆動電流は $$i_d=\frac{qe(w_r)}{N(w_r)Z_0}=\frac{q\times 500}{3.3}=55\cdot q(\mathrm{mA}) \quad \cdots\cdots(7)$$



第5図 磁心マトリックス

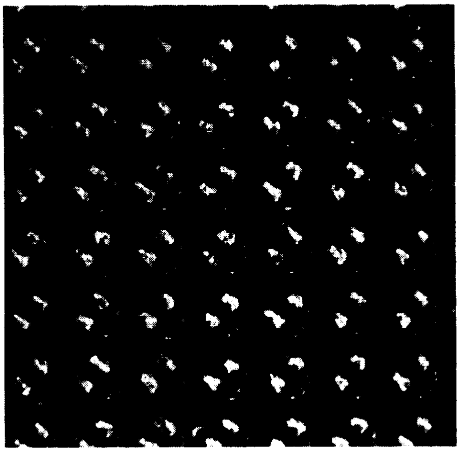
駆動電圧は $$e(w_d)=nidZ_0=3.3\cdot q(\mathrm{V}) \quad \cdots\cdots(8)$$

$$q=\frac{Q+1}{Q}$$

ここで Q は使用するパルスに対する値でなければならないが第1表の点周波数 5 M_c における値 (1.9) を近似的に用いるならば q は1.53になる．

第5図に $n=m=20$ の磁心マトリックスを示す．

$x_\alpha(\alpha=0, 1, 2, 3)$，$y_\beta(\beta=0.1\cdots19)$はデコーダから加えられる選択入力端子である．$x_\alpha$（常時負電位）に正パルス入力，$y_\beta$（常時接地電位）に負パルス入力を同時に加えれば，$x_\alpha$ と y_β を結合する連結駆動巻線 w_d (α, β) にパルス電流が流れ，$w_d(\alpha, \beta)$ と鎖交する各磁心の状態に応じて誘起するパルス出力は上端の各出力端子 r_ν に伝送される．下端 G は各連結読出巻線



第6図 磁心マトリックス板（実物大）

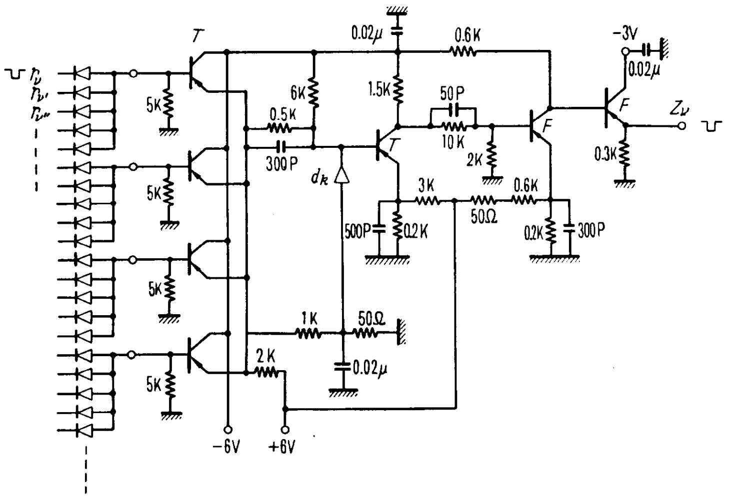
第2表 遅延時間の算定

Cd	Ld	$\frac{\tau d}{(m-1)}$	Cr	Lr	$\frac{\tau r}{(n-1)}$
0.35 pF	70 nh	3.0 n sec	0.50 pF	637 nh	10.7 n sec

の接地端子である．第5図の実装図を**第6図**に示す．磁心をベーク板にはめ込み，ハトメで短絡端子を作った．短絡には一応リード線でハンダづけする方法を用いた．駆動巻線，読出巻線のもつ浮遊容量 C_d，C_r の実測値，インダクタンス L_d，L_r の 5 Mc における値，これらの値を (1)，(5) 式に代入して得られる遅延時間を**第2表**に示す．

3・2 読出回路

第3図から明らかなように読出巻線の出力電圧 $e(w_r)$ が出力端子 r_ν に到達するまでには語数 μ に比例した遅延効果を受けるので，高速度読出のため



第7図 読 出 回 路

には1本の連結読出巻線に結合し得る磁心数は1語(20～40)程度に留めねばならぬ．したがって記憶容量を増すには多入力の OR ゲートを出力端子に結合させ，他の同様なマトリックス板の同一の桁に対応した出力群の論理和を求めるようにしなければならぬ．すなわち各マトリックス板の ν 桁目の出力端子 r_ν, r_ν', r_ν''……を入力端子とした OR ゲートとその増幅回路を作り，その出力端子 z_ν に ν 桁目の読出出力を得るようにするのである．

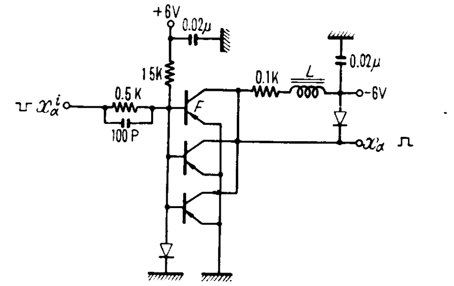
OR ゲートと増幅回路からなる読出回路を**第7図**に示す．5個の入力に対してエミッタホロヒーを1個ずつ挿入してある．入力数を増すと入力インピーダンスが低くなり所望の利得が得られなくなるが，各入力端子にエミッタホロワーを挿入するのは不経済である．マトリックスの出力で直接ダイオードのゲートを安定に駆動するためには，入力電圧は0.5V以上であることが望ましい．この回路の r_ν 点から見た入力インピーダンスは 2kΩ，10pF で，0.5V 以上のパルス入力（パルス幅 50 n sec）を加えれば，3V，150Ω の出力を得ることができる．外部回路との信号伝送路のインピーダンスは使用する線路の特性により 300Ω とした．OR ゲートの可能な最大入力数を N とすれば最大 $n \cdot m \cdot N$ ビットの固定記憶回路が構成できる．

3・3　選択回路

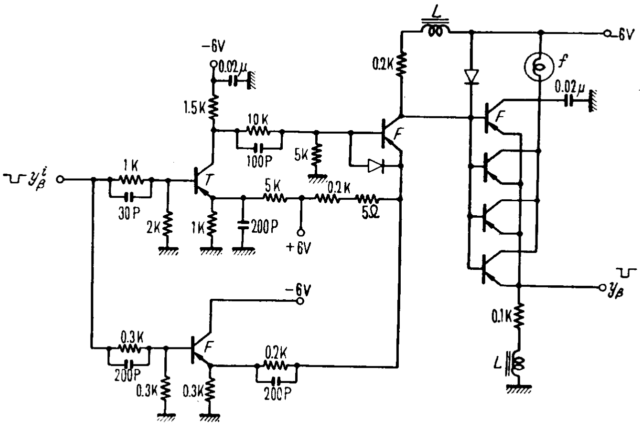
語選択方式を用いる．1枚のマトリック板では連結駆動巻線の左端をダイオードを経て共通の選択端子 x_α へ，右端を別々の選択端子 y_β へ接続する．他のマトリックス板では連結駆動巻線の左端をダイオードを経て共通の選択端子 x_α' へ，右端を別々の選択端子 y_β へ接続する．すなわち x_α はマトリックス板の選択を，y_β はマトリックス板内の選択を行なう端子である．x_α へ正パルス入力，y_β へ負パルス入力を加えれば α 番目のマトリックス板の β 番目の語が選択され駆動入力が連結駆動巻線 $W_d(\alpha, \beta)$ へ加えられる．x_α，y_β へパルス出力を供給する x および y 選択回路を**第8図**に示す．番地指定レジスタの出力はデコーダで解読され，その出力は 300Ω の伝送路を介して振幅（0～−3V），パルス幅 50 n sec のパルス信号として入力端子 x_α^i，y_β^i へそれぞれ加えられる．x，y 選択回路は約 100 mA，6V のパルス出力を供給することができる．

選択回路は信号入力の増幅時間が短く定電流特性をもつことが望しい．選択駆動された連結駆動巻線と $W_d(\alpha, \beta)$ と鎖交するほとんどすべての磁心の状態が H_s ならば，$W_d(\alpha, \beta)$ のもつインピーダンスは極めて小さく，一方ほとんどすべての磁心の状態が H_0 ならば，そのインピーダンスは大になるが，いずれの場合にも駆動電流は一定であることが望ましいからである．したがって y 駆動回路にエミッタホロワー接続を用いることは不適当である．しかし NPN 形トランジスタはいまだ高価なるゆえ使用することをさけ，定電流特性を x 駆動回路にのみ依存せしめることにした．駆動電流が増大すれば前項の読出回路の特性上，Z_ν に得られるパルス幅は増大する傾向がある．第7図のダイオード d_k は出力パルス幅の変動を抑えるために入力レベルを一定ならしめる機能をもつ．

電源レベルを一定ならしめるために，20,000 pF の



第8図　(a)　x 選択回路



第8図　(b)　y 選択回路

マイラーコンデンサを用いた．各所に用いたインダクタンス L(5～10 μh) はパルスに対し高抵抗を呈するからトランジスタの供給し得る電力をほとんど負荷にのみ伝送し，必要なトランジスタの数を減少せしめうる．また波形の立上り立下り特性を改善し，トランジスタの蓄積効果を補償する上にも極めて有効である．y 選択回路に用いた f はタングステンを真空封じした特殊ヒューズで 50 mA 以上の電流が流れると溶断する．したがって出力端子を誤って短絡したような場合には f が切れて選択回路のトランジスタが焼損するのを防ぐ．また 30 mA 以上の電流が流れると著しく抵抗値を増すから回路に定電流特性を与えることにも多少役立つ．

第7図，第8図の回路に用いたトランジスタとダイオードは

T: 溶融拡散形 hfe=3(50 Mc) Pc≒80 mW

F: マイクロアロイ形 f_α=80 Mc Pc=50 mW

ダイオード: 高伝導特性のゴールドボンド形

4. 実 験

第5図，第6図に示した磁心マトリックス ($n=m$ =20) を1枚作製し，各巻線の巻数と線種を第3表

第3表 巻線の種類と巻数

巻 線	線 種	回数
駆動巻線 (Wd)	0.2 mm ポリウレタン線	1
読出巻線 (Wr)	0.2 mm ポリウレタン線	3
短絡巻線 (Ws)	0.4 mm ポリウレタン線	1

のように選んだ．第7図に示した読出回路を2個，第8図に示した選択回路を4個ずつ作って実験した．マトリックス板は1枚であるが，駆動巻線の左端を4個の x 端子へ配分結合することにより，4枚のマトリックス板の選択駆動を模擬的に試みた．また読出回路の OR ゲートの機能を調べるために，他のプリント板の出力端子が結合すべきダイオード群の左端 (r_ν', r''……) を接地し，r_ν のみに入力を加えるようにして実際よりも悪い条件で実験を行った．

動作条件

繰返し周波数	5 Mc
パルス幅	約 50 n sec
x, y 選択回路の入力パルス電圧	−3 V
x, y 選択回路の入力インピーダンス	300 Ω と 50 pH の並列インピーダンス
読出回路の出力パルス電圧	−3 V
読出回路の出力インピーダンス	300 Ω
駆動電流	80～120 mA

実 験 (a)

入力端子 y_{16}^i, y_{19}^i へ交互にパルス入力を加え．(2.5 Mc の繰返し周波数で，互いに π の位相差をもつ)，入力端子 x_3^i へ連続にパルス入力を加える (5 Mc の繰返し周波数で，y_{16}^i, y_{19}^i へのパルス入力に同期している)．このようにして連結駆動巻線 $W_d(\beta)$ の中で $W_d(16)$, $W_d(19)$ を交互に駆動する．$W_d(16)$, $W_d(19)$ と鎖交する磁心の状態をほとんどすべて H_0 にする．

実 験 (b)

実験 (a) と同様な意味で入力端子 x_0^i, x_3^i へ交互にパルス入力を加え，入力端子 y_2^i, y_{19}^i へ連続にパルス入力を加える．このようにして連結駆動巻線 $W_d(2)$, $W_d(19)$ を交互に選択駆動する．$W_d(2)$ と鎖交する磁心の状態をほとんどすべて H_s にし，$W_d(19)$ と鎖交する磁心の状態をほとんどすべて H_0 にした．

第4表 固定記憶装置の特性

測 定 事 項	測 定 値	対照波形 (第9図)
x 駆動回路による遅延時間	10 n sec	
y 駆動回路による遅延時間	20 〃	(b-5)
駆動入力電圧と $e(w_r)$ 間の遅延時間	8～10 〃	(b-6)
$e\{w_r(\mu, 0)\}$ と $e\{w_r(\mu, 19)\}$ 間の遅延時間 〔$\tau d(n-1)$〕	2 〃	(b-9)
$e\{w_r(19, \nu)\}$ と $e(r\nu)$間の遅延時間 〔$\tau r(m-1)$〕	8 〃	(b-7)
$e(r\nu)$ と $e(Z\nu)$ 間の遅延時間	20 〃	
$e(y_t)$ と $e(Z\nu)$ 間の遅延時間	50～60 〃	(a-3)
20 個の磁心が H_0 のとき $e(w_r)$ の振幅	0.6 V	(b-7)
〃 $e(Z\nu)$のパルス幅	35 n sec	(b-3)
19 個の磁心が H_s のとき $e(w_r)$ の振幅	0.9 V	
〃 $e(Z\nu)$ のパルス幅	55 n sec	(b-4)
x 駆動回路の出力パルス幅	40 n sec	(a-2)
y 駆動回路の出力パルス幅	60～70 n sec	(a-2)
$e(w_r)$ のパルス幅	40 n sec	(b-7)

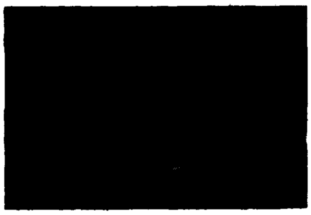
$e\{w_r(\mu, \nu)\}$ は μ 番目の語の ν 桁目の磁心の出力電圧

この2種の実験を行って得られた各部の観測波形を第9図に示す．観測波形から得られる結果を要約すれば第4表のようになる．遅延時間は各波形の振幅中央

実　験（a）

(a−1)

$e(y_{19})$ $e(x_8)$ 5 V, 100 n sec/div



(a−2)

$e(y_{19})$ $e(x_8)$ 2 V, 20 n sec

(a−3)

$e(y_{16}{}^{i})$ $e(Z_9)$ 2 V, 20 n sec
$\{u(16, 9)=1\}$

実　験（b）

(b-1)

$e(y_{19})$ 5 V $e(z_9)$ 2 V 100 n sec
$\{u(19, 9)=1, u(2, 9)=0\}$

(b−2)

$e(y_{19})$ 5 V $e(z_{19})$ 2 V 100 n sec
$\{u(19, 19)=u(2, 19)=1\}$

(b-3)

$e(y_{19})$ $e(z_{19})$ 2 V 20 n sec
{$u(19, 19)=1$ に対応する出力}

(b-4)

$e(y_{19})$ $e(Z_{19})$ 20 V 20 n sec
{$u(2, 19)$ に対応する出力}

(b-5)

$e(y_{19}{}^{i})$ 1 V $e(y_{19})$ 2 V 20 n sec

(b-6)

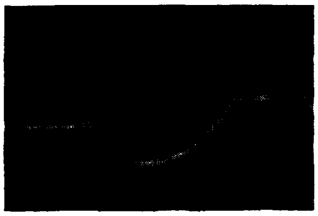
$e(y_{19})$ 2 V $e\{Wr(2, 9)\}$ 0.5 V 20 n sec

(b-7)

$e\{w_r(19, 9)\}$ $e(r_9)$ 0.5 V 20 n sec
{$u(19, 9)=1$ に対応する出力}

(b-8)

$e\{Wr(19, 9)\}$ $e(r_9)$ 0.5V20 n sec
$\{u(19, 9)=0\}$



(b-9)

$e\{w_r(19, 0)\}$ $e\{w_r(19, 19)\}$ 0.5 V 20 n sec
$\{u(19,0)=u(19, 19)=1\}$

第9図　観　測　波　形

備　考　$l(k)$: k 端子の電圧波形，$u(\mu, \nu)$: μ 番地 ν 桁目の磁心の状態
$e\{w_r(\mu, \nu)\}$: μ 番地 ν 桁目の磁心の読出巻線の出力電圧
上の記号は上部または前部の波形に，下の記号は下部または後部の波形に対応する．電圧時間は1区劃の単位である

値の時間差である．連結駆動巻線や連結読出巻線による遅延時間は第2表の計算値にほぼ一致しており，§3の仮定が妥当であることを示す．第9図（b—7）から $e(w_r)$ がその最大値に達したとき $e(r_9)$ は最大振幅のほぼ1/2になっているが，これは(3)式の条件に等しい．

連結駆動巻線に抵抗をそう入してパルス幅 50 n sec の入力を加え，磁心の状態に対応して連結駆動巻線の呈する等価抵抗を測定した結果

$$\begin{cases} \text{20 個の磁心の状態を } H_0 \text{ としたとき} & 60\rightarrow 25\,\Omega \\ \text{20 個の磁心の状態を } H_s \text{ としたとき} & 25\rightarrow 0\,\Omega \end{cases}$$

1本の駆動巻線 w_r のもつ抵抗は上の値の 1/20 である．抵抗値の漸減は誘導性インピーダンスであることを示す．磁心の状態が H_s のときは磁心を除いたときの駆動巻線自身のもつインダクタンス（400 nh）と，駆動巻線と短絡巻線間の漏えいインダクタンスによるインピーダンスである．第9図（a-2）より20個の磁心の状態を H_0 としたときの駆動電圧はダイオードの電圧を除けば約 3.5 V である．駆動電流は出力電圧 $e(w_r)$ の値より，実験的に

$$\begin{cases} \text{20 個の磁心の状態を } H_0 \text{ としたとき} & id=80\text{ mA} \\ \text{19 個の磁心の状態を } H_s \text{ としたとき} & id=120\text{ mA} \end{cases}$$

なることが確認される．一方（7）式，（8）式に第1表の5 Mc の Q の値を代入すれば，駆動電流 84 mA，駆動電圧 5.0 V となる．19個の磁心がすべて H_s のときの駆動電流は20個の磁心がすべて H_0 のときの駆動電流の1.5倍である．$e(w_r)$ のパルス幅の変動はこの駆動電流の変化によって起る．

短絡端子を直接リード線でハンダづけしたときを短絡（H_s），リード線を除去したときを開放（H_0）としたが，これと同等の効果を抵抗 R_s またはコンデンサ C_s で実現すると

$$\begin{cases} R_s=1/4\,\Omega \text{ または } C_s=40{,}000\text{ pF で短絡と同等} \\ R_s=10\,\Omega \text{ または } C_s=1{,}000\text{ pF で開放と同等} \end{cases}$$

の特性が得られた．短絡または開放の操作をハンダで行なうことはやや煩雑であるから，ここに導電性塗料の利用が考えられる．すなわちプリント板上に印刷配線した 1 mm 幅の線に 0.2～0.3 mm 程度のギャップを切る．このギャップ間の容量は 1 pF 以下となりここに導電性塗料を塗れば 10 mΩ の低抵抗値が容易に得られる．開放にするには溶剤により洗い落せばよく，至極簡単な状態変更が可能である．

第9図（b-8）より H_s のとき読出巻線の出力 $e(w_r)$ は極めて少なく 100 mV 以下であるが，出力端子電圧 $e(r_9)$ は 250 mV に増大する．これは連結読出巻線上に磁心を介して生ずる誘導性雑音に主としてもとづく．接地電位の変動も雑音となるから連結読出巻線の接地側（第6図 G）を独立に読出回路に結合しなければならぬ．誘導性雑音は読出巻線のインピーダンスに比例して増大するから，読出巻線の巻数を増せば出力電圧と共に雑音電圧も増大する．なお読出巻線を直接短絡した場合の雑音電圧 $e(w_r)$ と，短絡巻線を短絡した場合の $e(w_r)$ の差異はほとんど認められず，短絡巻線の短絡効果はかなり完全である．

5. 結 言

トロイダル状の小形フェライト磁心を用いた固定記憶板を作って，その動作特性の解析と実験を行い，比較的小さい駆動電流（80 mA），短い読出時間（10 n sec），簡単な記憶情報の変更など，いくつかの特徴が明らかになった．20×20 ビッドの磁心マトリックスを 10×10 cm のプリント板上に編むことも可能で，割合小形にし得る見込みである．しかし数百，数千語に及ぶ記憶容量に拡張したとき，選択回路に負荷される容量や，増大する雑音レベルに対する対策など，未解決の問題も多い．なお駆動電流の増大を多少許し得るならば，棒状磁心を用い，プリント板上に駆動巻線，短絡輪を印刷配線した固定記憶板も実現し得るであろう．この種の回路についても検討を試みたいと考えている．

終りに磁心マトリックスの製作に尽力された箕輪和男氏，並びに実験に協力して頂いた椎名顕甲氏に深謝の意を表したい．

参 考 文 献

1) 大和：メタルカードメモリ装置，電子計算機専委資（1961，5）
2) 高橋，渡辺：固定記憶装置，情報処理全国大会，昭 35
3) 桑原，他：コアを用いた永久記憶装置，電気四学会連合大会，昭 36

（昭和36年8月9日受付）