

文 献 紹 介

109. 連立常微分方程式の解法に対する予測子修正子法の拡張

C.V.D. Forrington ; Extensions of the Predictor-corrector Method for the Solution of Systems of Ordinary Differential Equations, [Computer Journal, 4, 1961, pp. 80~84]

時定数の非常に違った連立常微分方程式の数値解法に対して、拡張した予測子を用いて処理する方法を示している。 $dy/dx=f(x,y,z)$, $dz/dx=g(x,y,z)$ で y の積分は h のきざみ幅で十分な精度が得られるが、 z は h/m (m : 整数) なる細かいきざみ幅でないとう十分な精度が得られないような場合、 x_n 点と x_n+h 点の間で、 y の値を拡張した予測子公式で出した予測値のみを用いて z の値は h/m のきざみ幅で通常の子修正子法を行う。 m 回くりかえして x_n+h では y の値を通常どおり修正する。 それに関する $O(h^5)$ の精度の公式を示している。 中間で y の値を予測値のみですますためには、 h を通常の場合より小さくとして精度を確保する必要がある。 しかし、この方法は時定数の大きく違う系には有効と思われる。

なお、その他予測子修正子をさらに一般化し、きざみ幅の異なるものに対する公式を与えている。 従来の予測子修正子法では、 h が一定であって変更しにくかったが、これは一つの解決策になろう。 しかし、各ステップで公式の係数を計算することは厄介である。 むしろ、最適なきざみ幅で積分をすすめるためには $h/2$ にするか $2h$ にするくらいですました方がよいと思われる。

Mercury Computer で実験して有効であるとのこと。 実例もあげてある。

(高田 勝)

110. 粘性流体の運動方程式の安定性解析および積分

L. Filler and H.F. Ludloff: Stability Analysis and Integration of the Viscous Equation of Motion [Mathematics of Computation, 15, 75, 1961, pp.

261~274]

粘性、圧縮性、熱伝導を考えた流体の運動方程式は

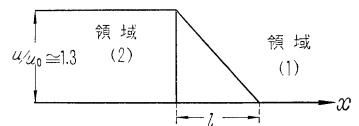
$$\begin{aligned} \rho_t + M_x &= 0, \quad M_t + R_x = 0, \quad E_t + T_x = 0, \\ R &= (\gamma - 1)E + ((3 - \gamma)/2)(M^2 - \rho) - (4\mu)/3 \\ &\quad (M/\rho)_x, \\ T &= (\gamma ME/\rho) - ((\gamma - 1)/2)(M^3/\rho^2) \\ &\quad - (4/3 - \gamma/\sigma)(\mu M/\rho)(M/\rho)_x \\ &\quad - \gamma/\sigma \mu \cdot (E/\rho)_x \end{aligned}$$

ここに ρ , M , E , はそれぞれ密度, mass flow, 全エネルギー $\gamma(=7/5)$ は気体の比熱, μ は粘性係数, σ はプラントル数 ($=3/4$) である。 この非線型の連立偏微分方程式の初期値問題を、前進型の差分近似で解くときの安定性、反復型で解くときの収束条件等を、von Neumannの行ったやり方で吟味している。 von Neumann の吟味法は、誤差のスペクトルを $\epsilon_0 e^{at} e^{i\beta x}$ として、それを差分方程式に入れてその振幅が拡大されるか否かを調べる。

前進型の場合に対しては適当に係数を線型化してその安定条件を調べ、 $(\Delta t/\Delta x) \leq (u + a + 2(\gamma\nu)/(\sigma\Delta x))$ を出している。ここに $u = M/\rho$ (文中に説明がない)、 $\nu = \mu/\rho$, $a = \gamma(\gamma - 1)[E/\rho - (1/2)u^2]$, である。

反復型では、 μ を一定として解き、その解法の手順を概略示している。この場合は式の形からはじめに M, ρ について小ループとして反復して解き、次に E を出してまた M, ρ を反復で出す。これを大ループとして解く (E は tridiagonal 形式になり直ちに出せる)。 $\Delta t/\Delta x$ の比は任意だが、反復のときの M の修正係数のとりかたに制限がある。

計算例として衝撃波の変化を出している。結果の物理的な説明が図を示して行われている。実際に用いた例では $\nu/\Delta x = 1$, $\Delta t/\Delta x = 0.155$ (粘性のある場合),



$\Delta t/\Delta x = 0.366$ (理想気体) を前進型に用いている。

また反復型では $\Delta t/\Delta x = 1$ ととり、各時間ごとに

大ループ9回で収束したと述べている。 $4x$ は、最初与える衝撃波の波形(上図)の傾斜部分 l を32等分して計算する。衝撃波の形が着着くのは反復型に対して $t=0.66$ 、前進型に対して $t=0.67$ であるが、そこまで、それぞれの時間ステップは21および140である。使用機械はIBM-650であるが、両者の時間的比較、精度の比較がなされていないのが残念である。しかしこの種の非線型問題を扱うのに参考にはなる。(高田 勝)

111. 48 ビットの疑似乱数発生ルーチン

H. G. Kuehn: A 48-Bit Pseudo-Random Number Generator [A.C.M., vol. 4, No. 8, 1961, P. 350]

次に述べる発生ルーチンで作られた疑似乱数が、モンテカルロプログラムに使うのにふさわしいかどうかを、統計的に検定した結果の報告である。

発生ルーチンとしては A. Rotenberg の提唱する次式を用いた。すなわち

$$\begin{aligned} x_{i+1} &= (2^9 + 1)x_i + c \\ c &= 29,741,096,258,473 \\ x_0 &= 762,939,453,125. \end{aligned}$$

ここで、 c は相続く数相互間の相関係数を小さくするように

$$\left(0.5 - \frac{\sqrt{3}}{6}\right) 2^{47}$$

と選んであるが、R.R.Coveyouは、相続く10個の数の相関は無視できることを示した。

こうして作られた1万個の数からなる標本50個について、 χ^2 検定をしてみると、有意水準は26%であることがわかった。

次に、全48ビットのうち、6~15、8~14、32~38ビットの部分を取りだして、整数とみてその分布を調べている。

自由度を n とすると

$$t = \sqrt{2x^2} - \sqrt{2n-1}$$

の値で、その正規性をみると、どの標本も全ビットでは

$$-5 < t < -4$$

となり、いわゆる乱数に比べるとやや一様性がある。

部分ビットについて、全標本の t 値は、次のようになり、32~38ビットの部分は他の部分に比べ、でたらめさが劣る。しかし、前述の有意水準をそこなわない。

6~15 ビット	-0.5439
8~14 ビット	0.1619
32~38 ビット	-14.1191

32~38ビットの部分は詳しく調べると、5と9の周期があり、この点を無視して使うと、モンテカルロ法による計算の結果に影響を与えるということに、注意しなければならない。(川合英俊)

112. デジタル計算機におけるプログラムの遂行状態を監視する応用性に富む安価な方法について

Frank F. Tsui: A Flexible and Inexpensive Method of Monitoring Program Execution in a Digital Computer [IRE Trans., EC-10 No. 2 June 1961, P. 253~259]

本論文では PERM 計算機 (Munich Technische Hochschule Computer) について試みられたフローチャートと関連づけてプログラムの進行状況を監視する応用の広い安価な方法について述べられている。

この方法は主プログラムを書き換えるためのサブルーチンと主記憶装置の一部を使用する作業用レジスタ、ネオン表示灯を64個配列したパネルおよびネオンランプを選択するための論理回路からなる。主記憶装置内には64個の特定のレジスタがあり、その中のいずれかに、制御が移されるとそれに対応するランプが点灯するようになっている。プログラマーはまず半透明な紙に64個以内のブロックからなるフローチャートを書きパネル上に乗せる。わくで囲まれた各ブロックにひとつずつランプが対応する。それから各ブロックについてそれを代表する命令(番地変更を受けないものに限る)を選び、その番地(絶対または相対、記号番地)とブロックに対応するランプの番号で表を作ってプログラムと一緒に計算機に入れる。次に書き換えサブルーチンが動作して前記の表を参照して主プログラムを書き換える。たとえば i 番目のブロックを代表する命令が m_i 番地にあり、点灯させたいランプの番号が n_i とすると、 m_i 番地の内容は $2n_i$ 番地に移され m_i 番地には $2n_i$ 番地への無条件飛越命令がおかれ、 $(2n_i+1)$ 番地には (m_i+1) 番地への無条件飛越命令がおかれる。

プログラムを実行するとき $2n_i$ 番地に飛越すと、この部分が前記のランプに関連づけられたレジスタであるから、フローチャート上の i 番目のブロックの下

のランプが点灯する。書き換える前の元のプログラムに比べて飛越命令が2個増えただけであるから、監視するための時間は極めて短かく能率的に実時間監視ができる。また付加装置としてはパネルと命令計数器とを連結する簡単な論理回路のみであるから安価である。

この方法によれば、ALGOLのような自動プログラムを使った場合でもプログラムの監視が可能であるし、監視の他にもいろいろな用途が考えられる。

(木村 健)

113. 論理図を計算機で簡単化する系統的な方法

F.A. Rocket: A Systematic Method for Computer Simplification of Logic Diagrams. [IRE International Convention Record. Part 2, 1961, P. 271]

計算機を設計するとき自分のためにも、他人のためにもそれを図示しなければならぬが、論理的なブロックの一つ一つを、1枚1枚のカードに書くという普通用いられている方法は、わずらわしくて便利ではない。そこで、機械の機能のうち、論理的な部分の道筋だけを一目で見られるような図(第2レベルの図という)を作るとよい。

まず、最初に起ったことから、左から右に並べ、途中のブロックは次のブロックへ、一時止めるとか、全く止めるとか、再び動かすとかの作用をするから、線で結ぶことにする。こうして、論理的に関係のある命令群は、ブロックが互いに結ばれて、一つの図に示される。これを自動的に書こうというのである。

第2レベルの図を作る指導的な概念は、レベルと呼ばれるもので、情報が通過するブロックに、順に番号を付したものである。その出力にも同じレベル番号をつけるとすれば、ブロックのレベル番号は、その入力のレベル番号のうち最大なものにさらに1を加えたものになる。このとき、帰還された入力、数えなくてよいことが、二、三の例で説明されている。

また、論理的に関係のない系統の入力が、ブロックに入っているときは、その別系統のブロックのレベルにマイナス符号を付して、自動的に省略させる。ただし別系統の入力があるということは、その位置とともに図に示しておく。ブロックにも、その位置が記入されることはいうまでもない。

反転回路は、AND や OR のような論理作用をしていないとみなし、ブロックを省略する。そして線や

残ったブロックに、正負の符号をつけておく。もちろん、入力線の符号とブロックの符号は一致する。

物理量の変換、たとえば光量から電流などは、疑似ブロックと称してレベルは数えない。

最後に、テープアダプターの第2レベルの図の実例が示されている。

(川合英俊)

114. 高速並列演算のための桁毎符号付数値表現法

A. Avizienis: Signed digit number representations for fast parallel arithmetic [IRE. Trans. EC-10 No. 3 Sept. 1961, pp. 389~400]

桁上げを伝播させないために、従来ある加算で起った桁上げを直ちに加えず、次の加算まで保持しておく方式が提案されたが、本文の方法はその改善、拡張である。 r 進法の数字を Z とすると

$$X = \sum_{i=-n}^{i=m} x_i r^{-i} \quad (x_i = 0, 1, 2, \dots, r-1)$$

である。これに対し、 x_i から

$$x_i = r t_i - 1 + w_i$$

$$z_i = w_i + t_i$$

$$(|w_i| \leq r-2, t_i = -1, 0, 1)$$

なる z_i を求めると、 $(|z_i| \leq r-1)$

$$Z = \sum z_i \cdot r^{-i}$$

が桁毎符号付数値表現である。この表現を用いると、2数の加算を行なった場合には、桁上げは隣りの1桁だけに波及するだけでそれ以上先には及ばない。これを完全並列加算と呼ぶ。この表現法の特長は、桁上げを保持する場合と同様に、桁上げが次々に伝播せず高速加算ができることと、数値0に対する表現が一義的に定まることの2点である。 Z から X への表現は、数値を正の桁からなる部分と負の桁からなる部分の二つにわけ、普通の加算器で加えることによって得られる。

本文にはさらにこの表現法の細部を論じ、さらに加算、乗算、減算、割算を10進数値例により説明し、さらに加算器の論理設計についても述べた。(高島堅助)

115. 2進同期計算機での除算時間の短縮

R.G. Saltman: Reducing Computing Time for Synchronons Binary Division [IRE. Trans. EC-10, No. 2 June, 1961, pp. 169~174]

2進計算機の除算には、non-restoring方式が用いられることがしばしばある。この方法は、radixが2でなく一般の r であっても用いることができる。2進

計算機では、 $r=2^p$ ととれば、演算速度をほぼ p 倍にあげることができる。

radix r の時の non-restoring 除算の手順は、次のように書ける。 D を除数、 X_0 を被除数、 X_k を第 k 部分剰余、商を Q とする。

- 1) $X_k = rX_{k-1} - m_k D$, $\text{sgn } X_k = \text{sgn } D$
 $X_k = rX_{k-1} + m_k D$, $\text{sgn } X_k \neq \text{sgn } D$
 $-1 \leq X_k/D < 1$ $0 < D < 1$
 $-1 < X_k/D \leq 1$ $-1 < D > 0$

成立するよう m_k を 1 と r の間の奇数に定める。

- 2) 補助パラメータ a_k, b_k を
 $a_k = m_k - 1, b_k = 1, \text{sgn } X_{k-1} = \text{sgn } D$
 $a_k = r - m_k, b_k = 0, \text{sgn } X_{k-1} \neq \text{sgn } D$

を定める。

- 3) 商 Q は $q_0 = (r + b - 1) \text{ mod } r$
 $q_k = a_k + b_k \quad k=1, n-1$
 $q_n = a_n + 1$

特に $r=2^p$ のときには、

- 1) X_{k-1} と D の符号をしらべ一致すれば 2 a)へ、一致しなければ 2 b)へ
- 2a) $b_{k-1} = 1, X_k = 2^p X_{k-1} - m_k - m_k D$ で m_k が正の奇数、 $-|D| \leq X_k < |D|$ のように定める。
 $a_k = m_k - 1$
- 2b) $b_{k-1} = 0, X_k = 2^p X_{k-1} + m_k D$ で、 m_k を正の奇数 $-|D| \leq X_k < |D|$ のように定める。
 $a_k = 2^p - m_k - 1$
- 3) $k=1$ から n について (1)(2) をくり返す。
 b_0 を反転。 $a_n = 1$ とおく。

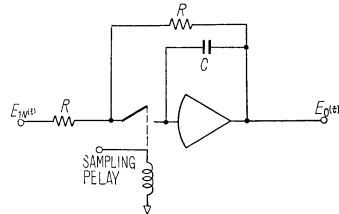
この方法を実際に機構化するブロック図の一例を示している。 D の 1 から $2^p - 1$ までの奇数倍を同時に発生する装置が余分に必要になる。(戸田 巖)

116. サンプルデータシミュレータの設計と構成

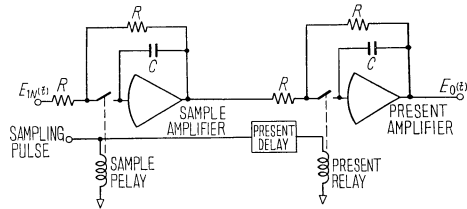
J.E. Reich, J.J. Perez: Design and Development of a Sampled-Data Simulator [Proc. W.J.C.C. Vol. 19, May 1961, pp. 341~351]

本文は STL (Space Technology Laboratories) で試作されたサンプル・データ系を解析するためのシミュレータについて述べたものである。サンプルデータ系のシミュレーションの方法としては、まずデジタル計算機の応用があるが、これは高価につく。アナログ計算機を応用するためには、サンプルされたデータをシミュレートするための階段状波形を作る必要が

ある。この一つの方法として、A-D 変換器で周期的に標本化された数値を再び D-A 変換器でアナログ電圧に変換する方法が考えられるが、これは比較的簡単な目的に余りにも高価複雑な装置を使用しなければならない。本文には、アナログの階段波入力を作る方法として、アナログ計算機の標準型の演算増幅器とパッチボードに接続される継電器との組み合わせによるものについて述べている。標本化回路として、図のように通常定数倍増幅器の出力と入力間に保持用コンデンサを入れ、入力側の継電器を標本化の時に閉じ、保持の場合には開く。継電器としては特に高速のもの



Sample-Hold Circuit



Sampled-Data Circuit

(1200 cps までの繰返しに充分動作する) を使用し、実際には標本化速度 100~0.05 cps の速度で動かす。実際には 2 チャンネルのものを試作し、動作させた。このシステムの終局的な形態は、12 チャンネルの標本化回路と、12 個の加算増幅器、20 個の係数用ポテンショメータとパッチボードを使うようになっている。その他、細部の設計について詳述してある。

(高島堅助)

117. 計算機に基づいた経営管理

A. J. Rowe: Computer-Based Management Control [Proc. W.J.C.C. Vol. 19, May 1961, pp. 587~592]

計算機に基づいた経営管理を行うには非常に広い知識を必要とするので、まだ充分採用されておらず、今日では手仕事を機械化したに過ぎぬような計算機の使い方をしていくところが多い。しかし、企業の規模が

広がり、変動要因が多くなると計算機に基づいた実時間の経営管理が必要である。

経営管理において計算機は実時間の決断資料を提供したり、新しい策のシミュレーション等に用いうる。経営管理は情報の収集とそれに基づく判断、修正命令とよりなる。判断の資料は過去の平均データではなく、その時の事情に基づくデータが必要で、早く手を打つことが望ましいから、計算機の迅速性が情報の収集過程に要求されるのである。

さて、組織の設計にあたっては、修正のための周期と精度を企業の性質に基づいて経済的になるように定めなければならない。また企業全体として系の応答を考慮すべき場合と部合的でよい場合など相互関係も見極めねばならぬ。

このように経営管理に計算機を導入すると、従来、上層部まで来る途中で歪んだ情報が正しく伝わり、また経営的判断が全体を見通して行なえる利点を有する。

まだ解決せねばならぬ問題は多々あるが、計算機による経営管理は現実の問題となってきた。

(伊吹公夫)

118. Hughes 航空会社における実時間経営管理

D.R. Pardee: Real-Time Management Control at the Hughes Aircraft Company [Proc. W.J.C.C. Vol. 19, May 1961, pp. 603~607]

従来のバッチ方式で事務処理をしたのでは情報が得られるまでの期間が長くなり、経営的判断決定が迅速に行なえないので Hughes 社ではこれを解決するために実時間方式を試みた。

実時間を実現するために計算システムには次のような点を改良した。

1. データの収集を自動的にを行い、正確かつ迅速で人件費が省ける。
2. 大容量即時接近記憶ファイルを用い、ソーティングの手数を省き、所望のレコードをすぐ出せるようにした。
3. リポート・ジェネレータなる一種の自動コーディングを作り、必要データを任意の形で取出すのにコーディングの手数を省いた。

なお、本文には完成品の在庫管理を行う実例がフローチャートを用いて説明しており、他社の例も記述している。

(伊吹公夫)

119. アメリカン・エアラインの SABRE 電子座席予約方式

W.N. Plugge, M.N. Pery: American Airlines' "SABRE" Electronic Reservations System [Proc. W.J.C.C. Vol. 19, May 1961, pp. 593~602]

アメリカン・エアラインの SABRE 電子座席予約方式を IBM と共同で開発した。この装置は座席予約販売業務、旅客情報の整理などを総合的に行なうもので、IBM 7090 を心臓部に持ち、中央処理装置、伝送交換網、各地の端末装置の3部よりなる。

増大するトラフィックの要求のために従来の単能機では間にあわなかったことと次のような利点を得るために開発した。すなわち、顧客に早く売れる予備座席が不必要となる。経営上のデータが得られる、などである。

さて中央処理装置の7090はそれぞれ32,000語のコアメモリを持ち、その他、720万字のドラムと5億字のディスク記憶を有する。ドラムには座席の情報、運行のスケジュール、1,100の各エージェント10万語に及ぶプログラムを記憶する。ディスクには旅客に関する情報とそれを扱うためのインデックス、並びにドラムの内容の複写を記憶している。プログラムの実行は実行ルーチンをコアメモリに取出して行なう。

交換網は Mulcoms と呼び中央処理装置の制御の下に少なくとも半秒に一度、最遠の交換器より待たせてあった情報を伝送する。

末端では予め情報を記入して用意したカード・ファイルを持ち、これに顧客からの情報を航空情報装置で追加して送る。この他、入出力タイプライタがある。

上記のシステムで次のような仕事をする。すなわち、座席予約、満員時に取消による予約、ダイヤ変更、予約より一定時までには払込みのない場合の自動取消し、旅客名の記憶、統計などである。統計は磁気テープを用いる。

さらに今後、料金計算や、最適ダイヤを組む問題、経営資料等のプログラムも開発していく予定である。

(伊吹公夫)

120. フィリップスの PASCAL 計算機

H. J. Heijn and J. C. Selman: The Philips Computer PASCAL [IRE. Trans. EC-10, No. 2 June, 1961, pp. 175~183]

PASCAL は2進並列の計算機で1語長42ビット、

繰り返しては 660 kc, 素子はトランジスタの科学計算用の機械である。演算は固定、浮動小数点両用である。

1 語に 2 命令を入れる命令対式で、演算部分が 6 ビット、インデックスレジスタを指定するのに 3 ビット、番地解釈ビットと呼ばれるものが 1 ビット、番地部分が 11 ビットである。2048 個の番地のうち 0~16 番地が制御卓と直結した初期命令などをセットするレジスタで、16~23 番地がインデックスレジスタ、24~31 番地は累算器と置商器、表示レジスタ、以下 2047 番地までの 2016 語が磁心記憶装置である。表示レジスタは操作卓上のスイッチの位置、入出力機器の空きふさがりを表示するレジスタで、これを利用すれば割り込み動作に似たことを行わせることができる。二次記憶装置は磁気ドラムと磁気テープが各 1 台つく。磁心とドラムまたはテープ相互間で計算を停止させることなしにデータを双方向同時に伝送できる。入出力機器は特記すべきものがない。

命令は 0~63 までの 64 種あるがリンク命令の他には別に変ったものはない。リンク命令は I と II の 2 種類あるが、I は通常のリンクと変りない。リンク II 命令とは 0~29 命令のうち番地解釈ビットに 1 を持つものをいう。これらの命令は本来の機能を失って 0~29 の番号を付けられた表に飛び越す飛越命令になる。表の左半分にはサブルーチンへの飛越命令がおかれてあり、リンク II 命令が選択した語の右半分にはそのリンク II 命令の次の命令への飛越命令が書き込まれる。同時にリンク II 命令の番地部分はインデックスレジスタ No.6 に移されるから、これをサブルーチンのパラメータに利用できる。このリンク II 命令は非常に用途の広い命令である。

30~63 命令で番地解釈ビットに 1 を打つものはその番地部分が記憶レジスタの番地を示すものではなく、番地部分そのものがオペランドであることを示すものである(側ソフト術数など)。(木村 健)

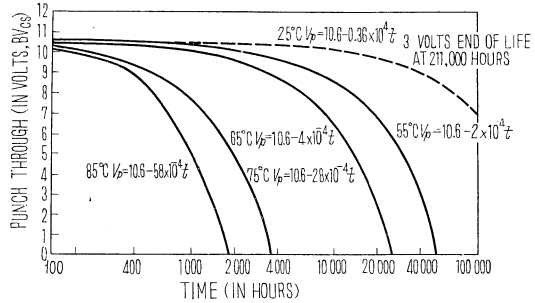
121. UNIVAC-LARC の最適回路設計

N. S. Prywes et al.: UNIVAC-LARC High Speed Circuitry: Case History in Circuit Optimization [IRE Trans. EC-10 No. 3, Sept. 1961, p. 426]

幾種もの回路、部品の中からどれを選ぶかは計算機回路設計の複雑な仕事である。回路を最適にするためには何を基準にとるべきであろうか。これらの点に関して本論文は UNIVAC-LARC の回路を例として述

べている。

回路の仕様は加算器におけるゲートの段数, fan-out の個数とダイオード数の関係から fan-out をとした。またゲート回路の直流解析から導通時コレクタ電圧を 0.3 V とし、コレクタ電源電圧は寿命と delay の関係から -3 V に定めている。



Punch-through voltage accelerated life test

特徴として基本回路を評価する式を示している。

$$M = \left(\frac{1}{TC} \right) \left(\frac{1}{Nt + Nd/3} \right)$$

ここに C: 部品価格 [ドル] T: 加算時間 [μ S] N_t : トランジスタ個数 N_d : ダイオード個数 M: メリットである。

トランジスタの寿命は高温、高湿、振動を加えて加速寿命試験を行い、温度と寿命の関係を UNIVAC-I を使って解析し、結果として 25°C において 20 万時間と推定した。

配線雑音は信号の洩漏が大きく、不整合によるものはそれよりずっと小さかった。大多数の線長は 9 インチより短い。その他 delay の最大と最小の条件を述べている。

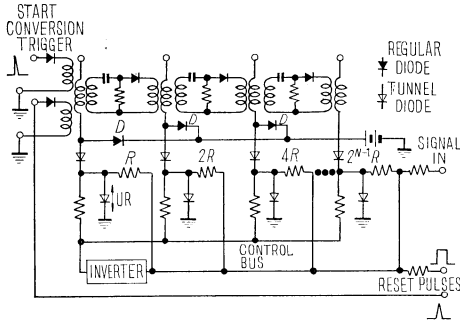
LARC はダイオード 9 万本、トランジスタ 2 万 7 千本、コンデンサ 3 万個を使用する。1956 年度までの UNIVAC の実状から平均無事故時間を計算機により推定した所 16 時間であった。実際の運転状況では 200 時間近くである。(加藤満左夫)

122. トンネルダイオードを用いた A-D 変換器

R. A. Kaenel: High-Speed Analog-to-Digital Converters Utilizing Tunnel Diodes [IRE Trans. EC-10, No. 2, June 1961, pp. 273~284]

トンネルダイオード対の動作と、このダイオード対を 2 進符号単位数に等しい N 個用い、かつ、それら

に振幅弁別と記憶の2作用をもたせるようにした逐次比較引算形 A-D 変換器の動作原理ならびに実験結果について述べる。第1図はこの変換器の基本回路であり、各单位ごとにインダクタンス負荷のトンネルダイオード対単一パルス発生回路を用いている。入力信



第1図

号は、各ダイオード対の中点に荷重抵抗を接続して構成された並列形局部復号器の出力と合成され、インバータを経て各ダイオード対の中点に結合抵抗を介して電流 I が中点から流出するように供給される。局部復号器の基準電圧源として U_R が用いられる。はじめ、各ダイオード対は下の素子が高電圧状態、上の素子が低電圧状態（状態0、この逆が状態1）になるように設定される。変換開始トリガが加わると、荷重抵抗 R が接続されている最優位の第1単位の下素子も低電圧状態となり、各ダイオード対の中点に加わる電流は $I_1 = I - k \cdot 2^{N-1}$ となる。そして、一定時間後に第1単位のダイオードが再生動作をするときに、 $I_1 > 0$ か $I_1 \leq 0$ かに応じて、このダイオード対は状態1か0となる。

そして、この回路の負荷インダクタンスに生じた出力パルスの後縁部が結合回路を経て第2単位回路に試験トリガとして加わる。ここでは、 $I_2 = I - k(R_1 \cdot 2^{N-1} + 2^{N-2})$ についての振幅弁別が行われる。 $(R_1$ は $I_1 > 0$ のとき1, $I_1 \leq 0$ のとき0)。以下同様の動作を第 N 単位回路まで順次行ってゆき、そのときの符号化出力は各单位のダイオード対に記憶されている状態を知らねばよい。リセットパルスで初期の状態に復帰する。

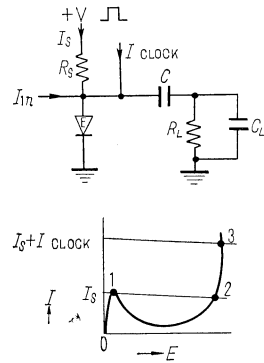
なお、二つの実際の回路とその実験結果が述べられている。Ge トランジスタ 2N559 と GaAs トンネルダイオード 1N651 とを用いた6単位 A-D 変換器の動作速度は $1 \mu s$ であり、これ以上の高速動作も可能である。

トンネルダイオードスイッチ回路に関する文献も多数のせてある。
(山岸金吾)

123. エサキダイオードの NOT-OR 論理回路

H.S. Yourke, S.A. Butler and W.G. Strohm; Esaki Diode NOT-OR Logic Circuits. [IRE. Trans. EC-10 No. 2, Jun. 1961, pp. 183~190]

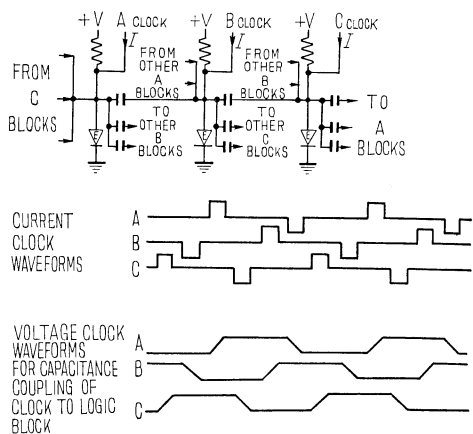
従来提案されているエサキダイオードの論理回路は素子、部品、供給電圧の許容偏差が極めて小さい。この論文で述べている論理回路は、この点で現実的なものである。第1図が、その基本回路で、動作は、まず



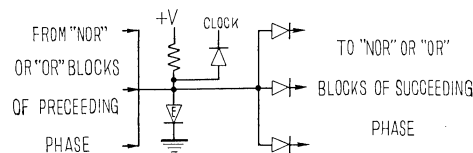
第1図 Circuit illustrating the basic technique.

$V-I$ 特性曲線上の1の状態にリセットしておき、クロックパルスによって2の状態にセットする。このとき C を通じて出力パルスが $R_L C_L$ に伝えられる。もしも、クロックパルスに先立って入力パルスが加えられていれば、これによって2の状態に移ってしまうので、クロックパルスで、セットした時、出力パルスは現われない。このように、この回路は、クロックを用いて、NOT-OR 論理を行うことができる。

この基本回路を用いて、論理回路を構成する場合、種々の変化が考えられる。有用なものの例が第2図に示されている。各段はコンデンサーで結合され、A, B, C の3相クロックを用い、図のタイミングで正のパルスでセット、負のパルスでリセットを行う。セットの時に、論理出力パルスが得られる。この場合、ある相の出力は、次の相にしか結合できないので、論理を完全にするために遅延回路が必要となる。この目的に用いた OR-DELAY 回路が、第3図に示されている。クロック回路に入っているダイオードは、クロック



第2図 Circuit and clocked source waveform illustrating a potentially economical technique for performing NOR logic.



第3図 A practical OR-DELAY circuit for use with the NOR circuit of Fig. 2.

によりリセットのみを行うためであり、出力回路のダイオードは、次段のリセットの影響を除くためのものである。

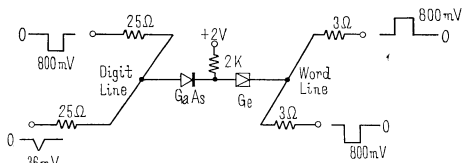
最悪条件での動作マージンについての解析の結果、許容偏差をおのおのコンデンサ $\pm 10\%$ 、エキサダイオードのピーク電流および直流電源電圧 $\pm 4\%$ とした時入力および出力の分岐数各 3 が得られている。動作速度の限界は、出力および入力分岐数の和を 6 して 1pF/mA のエキサダイオードを用いた場合、1 の遅延時間として、 9.3ns の値が算出されている。実験例としては、3 段の閉ループ回路（クロック 3 約 1.2Mc ）、ハーファダー（クロック 3 相、約 800c ）の構成、および各部の波形が示されており、さらに、段間の結合にダイオードを用いると、各段が分離されるので、動作速度を上げることができることが述べられている（山田正計）

124. トンネルダイオードとトンネル整流器の 15 ns 記憶装置

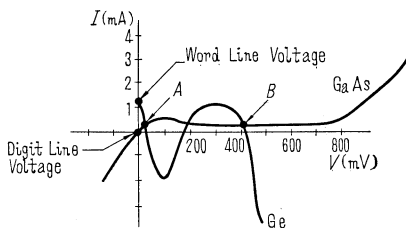
M. M. Kaufman: A Tunnel Diode-Tunnel

Rectifier, 15-nanosecond Memory [Wescon, 3/3 1961. Aug.]

15×10^{-9} 秒で読み出し書き込みのできる超高速記憶装置の方式と実験結果が述べてある。記憶素子は第 1 図に示すように Ge トンネルダイオード（極大電流



第 1 図



第 2 図

5 mA) と GaAs トンネル整流器およびバイアス抵抗からなっている。トンネル整流器は逆方向ダイオードとも呼ばれるもので、トンネルダイオードのトンネル効果による順方向電流が比較的少ないものである。定常状態における記憶素子の負荷特性を第 2 図に示す。記憶平面の構成はトンネルダイオードの一端を word line, トンネル整流器の一端を digit line とした語配列で、読み出しには word line に負のパルスを与えることにより破壊読み出しを行なうが、非破壊読み出しも可能である。書き込みは word line に正のパルスを与えると同時に digit line に負のパルスを与えることにより一致選択をする。

外部の駆動および読み出し回路も Ge または GaAs のトンネルダイオードで構成している。実験では 32×32 ビットを模擬した 9 語 3 ビットのものについて行ない、記憶素子は 12ns で動作した。駆動回路の繰返し周波数は 43Mc だが、 85Mc のものを研究中有である。記憶平面は 1 ビット 当り $1/10$ インチ平方で、各駆動線は伝送線路として設計されている。GaAs ダイオードの劣化は問題であるが、この点で好成績を示す試料も得られている。（石井 治）