

容量充電式の独立電源を伴う低消費電力オペアンプ動作に関する考察

森山 新平^{1,a)} 中武 繁寿^{1,b)}

概要：本研究では、容量充電式の独立電源を用いてアナログ回路を動作させる方式を提案し環境発電システムや医療用センサーシステムへの応用の可能性について考察する。本提案方式では、容量を充電した後、外部の電源と分離し、その容量の電荷のみを用いて回路を駆動させる。今回は、 nW クラスの低消費電力オペアンプ回路を題材として、 $1\mu F$ 容量の充電で動作させたシミュレーションの結果を紹介する。

キーワード：独立電源、環境発電システム、センサー IC、超低消費電力アナログ回路

1. はじめに

近年、センサー IC は様々な分野で利用されている。例えば、建造物における異常や損傷を早期発見するための自動診断にも利用されはじめている。農業の分野では土壌の水分・温度の測定にセンサー IC が使われ、医療の分野では心拍数や呼吸、脈波を測定するために用いられている。

このようなセンサー IC の開発では、長寿命化、低消費電力化、小型化が鍵となっている。また、特に最近では、低消費電力技術に加えて、身の回りにあるエネルギーを利用して発電する環境発電技術が注目されている。

しかし、センサー IC 普及のためには小型化・低コストの要求も大きく、発電のためのオーバーヘッド次第では、環境発電技術を用いたセンサー IC が必ずしも有効な解とは言えない場合もある。そのためオンチップ電源や MEMs を利用した発電技術も研究されている。

本研究では、現在発展途上にあるオンチップ発電技術と組み合わせることを前提として、独立電源によるアナログ回路の駆動システムを提案し、その可能性を検証する。

まず、この独立電源としては、比較的低コストに実現できる MIM 型オンチップ容量を用いた充電方式を導入する。 $1\mu F$ の容量を充電し、スイッチを介して仮想電源線へ電力を供給する。次に、駆動するアナログ回路としては、 nW クラスの CMOS リファレンス回路、及びオペアンプ回路を題材とする。いずれの回路もサブスレッショルド領域

で動作する MOS トランジスタを活用して nA の極小電流により回路を駆動する。また、両回路は仮想電源線に接続し、電力供給はすべて MIM 型オンチップ容量からのみ行われる。

本論文では、これらのアナログ回路の駆動システムを構築し、その駆動時間についてのシミュレーション結果を示し、オンチップ独立電源で動作させるためのアナログ回路の設計について考察する。

以下の論文の構成は次の通りである。第 2 章では本研究で扱う MIM 型オンチップ容量と超低消費電力アナログ回路について述べ、第 3 章では提案システムについて紹介する。第 4 章では題材としたオペアンプ回路の特性について述べ、第 5 章で容量充電方式による駆動時間シミュレーションの結果を報告し、第 6 章でまとめる。

2. 準備

本章では、提案システムを構成する要素回路について説明する。

2.1 MIM 型容量

本研究では、典型的なオンチップ容量である MIM 型の実装方法を採用している。図 1 に本研究で利用する MIM 型容量の断面図を示す。65nm 製造プロセスにおける MIM 型容量を用いた場合、面積密度は $1.0\mu m^2/fF$ となっている。従って、 $1.0\mu F$ の容量を実現する場合、 $10^9\mu m^2$ の面積、つまり $3.3cm \times 3.3cm$ のオンチップ容量が必要となる。オンチップとして、巨大な面積の容量となるが、より小さな容量での検証は今後の課題としている。

¹ 北九州市立大学大学院 国際環境工学研究科
Graduate School of Environmental Engineering,
The University of Kitakyushu

a) shimpei.moriyama@is.env.kitakyu-u.ac.jp

b) nakatake@kitakyu-u.ac.jp

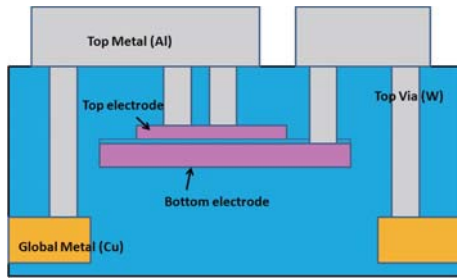


図 1 MIM 型容量の断面図

2.2 オペアンプ回路

容量に充電された限られた電荷でアナログ回路を駆動するためには、アナログ回路自体の低消費電力性が重要である。そのため、本研究では、論文 [1] で提案されている数十 nA クラスで駆動できるオペアンプ回路を題材としている。

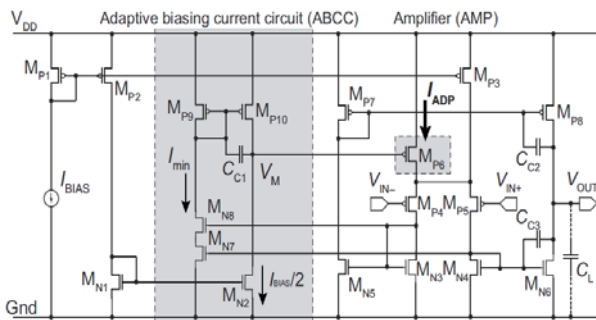


図 2 適応バイアス技術を用いたオペアンプ回路

論文 [1] で提案されているオペアンプの回路図を図 2 に示す。この回路は、2 段増幅オペアンプ回路と適応バイアス電流生成回路 (ABCC) からなる。ABCC 回路はフィードバックループを構成し、入力電圧に依存して動作する。 $V_{IN-} = V_{IN+}$ の場合、 $I_{ADP} = I_{BIAS}/2$ となるような V_M が決定される。一方、 $V_{IN-} \neq V_{IN+}$ の場合、 V_M の値が低下し、 I_{ADP} が増幅される。つまり、 $V_{IN-} \neq V_{IN+}$ の場合は、増幅された I_{ADP} がオペアンプに供給され、高速動作が可能となっている。

2.3 リファレンス回路

次に、オペアンプを利用される参照電流を生成するために、論文 [2] で紹介されている nA リファレンス回路を利用する。図 3 にこの回路の回路図を示す。

図 3 におけるサブ M1 ~ M3 はサブスレッショルド領域で動作し nA の電流を生成する。また、温度補償回路の M8、M9 のリーク電流のバランスさせるために M5 はカットオフ領域で動作させる工夫が施されている。論文 [2] では、 $I_{ref} = 2nA$ として提案されているが、今回題材としたオペアンプ回路に合わせ、 $50nA$ を供給できるように調整している。

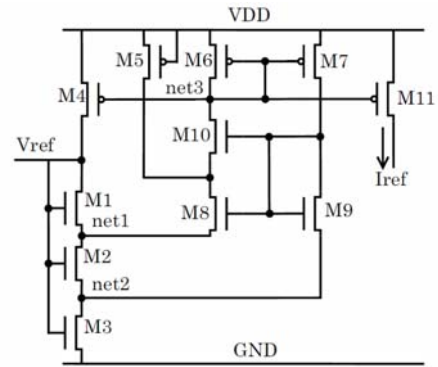


図 3 nA リファレンス回路

3. 提案システム

本章では、MIM 型オンチップ容量から電力供給を行い、アナログ回路を駆動するシステムを提案する。

提案システムの構成を図 4 に示す。システムは、容量 C、スイッチブロック、仮想電源線、アナログ回路 (回路ブロック) から構成される。容量 C へ充電する際には、 V_{ch} 側へスイッチを切り替え、充電が完了すると、仮想電源線側にスイッチを切り替え、溜まった電荷を回路ブロック側へ送る仕組みとなっている。

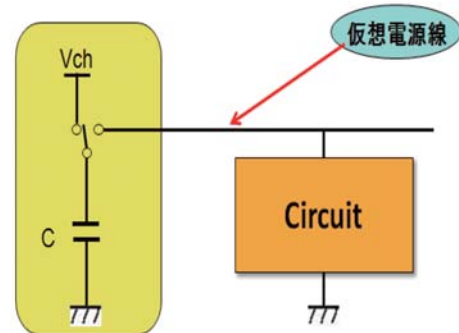


図 4 提案システムの構成

以下、スイッチブロックと回路ブロックの説明を行う。

3.1 スイッチブロック

スイッチブロックの回路図を図 5 に示す。この回路は、容量 C に V_{ch} を充電するための PMOS スイッチ、容量 C に溜まった電荷を仮想電源線 V_{out} へ放電するためのトランスファークロークから構成されている。充電を行う際には、 V_b に論理 "0" を、 V_{sw} に論理 "1" を入力することで、容量 C を充電する。また、電荷を仮想電源線 V_{out} へ放電する場合は、 V_b に論理 "1" を、 V_{sw} に論理 "0" を入力する。

図 6 はスイッチ動作のシミュレーション結果を示す。

- (1) 区間 は充電期間であり、外部電源 V_{ch} から容量 C への充電を行う。
- (2) 区間 では容量 C への接続を遮断する。具体的には、容量 C を充電後、 V_b を "1" にして供給を遮断し、仮

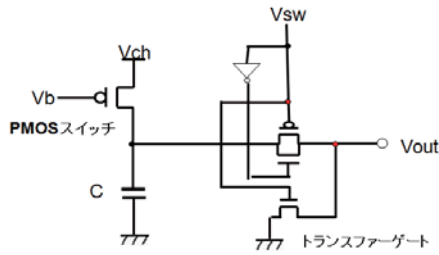


図 5 スイッチブロック

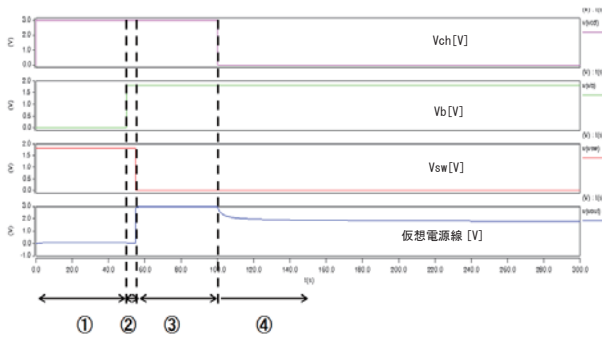


図 6 各パラメータ変化と仮想電源線電圧の変化

想電源線へ電荷を放電するために V_{sw} を“1”にする。

- (3) 区間 は容量 C へ充電された電荷を仮想電源線側へ放電する区間である。しかし、仮想電源線に接続している回路ブロックの起動により瞬時に大幅に電荷が消耗されてしまうのを防ぐため、この区間では外部との接続がされた状態である。つまり、今回利用しているスイッチは 3 ステートスイッチとなる。
- (4) 区間 以降は、外部からの接続が遮断され、容量 C に充電された電荷により仮想電源線を介して、回路ブロックが駆動される。

3.2 回路ブロック

回路ブロックは、オペアンプ回路とリファレンス回路から構成される。また、回路ブロック側への供給電流量を抑制し、かつ仮想電源線のノイズを抑制するために、仮想電源線と回路ブロックの間に供給プラグ PMOS を導入している。

この PMOS は常にハイインピーダンス状態となるように設計されており、容量 C に溜まった電荷をリーク電流のみで回路ブロックへ供給する。また、ドレイン-ソース間容量により、仮想電源線のノイズを抑制する効果も得られる。提案システムの全体回路図を図 7 に示す。

4. オペアンプの回路特性

本章では、提案システムで利用するオペアンプの入力ダイナミックレンジ、スルーレート、DC 利得について検証する。但し、本章のシミュレーションでは、オペアンプ単体を対象として得られた結果を示している。

4.1 入力ダイナミックレンジ

設計したオペアンプをボルテージフォロウで構成し、入力に $0V \sim 1.2V$ を印加し、入力と出力の関係を観測した。検証用の回路を図 8 に示す。

検証結果を図 9 に示す。この結果から、同相入力範囲は $0.1V \sim 1.1V$ と言える。

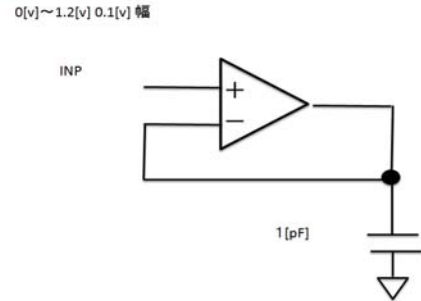


図 8 入力ダイナミックレンジ検証用回路

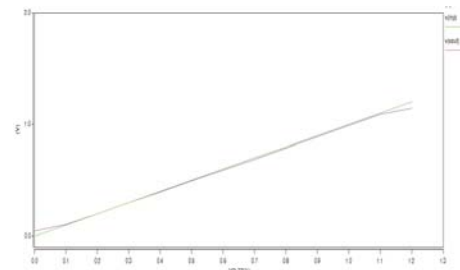


図 9 入力ダイナミックレンジ

4.2 スルーレート

論文 [1] のオペアンプの特徴である高速追従を観測するためにスルーレートの検証を行った。検証用の回路を図 10 に示す。スルーレートを求めるための回路から、電圧比の $10\% \sim 90\%$ へ変化する時間をスルーレートとして求める。

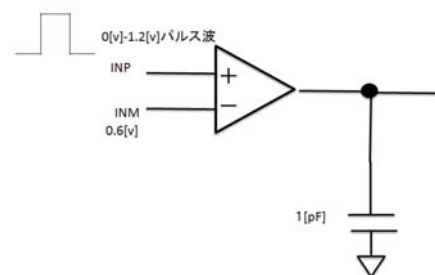


図 10 スルーレート検証用回路

図 11 に出力の立ち上がりを示す。この図から

$$SR^+ = \frac{1.0809[V] - 0.1158[V]}{67.694[\mu s] - 62.159[\mu s]} = 0.1743[V/\mu s]$$

論文 [1] では、 $SR^+ = 0.0506[V/\mu s]$ なので、今回の回路

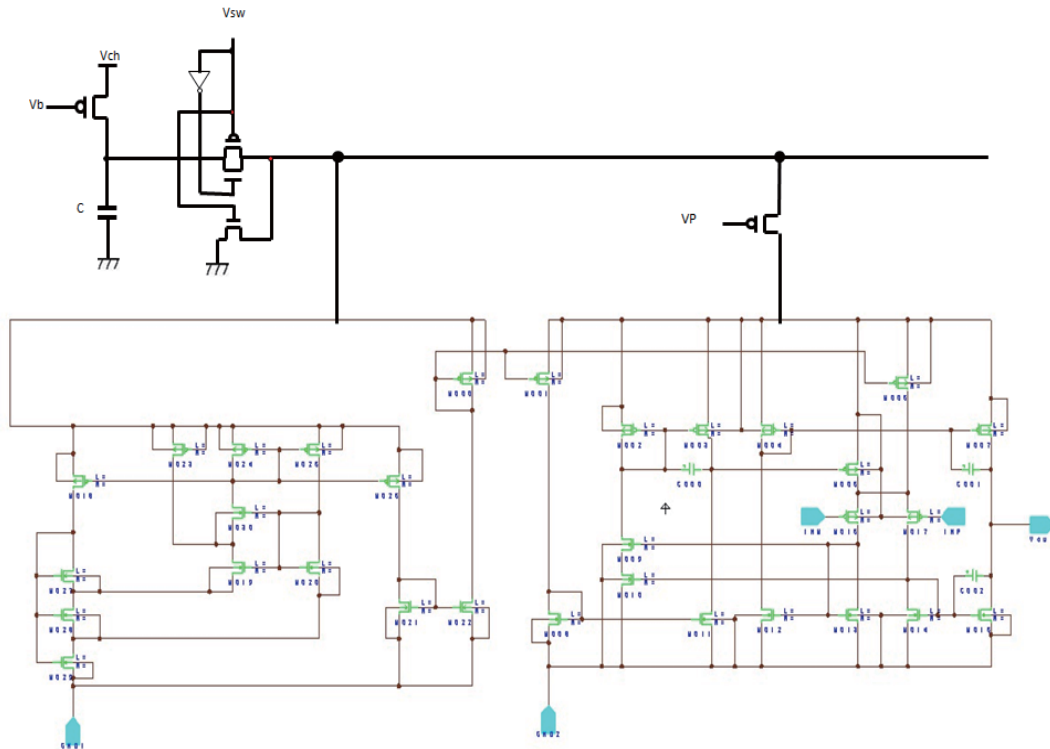


図 7 供給プラグ PMOS を含む提案システムの全体回路図

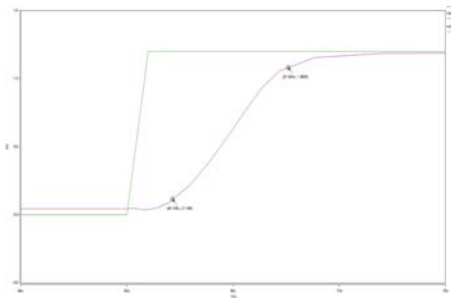


図 11 スループレート検証: 立ち上がり

ではその約 3.4 倍高速な回路が得られている。

次に、立ち下がり時のスループレートについて観測する。同様に、電圧比の 10% ~ 90%へ変化する時間を求める。

$$SR^- = \frac{1.0804[V] - 0.1203[V]}{307.74[\mu s] - 304.37[\mu s]} = 0.2848[V/\mu s]$$

論文 [1] に対して約 4.9 倍高速な回路が得られている。

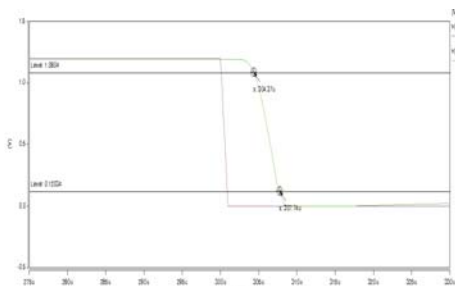


図 12 スループレート検証: 立ち下がり

4.3 DC 利得

次に、オペアンプ回路の DC 利得を調べた。図 13 に検証用回路を示す。

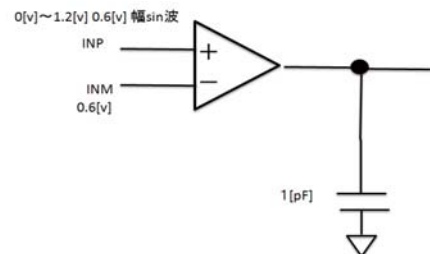


図 13 DC 利得検証用回路

図 14 にシミュレーションで得られた周波数・利得曲線を示す。この図から設計した回路は 7dB の DC 利得しか持っていないことがわかる。実際には、本研究の事前検証において、電源電圧 1.2V において 30dB、電源電圧 3.3V において 50dB のオペアンプが設計可能であることを確認している。

しかし、電源電圧 1.2V、30dB の回路を提案システムに組み込み動作を確認したところ、供給プラグ PMOS を介して流れる電流が小さ過ぎ、オペアンプ回路を駆動することができなかった。そこで、本研究では、低利得のオペアンプを再設計し、提案システムに組み込んでいる。その際のオペアンプの DC 利得は 7dB となった。また、30dB 時の消費電流の合計が 596nA であったのに対し、7db 時の消費電流は 437nA に抑えられている。

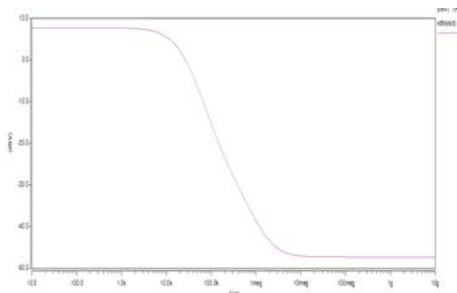


図 14 低利得オペアンプの検証結果

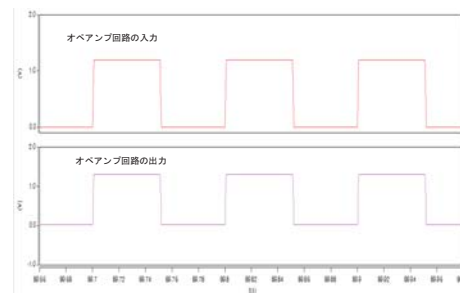


図 16 検証 (1): オペアンプ回路の入出力電圧の推移

5. 提案システムの動作検証

前章で説明したように、消費電流を抑えた低利得 (7dB) のオペアンプを提案システムに組み込んでいる。

本章では、提案システムの動作を次のような手順で確認する。

- (1) 仮想電源線にオペアンプのみを接続 (Iref は外部から供給を仮定)。
- (2) 仮想電源線にリファレンス回路とオペアンプを両方を接続。

5.1 仮想電源 + オペアンプの検証

シミュレーション時間を 1 時間に設定し、動作検証を行った。図 15 に仮想電源線の電圧とオペアンプの出力電圧の推移を示す。オペアンプ起動時に仮想電源線の電圧は 1.4V まで低下し、その後、ほぼ安定していることが確認できる。オペアンプの出力は 0V ~ 1.3V をスイングしている。

図 16 にオペアンプの入力と出力の電圧の推移を示す。入力に追従して出力が変化していることが確認できる。シミュレーション結果においては、1 時間の駆動が確認できた。

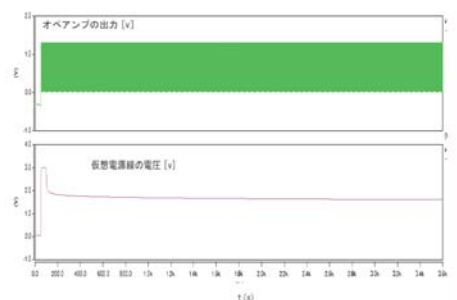


図 15 検証 (1): 仮想電源線の電圧とオペアンプの出力電圧の推移

5.2 仮想電源 + リファレンス回路 + オペアンプの検証

前節と同様に、シミュレーション時間を 1 時間に設定し、動作を検証した。

図 17 における仮想電源線の電圧とオペアンプの出力電圧の推移では、図 15 と同様に、オペアンプ起動時に仮想電源線の電圧は 1.4V まで低下し、その後、ほぼ安定して

いることが確認できる。

図 18 におけるオペアンプの入力と出力の電圧の推移では、オペアンプの出力は 0V ~ 1.17V の範囲でスイングし、やはり入力に追従して出力が変化していることが確認できる。このシミュレーション結果においては、1 時間の駆動が確認できた。

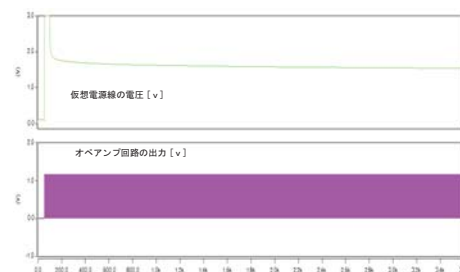


図 17 検証 (2): 仮想電源線の電圧とオペアンプの出力電圧の推移

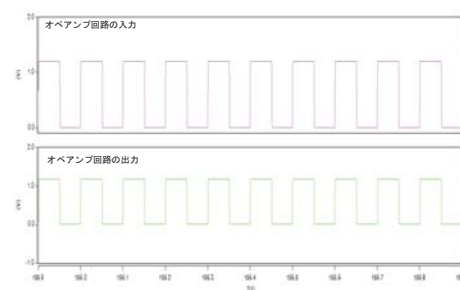


図 18 検証 (2): オペアンプ回路の入出力電圧の推移

6. まとめ

本研究では、MIM 型オンチップ容量を独立電源として利用し、アナログ回路を駆動するシステムを提案した。提案システムは仮想電源線と供給プラグ PMOS を介して、アナログ回路へ電力を供給する特徴を持つ。アナログ回路として超低消費電力オペアンプを題材に選び、提案システムを構成したが、オペアンプを高利得で設計した際には、供給プラグ PMOS から十分な電流供給ができず、結果として動作しなかった。そのため低利得のオペアンプに再設計し、提案システムの動作を確認することができた。

今後の課題としては、提案システムの温度特性の検証、

提案方式で駆動できるアナログ回路の特性の調査、その回路の設計手法などが挙げられる。

参考文献

- [1] Y. Tsuruya, T. Hirose, Y. Osaki, N. Kuroki, M. Numa, and O. Kobayashi, "A nano-watt power CMOS amplifier with adaptive biasing for power-aware analog LSIs," 38th IEEE European Solid-State Circuits Conference (ESS-CIRC 2012), pp. 69-72, Sep. 2012.
- [2] Gong Chen; Bo Yang; Nakatake, S.; Zhangcai Huang; Inoue, Y. Circuits and Systems (ISCAS), 2012 IEEE International Symposium on Topic(s) "A retargeting methodology of nano-watt CMOS reference circuit based on advanced compact MOSFET model"
- [3] Maria del Mar Hershenson, Stephen P. Boyd, and Thomas H. Lee "Optimal Design of a CMOS OP-Amp via Geometric Programming" .2000
- [4] 森 真作. 電気回路ノート. コロナ社. 2006
- [5] 松澤 昭. CMOS アナログ設計技術. システム LSI センター. 2003
- [6] Behzad Razavi. アナログ CMOS 集積回路の設計 基礎編. 丸善株式会社. 2003
- [7] Behzad Razavi. アナログ CMOS 集積回路の設計 応用編. 丸善株式会社. 2003