

記憶装置の将来*

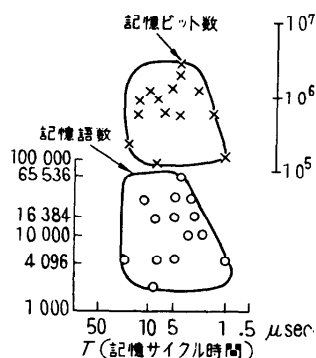
後藤 英一**

1. Rajchman 報告

編集幹事からのご要求もあり、また話しのいとぐちを作る意味で、RCA 研究所の Rajchman の計算機の記憶装置に関する総合報告¹⁾をまず簡単にご紹介しよう。

この報告では、すでに計算機に広く実用されているフェライト磁心記憶装置と現在研究が進みつつある磁気薄膜記憶装置、トンネル（エサキ）ダイオード記憶装置、超伝導（クライオトロン）記憶装置の4種類の Random Access（無作為接近）記憶装置がその考察の対象となっている。磁気ドラム、テープ、ディスクなどの補助的な大容量低速度記憶装置については論じられていない。

まず今までに実用になっているフェライト磁心記憶装置の性能を要約するのが第1図である。最大記憶容量は 2,000,000 bit（2メガビット）であり、また最も速い記憶サイクル時間は 0.8 μ sec である。



第1図 記憶装置の容量と速度（1961年）

Rajchman は磁心記憶装置の記憶サイクル時間 T は、次の式でできるとしている。

$$T = 2t_s + t_t + t_g + t_a + t_n \quad (1)$$

ただし、ここで t_s は記憶素子のスイッチ時間、 t_t は伝送時間、 t_g は増幅時間、 t_a はアドレス指定時間、

t_n は読み出しに先だつ待ち時間である。

磁気記憶素子のスイッチ時間 t_s は通常

$$t_s(H - H_c) = S_w \quad (2)$$

によって与えられる。ここで H_c は抗磁力、 H は使用するスイッチ磁場、 S_w はスイッチ係数である。 S_w の値は最良のフェライトで 0.5×10^{-6} Oersted $\cdot$ sec、磁性薄膜で 0.5×10^{-7} Oersted $\cdot$ sec となっている。

(2) 式はスイッチ係数 S_w は一定でも磁場 $H - H_c$ を大きくすれば原理的にはスイッチ時間はいくらでも短くできることを示している。ところが実際には、磁気素子の駆動電流は半導体素子から供給するものとするれば、半導体の製造技術から駆動電流 I を1アンペア以上にすることは非常に困難であると考えられる。したがって、磁気記憶素子の磁路長を d (cm) とすれば

$$H = \frac{4\pi I}{10d} \leq 1.2/d \text{ Oe が実用可能な磁場の大きさ}$$

となり、これと(2)式から

$$t_s \geq S_w \cdot d / 1.2 \quad (3)$$

という実用限界が生ずる。直径 1 mm のフェライト磁心では $d \approx 0.3$ cm であり、また $S_w = 0.5 \times 10^{-6}$ sec を使えば $t_s \geq 125$ ns (ns = 10^{-9} sec) となる。将来超小形フェライトの製造技術が進歩し、直径 0.2 mm 程度のものが作られ、またスイッチ係数 S_w の方も2倍くらい改善された材料が開発されても $t_s \approx 10$ ns 程度が限界となろう。一方磁性薄膜の方はスイッチ係数はフェライトよりも10倍速いが、開磁路を使う現存の方法では反磁場の悪影響をさけるために、磁路長を1 mm 程度よりも小さくすることは非常に困難なので t_s にはやはり $t_s \approx 10$ ns 程度の実用限界が現われるであろう。なお、(1)式で t_s が2倍されているのは、記憶内容の読み出しには磁化を一度反転させ、また元に戻すという2回操作が必要だからである。

伝送時間 t_t は、1本の導体線（磁心記憶装置ではセンス巻線、インヒビット巻線など）に間隔 d (cm) で N 個の記憶素子が取付けられていて、電気信号の伝わる速度が光速 c の K 倍である場合を考えると $t_t = Nd/Kc$ となる。 $K=1/3$ とし、 d としてそれぞれ $d=1$ cm, 1 mm, 0.1 mm ととれば

$$t_t = N \times 10^{-10}, N \times 10^{-11}, N \times 10^{-12} \text{ sec}$$

* Future Aspects of Computer Memories, by Eiichi Goto (Faculty of Science, University of Tokyo)

** 東京大学理学部

を得る。特に $d=1\text{ mm}$, $N=4,096$ では $t_t=40\text{ ns}$ を得る。

増幅時間 t_g は、増幅素子の利得バンド幅積を B , 所要の電圧利得を G とすれば

$$B=G/t_g \quad (4)$$

で与えられる。ここで N 個の記憶素子を持つ導体線を考える。1 個の記憶素子からの読出し電圧を V とすると、書込み電圧 W は

$$W=(N-1)rV+V \approx NrV$$

となる。ここで rV はスイッチしない非選択磁心に現われる電圧で、良好な矩形性を持つ磁心では $r=0.1$ くらいになっている。したがって、再生を前提として所要の電圧利得 G は大体

$$G=W/V=Nr$$

となる。これを (4) 式に代入すれば t_g としては

$$t_g=Nr/B$$

となる。 B の値は実用のトランジスタで $B=10^9\text{ sec}^{-1}$, 研究途上にあるもので 10^{10} sec^{-1} , トンネルダイオードでは 10^{11} sec^{-1} 程度である。

それぞれの場合について $t_g=Nr \times 10^{-9}\text{ sec}$, $Nr \times 10^{-10}\text{ sec}$, $Nr \times 10^{-11}\text{ sec}$ という値が得られる。特に $B^{-1}=10^{-10}\text{ sec}$ (増幅帯域幅数 $K\text{ Mc}$ のトランジスタ) $N=4,096$, $r=0.1$ とすれば $t_g \approx 40\text{ ns}$ となる。

次にアドレス指定時間 t_a は、アドレスを指定する論理変数の組が与えられてから、磁心記憶マトリクスの特定の縦線または横線に電流が流れるまでのおくれ時間を意味する。ここでは一般に高利得の増幅を要しないから、 t_a は他の時定数、特に t_g と比べて一応無視してよいであろう。

読み出しに先だつ待つ時間 t_n とは、書込み電圧 W が 1 個の記憶素子の読出し電圧 V よりも一般に著しく大きいことに由来する。すなわち書き込みあるいは再生を行なうために、磁心記憶マトリクスに加える大きな電圧 W の引き起す各種の過渡現象が十分に減衰する時間 t_n だけ待たなくては、次の読み出しは実行できない。この種の過渡現象の影響を少なくするために通常は平衡形の中和回路、読出し増幅器の過電圧防止用クランプ回路などが使われる。これらの方法は、しかし理想的にはいかず現在の最も典型的な $5\text{ }\mu\text{s}$ サイクル時間の磁心記憶装置では $t_n=1\text{ }\mu\text{s}$ 程度となっている。

ここで最も楽観的な見地に立って t_a と t_n は他の時定数と比較して無視できるとしよう。最近の進歩した記憶装置には、外径 0.8 mm , 内径 0.5 mm で約

1 A 程度の電流により $t_s=100\text{ ns}$ でスイッチするフェライト磁心が使用されている。一方ビット間隔 $d=1\text{ cm}$ とし $B=10^9\text{ sec}^{-1}$ のトランジスタ回路を使うものとすれば、 $t_t+t_g=2N \times 10^{-10}\text{ sec}$ が現在の技術の限界である。 $N=1,024$ につき (1) 式を使えば $T=0.4\text{ }\mu\text{s}$ となるが、実際に $T=0.5\text{ }\mu\text{s}$ の記憶装置がある。また $N=4,096$ では (1) 式から $T=1\text{ }\mu\text{s}$ となるが、実際に $1\text{ }\mu\text{s}$ のサイクル時間を持つものがある。

将来は 0.1 mm 程度の直径でスイッチ係数が現在の 2 倍程度のフェライト磁心をビット間隔 $d=1\text{ mm}$ で $B=10^{10}\text{ sec}^{-1}$ 程度のトランジスタ回路と共に使用できるようになるかも知れない。その場合 $N=4,096$ の記憶装置は $T=100\text{ ns}$ のサイクル時間を持つことになろう。そしてこれはフェライト磁心を使う場合の限界と考えてよいであろう。

薄膜磁性体はスイッチ係数 S_w のよいことが著しい特徴であるが、反磁場の悪影響を避けるために磁路長をあまり短くできないので、記憶速度と容量の限界は超小形フェライト磁心の場合と大差ないであろう。

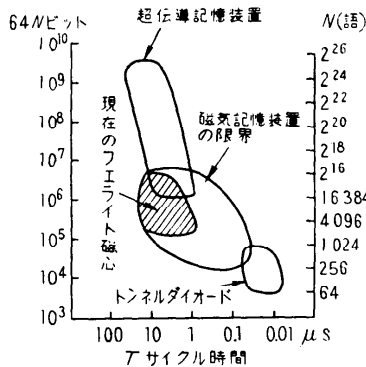
今日、記憶容量の限界は記憶素子と磁心マトリクスの電流駆動回路の製造技術によって制限されている。価格の点は無視しても今日の技術で 10^9 bit の記憶装置を作ること考えたとして、これには 10^6 bit の記憶装置を 1,000 台作って並べるよりないが、フェライト磁心も半導体素子も 1 個 1 個作り、1 個 1 個試験し、1 個 1 個を回路に取り付けていくという今日の製造技術では、必要な素子を作るだけでもばく大な時間を要するであろう。また、その価格はいうまでもなく全く禁止的なものになる。

将来、記憶容量の限界を大幅に改善するには多数の小形素子を一挙に製造する技術 (Integral Miniature Batch Fabrication Technique) によるほかない。今日知られている記憶素子の中で、このような積分的製造技術に最も適するものは薄膜クライオトロンである。クライオトロンのような超伝導素子の欠点は、ヘリウム冷却機を必要とすることである。しかし 10^9 bit 程度の大容量記憶装置では、ヘリウム冷却装置の価格の占める割合は小さなものであろうし、また将来は低温工業の進歩により、ヘリウム冷却機の価格も大幅に下がる可能性もある。

記憶装置の速度を 100 ns 程度よりも速くするには、もっとスイッチ時間の短い記憶素子を使う必要がある。現在知られている素子の中で最も速いものはトン

ネル(エサキ)ダイオードであって、これを使えば 10 ns 程度のサイクル時間が可能であろう。一方トンネルダイオード記憶装置に積分的製造技術を適用するには非常に多くの困難が予想される。したがって記憶容量の方は 1,000 語程度が限度となろう。

以上の考察を総合して、近い将来の記憶装置の容量と速度の限界は、だいたい第2図のようなものになるうというのが、Rajchman の予想である。



第2図 磁気、超伝導およびトンネルダイオード記憶装置のサイクル時間と記憶容量の限界

2. Rajchman 報告に対する私見

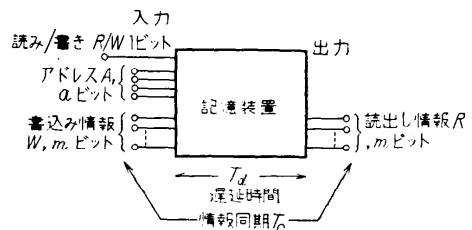
積分的製造技術 (Integrated Batch Fabrication Technique) が確立されなくては、記憶容量を大幅に増すことはできないという点には誰でも異存はあるまい。

今日、電子回路に使われている部品の大部分は1個1個作られ、1個1個試験され品質に応じて仕分けられている。現在、広く実用されている積分的製造技術は、絶縁体と導体だけからなる印刷配線板とケーブル、電線の類だけといってもよいであろう。積分的製造技術はやがていつかは電気回路全体に適用されるようになるであろう。この目標に至る道には、原理的な困難は何一つないが、数多くの技術上の問題があり、短時間でそれを達成することはむずかしいであろう。

薄膜型クライオトロンはたしかによい性質を持っている。入力と出力が完全に分離されていて、しかもスイッチ比が無限大の能動素子の形状としてはこれ以上簡単なものは考えられない。超伝導現象はいままで電子回路に応用されたことはなかった関係上、まだ未解決の技術的な問題がかなり残されている(たとえば、

クライオトロン板相互間の板間接続法)。クライオトロンには他種の素子よりも積分的製造技術を適用し易いといっても、これは程度の問題、研究に要する時間の多少の問題であって、原理的絶対的なものではない。したがって他種素子(たとえば半導体、磁性体を用いるもの)の積分的製造技術の方が早期に完成して超大容量記憶装置に応用されるようになる可能性も大いにありうるのである。

情報処理装置の一般的な性質からいうと Rajchman の式(1)のように、記憶装置の動作速度を単一のパラメータ、サイクル時間 T によって規定する方法は、電気信号の伝送時間が問題になってくる超高速記憶装置には適当とは思えない。情報周期 T_c と遅延時間 T_d の二つのパラメータを使う方法の方が超高速化の限界を論ずるのには適していると考えられるのである。一般に記憶装置とは第3図に示すように並列 m ビット



第3図 記憶装置の速度を定めるパラメータ

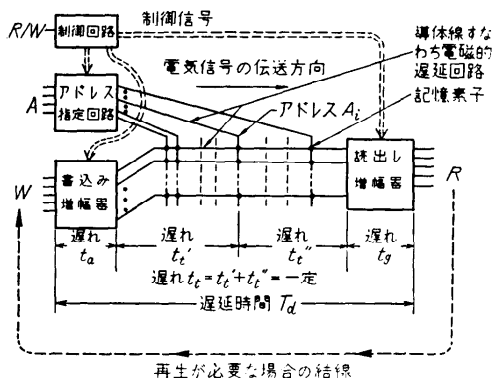
の書込み情報入力チャネル W と読み出された情報出力チャネル R を持っている。それ以外にアドレス指定用の a ビット並列の入力チャネル A と読み書き制御入力 R/W もなくてはならない。

情報 W_1 をアドレス A_1 に書き込むには、ある時刻に1回 R/W を W にし、 W_1 と A_1 を入力に与えればよい。情報 $W_1, W_2, \dots$ を順次にアドレス $A_1, A_2, \dots$ に書くには、時間間隔 T_c で必要な情報 W_i と A_i を記憶装置に与えればよいと考える。換言すれば、書込み情報の処理速度を示すのが刻時周期 T_c なのである。

次にアドレス A_1 の情報を読むには A_1 と制御信号 R/W を与えると T_d だけおくらせて出力側に所要の情報 R_1 が現われる。アドレス $A_1, A_2, \dots$ の情報を順次に読む場合には $A_1, A_2, \dots$ を T_c 間隔で入力側に与えれば出力側に T_d だけおくれるが、情報 $R_1, R_2, \dots$ は T_c 間隔で取り出される。

ここで情報周期 T_c と遅延時間 T_d とは原理的には、全く異質的なものである。 T_c の限界は明かに記

憶素子のスイッチ速度 t_s できます。非破壊読み出しが可能な場合には $T_c \geq t_s$ であるし、再生が必要な場合には $T_c \geq 2t_s$ となろう。一方 T_d の方はアドレス指定回路、電気信号の伝送、読出し増幅器のおくれ時間（前節 t_a, t_t, t_g ）などの総和できます。現在使われている記憶装置はこの T_c と T_d が明確に区分できるような構造にはなっていない。しかし原理的には第4図のように、遅延時間を合わせた語別構成（Word Arrangement）の記憶装置を考えれば T_c と T_d は明確に区分される。



第4図 遅延時間の揃う記憶装置の一例

ここで使われている諸導体線がほぼ理想的な電磁的遅延回路として働き、電気信号波形がひどく崩れず、また末端からの反射も十分小さくできれば、情報のアドレス A_i には無関係に出力 R は一定の遅延時間 T_d 後に現われるはずである。

高速記憶装置では T_d が T_c よりも遙かに大きくなることも十分にあり得る。超高速形フェライト、磁性薄膜、トンネルダイオードのいずれでも個々の記憶素子のスイッチ速度 t_s として 10 ns くらいにはあまり困難なくできるであろう。これを 1 mm 間隔で $1,000$ 個並べた場合、光速の $1/3$ で電気信号が伝わるとすると $t_t = 10 \text{ ns}$ となる。それに加えて $t_a = t_g = 10 \text{ ns}$ あるものとすれば $T_d = 30 \text{ ns}$ となる。記憶素子が非破壊読み出しのものならば、この記憶装置の性能は $T_c = 10 \text{ ns}$ (100 Mc クロック) $T_d = 30 \text{ ns}$ とそのまましてよいが、破壊読み出しの場合には再生を要する。この再生は 30 ns おくなくてはできない。

したがってアドレス A_1, A_2, A_3, A_4, A_5 を順次に読む場合、記憶装置の 10 ns ほどの実際の動作は

$A_1^R, X, A_2^R, A_1^W, A_3^R, A_2^W, A_3^R$ (X はどうで

もよい; A_1^R はアドレス A_1 を読む; A_1^W はアドレス A_1 に書くの意味) のように行なわねばならない。特に $A_1 = A_2$ だと破壊されてしまっている内容を読むことになるから A_1 の内容をどこかにしまっておいて使うようにしなくてはならない。以上のようにすれば再生を要する場合にも $T_c = 20 \text{ ns}$, $T_d = 30 \text{ ns}$ の記憶装置となる。これに対して Rajchman の (1) 式を使うと、この記憶装置の性能はサイクル時間 $T = 50 \text{ ns}$ になってしまうのである。

電子計算機では一般に条件飛躍命令を除けば必要なアドレスは始めにわかるから、記憶装置の速度は主として T_c で定まり、 T_d の方は T_c に比して異常に大きくなければ（たとえば 10 倍以上）計算速度にあまり大きな影響を及ぼさないことは、先廻り制御法を採用する計算機ですでに実証済みなのである。

このような次第で、筆者は記憶装置特に超高速ランダムアクセスのもののおくれの考察にはもっと波動的な方法を使うべきであり、金物の研究もこの線に沿って進めて見たらおもしろいと思う。

Rajchman はフェライトと磁性薄膜との比較でスイッチ係数は後者が少なくとも 10 倍速いという原理的事実をあまり重視していないようである。しかしながら、磁性薄膜のこの原理的特長を、十分に活用できるような回路が作られる可能性も、十分にあると思われる。

3. その他の可能性

電子計算機が始めて作られてから現在までの 17 年間に考えられたランダムアクセス記憶装置の主要なものは、ブラウン管、磁気コア、磁性薄膜、強誘電体、クライオトロン、クライオサトネル（エサキ）ダイオード、トンネルスタなどである。したがって平均して 2 年に 1 回は新しい記憶装置からの候補者が出現していることになる。ここで特長的なのは、初期のものほど、電子回路に古くから応用されてきた現象と技術の組み合わせという傾向が強く、後期のものほど、電子回路には古くから知られているが、それまで利用されたことのない現象あるいは、全く新しい現象と技術が導入されていることである。将来どのような新素子が出現するかを予想するのは、非常に困難である。ここで予想というよりも希望というべき私見をあえてつけ加えると、メーザ、レーザなどの量子エレクトロニクスは近い将来、計算機に応用されるようになるかも知れない。メーザ、レーザの増幅作用と物質の光に対

して示す非直線性を組み合わせれば、計算機の論理操作は原理的には実行できるはずである。大容量の記憶素子としては、しかしながら、記憶中には電力を消費しない方が望ましい。この性質と光によって自由にスイッチできるという性質を兼ね備えた光学的記憶素子は現在では知られていないが、これが将来できるようになれば純光学的計算機も可能になるだろう。

人間の頭脳の記憶の機構は今のところよくわかっていないが、将来これが解明されれば、計算機（特に図形識別用計算機）に使う記憶装置の構成に大きな変革をもたらすかも知れない。その場合自然物（頭脳）と合成物（計算機）の構成要素の論理操作的機能は非常

によく似たものになっても、それは実現する物理的技術的な手段は非常に異なったものとなるだろう。このような例は、視覚的情報を伝送する手段としての視神経系とテレビジョンにも見られる。前者では情報が完全に送られるのに対して、後者では電子的手段の高速性を利用して情報は直列的に伝送されているのである。

参考文献

- 1) J.A. Rajchman: Computer Memories-Possible Future Developments, RCA Review, Vol. 23 pp. 137~151 (June, 1962)

(昭和38年11月25日受付)