

内部記憶装置の最近の進歩*

榎本 肇** 小関 康雄**

1. はしがき

最近の計算機のひとつが大容量の磁心マトリクス記憶装置を内部記憶装置として使用するようになり、著しく情報処理速度がましたが最近の論理回路の進歩は演算速度が 100 Mc の桁に達しようとするにいたり、内部記憶装置の高速性への要求も、次第に高まってきた。それと共に内部記憶装置を高速化し、さらに記憶内容の先取り方式などが組み込まれ、記憶装置の速度を幾らかでも実効的に速くしようとの傾向にある。また処理能力を増大したり、多重プログラムを取り扱う場合が多くなり、大容量の内部記憶装置への要求が、ますます大きくなってきた。

この点から内部記憶装置の最近の動向を概観してみる。

2. フェライト・コア・マトリクス記憶装置

2.1 コア・マトリクスの高速化

マトリクス記憶装置において、アドレスをデコードし、必要な情報を読み出し、書込みまたは再書込みし、次のアクセスができるようにするのに要する時間すなわちサイクル・タイム T は次の項からなる。

- $2t_s$: コアの書込み、読み出しのスイッチング時間
- t_c : デジット書込みおよび読み出しパルス伝送時間
- t_g : センス信号の増幅に要する時間
- t_a : アドレス時間
- t_n : 読み出し前の余裕時間

スイッチング時間 t_s については

$$t_s(H-H_c) = S_w$$

のように、スイッチング係数 S_w と臨界磁界 H_c によって定まるもので、内部記憶装置を高速とするにはまず t_s を小さくすることが主とされ、第1表に示すごとくコアを小形化にし、 H_c を大にすることにより高速スイッチ特性のものが開発されている。

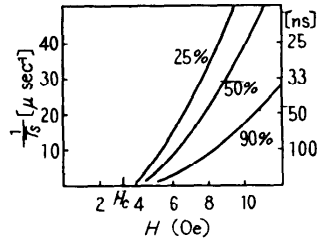
第1図のごとく同一コアを用いても印加磁界の大な

* Recent Development of Internal Memory, by Hajime Enomoto and Yasuo Koseki (Research Laboratory, KOKUSAI DENSHIN DENWA Co., Ltd.)

** 国際電信電話株式会社研究所

第1表 フェライトコア特性

コアサイズ [mils]	H_c [Oe]	半選択電流 [mA]	t_s [μ s]	面積体積比 [in^{-1}]
50/80	1.5	400	1.5	220
30/50	1.7	250	1.0	360
30/50	3.6	600	0.4	360
19/30	3.6	400	0.4	640
13/21	3.6	240	0.4	1,000



第1図 部分スイッチング時間

る方が高速スイッチが可能であるから、電流一致方式にくらべて線形選択(語配列)マトリクス方式が有利である。すなわち書込みのとき $3H_c$ までの最大磁界が許され、さらに読み出しにおいて任意に十分大きな磁界がかけられるから t_s を小にできる。別稿*に説明のあるようにマイクロスタック構成のマトリクスは小形のコアを用い、コア間隔をできるだけ小にしているので、 t_s が小になるとともに t_c が小になる。 t_c は語数 N とともに増加するから、マトリクス構成上からも線形選択方式が有利で、書込み、読み出し線が短くなる。また読み出し時の半選択駆動コアがないので S/N が良好となる。

コアの小形化はまた面積体積比が大なることから放熱効果がよく、コア温度上昇の点から動作の安定が期

第2表 マトリクスの伝送線特性

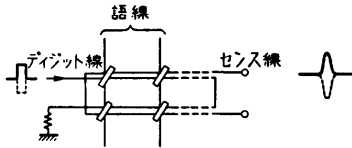
コアサイズ [mils]	パッキング密度 [bit/in]			1/T [bit/ns]
	ディジット方向	語線方向	Z_0 [Ω]	
50/80	10	10	180	40
30/50	16	16	150	60
19/30	28	28	140	80
13/21	45	45		

* 後藤氏の論文(本誌 323 ページ参照)

待でき、パッキング密度をあげることができて t_s , t_c の減少につながる。

現在用いられているコアは第 1, 2 表のごときものであるが、内径/外径が 13/18, 6/12 mil のものも報告されている。

線形選択方式では前述のように信号対雑音比がよいから、部分スイッチングを用いることによって第 1 図からわかるように、さらに高速化することができ、次第に線形選択方式と部分スイッチングを組み合わせるものが増えてきた。スイッチエネルギーが小となるので駆動回路の面からも高速化される。信号対雑音比をさらに改善するために、部分スイッチングの場合ビット当たり 2 コアを用いるものがある。1 bit 当たり 2 コアを用いるものには第 2 図のような構成のもの



第 2 図 2 core/bit 構成 (選択比 3:1, 両極性出力の場合)

で、差動的書込みが 1 か 0 に応じ両極性で出力をとり出すことができることと、メモリ・マトリクス of 負荷が一定である。

部分スイッチングには現在 relaxation の問題がある。これは書込み後ビット妨害パルスに不感となるために、ある時間経過することが必要なことで、この時間は H_c が増加すると減少し、実際問題としては利用しうる電流の大きさと内径の減少がどの程度行なえるかによって、また読出しの時にコアを標準磁化状態にもとずくことが必要で、ディジット電流による妨害磁束変化に関連して、読出し、パルスの最低値を確保することが必要である。1,024 語 72 bit で 0.7 μ s が得られ、最近には実験的に 4,096 語 144 bit で 750 ns のものが成功し、さらに 350 ns のものの研究が発表されている。

線形選択方式では、数 10 ns 程度以下の駆動電流または高周波電流を流すことにより、それがたとえ H_c の数倍でも非可逆な磁束変化を生じないことを利用して非破壊読出しが可能となる。これはフェライトの磁壁がごくわずかしか動かないで、パルスが終るとともに戻ることによる。計算機では読出しの方が、書込みより頻繁であるから、非破壊読出しを用いると、実効

的なサイクルタイムが短くなる。実験的には 100 ns のサイクルタイムが報告されている。

2.2 コア・マトリクスの大容量化

コア・マトリクス of 高速化と大容量化は相反する要素で、用いるコアおよび方式によってマトリクス of 容量に制約を生じる。

電流一致マトリクス of 書込みの時の駆動増幅器は、コアにエラスティックなスイッチングが存在するため、大容量化に伴ない語数 N が大きくなると書込み回路およびセンシング回路を分割する必要が生じる。

書込みの時、 Z 駆動に要する電圧は、1 語が選択され他の $(N-1)$ 語はエラスティックスイッチをすることで

$$\gamma V(N-1) + V$$

となる。 γ はエラスティックな出力電圧と非エラスティックな出力電圧の比、 V は書き込まれる際の非エラスティックな出力電圧である。いま仮りに一般的にトランジスタの駆動端子電圧を 10 V 程度とし $V = 10 \text{ mV}$ $\gamma = 0.1$ とすれば、書込みの際の最大駆動語数は $N_w = 10^4$ となる。

線形選択方式 of 読出しにおいてセンス巻線に連なるコア数を N_R とすれば、 N_R とともに長くなる線長がきいてきて巻線の直列インピーダンスによる減衰で支配され、 $N_R = 10^4$ 程度が妥当といわれている。

電流一致方式において読出しの際、 $2(\sqrt{N}-1)$ が半選択になり、磁心の矩形特性が完全でない点から雑音を発生する。一般にセンス巻線を適当に巻いて相殺するようにするが磁心特性の不同によって、いわゆるデルタ雑音を発生する。非常によい特性の磁心を用いて $S/N = 2$ まで許すものとしても $N_R = 10^4$ が限度とされている。これから記憶容量 N が、 N_w または N_R をこえるとき、センス回路およびディジット回路を分割する必要が生じる。

内部記憶装置 of 大容量化はそれに伴う速度の制限を考慮に入れなければ、基本的に制約はない。単なる経済的問題である。すなわち S/N 駆動容量の点から語数 N が $N_w = 10^4$ をこえたものは、センスおよび書込みについて分割を行なえばいくらでも大容量のものが得られる。いまセンス書込みに各々 10 本のトランジスタを要するとしよう。1 語 m bits of のマトリクスで、ディジット of 書込みおよび、センシングのために $20 m \frac{N}{N_w}$ のトランジスタを必要とする。

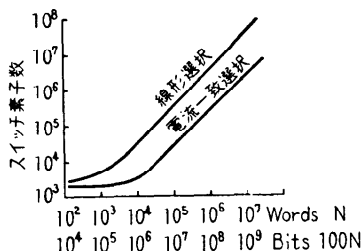
アドレス選択のために要するスイッチの数は、電流

一致方式 $2\sqrt{N}$ 、線形選択で N 組必要である。書込み読出しの駆動に両極性を要するとし、アドレスのデコードを考えると少なくとも電流一致方式で $8\sqrt{N}$ 、線形選択方式 $4N$ が必要となり、磁気スイッチを使っても電力の点からほぼ同数が必要となる。すなわち

$$8\sqrt{N} + 20m \frac{N}{N_W} \quad \text{電流一致方式}$$

$$4N + 20m \frac{N}{N_W} \quad \text{線形選択}$$

の半導体スイッチが必要となる。Rajchman によると、この関係は第3図のようになる。



第3図 記憶容量とスイッチ素子数の関係

これから10億 bit では、電流一致方式で2,000万半導体素子が必要であり、線形選択の場合億の半導体素子が、必要ということになる。これはかなりぼう大なものである。このことから、超小形 integrated circuit の実現がのぞまれる。

コアに対する要求条件は線形選択方式の方が電流一致方式よりゆるいが、電子部品数は圧倒的に多い。

前述のように容量とともに増加するアドレス回路をいかに経済的に実現するかは大きな問題で、IBM の Load sharing magnetic switch, またはスイッチング・コアによる選択、線形トランスとダイオード・スイッチの組み合わせなどが考えられるが、ここで問題になるのは、ほかの駆動線へのクロス・トークと駆動パルスの立ち上がり時間のなまりである。前者は非選択駆動線に駆動パルス電流がもれるので S/N を悪化させ場合によってはセンシング回路の分割をさらに必要とする。また後者は記憶素子のスイッチングを遅くするため信号の出力電圧を小にする。さらにセンス巻線への選択妨害をできるだけ妨ぐためマトリクスも小形にするとともにセンス線とZ線を分離して雑音の減少をはかるとか、センス線を適当に交叉させて雑音除去を有効に行ない、かつ線長が短くなるようにし、出力信号の遅延と減少とが少なくなるようにしている。

以上の点から電流一致マトリクスにおいても製造に困難な点があるにもかかわらずコアの寸法はますます小さくなる傾向にあり、現在 50 mil のコアから 30 mil のコアを用いる機械がふえつつある。

2.3 特殊コアの使用

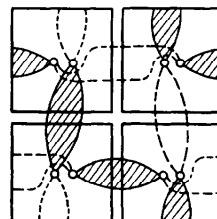
フェライトコアでの高速化をねらったものとして次のようなものがある。

(1) Microferrite

外径 50 mil, 内径 5~10 mil の厚さ 10 mil のトロイダル、または板状フェライトの上に、真空蒸着で適度なパターンに金属を附着させ線形選択方式の一巻線をプリント配線し相互インダクタンスを減少させ、かつプリント線相互間の結合を減らしている。さらに伝導度をよくするためにメッキをしている。パッキング密度は 1,000~2,000 bit/in² である。書き込みは部分スイッチングを用い、サイクル時は 300 ns 以下、読出し電流 380 mA, 書込み電流 280 mA, デジット電流 70 mA で、1 bit につき2コアで S/N を高めており、出力は両極性で ± 50 mV, コアのスイッチング時間は 65 ns である。センス・デジット線の遅延時間は 1,000 語, 1 語 100 bits において 30 ns, 語線の遅延はサイクル時間に比べて無視できる程度小さい。

(2) Micro aperture ferrite

コアの内径が小であればスイッチ速度を上げることが可能であるが、コアの寸法を現在以上に小さくすることは技術的に困難である。それを打開する一つの方法として電子ビーム加工機を用いてフェライトの薄板に微小孔をあけ、等価的に内径の小なるコアを実現させると共にプリント回路技術を使って装置を簡素化し 100 ns のサイクル時間を可能ならしめたものである。第4図のように中心に直径 1 mil の2個の孔(4線式



第4図 Micro-Aperture Ferrite
(2線式の場合)

の場合は4個)を 2 mil 間隔であけた。80×80×40 mil フェライト薄板が一つのウエハとなり、これをモザイク状に並べてマトリクスを構成する。2枚で 1 bit を

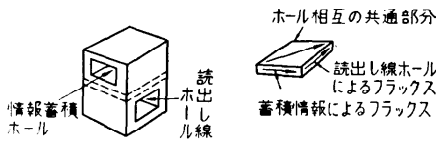
構成し、micro ferrite と同じ線形選択方式で、読出しパルス 600 mA、書き込みは部分スイッチングで 550 mA、ディジットパルス 450 mA で、出力電圧は 85 mV である。スイッチング時間は 30 ns、1,000 語の場合のサイクル時間約 150 ns である。

電子ビーム加工の寸法規格は厳重で、歩止りは 80% くらい、加工速度は 6 ユェハ/min であり、銀の細粉とシリコン油からなるペーストを孔につめて焼結し、内部導線としており、プリント線と連結される。

Rajchman は速度において薄膜メモリにまさるともおとらずフェライトコア・マトリクスとしてスピードの極限を与えるものとして評価している。

(3) Biax

Biax は第 5 図に示すような互いに交叉しないで直



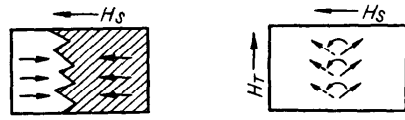
第 5 図 Biax 記憶素子

交方向に孔をもつフェライト・コアで寸法は 50×50×80 mil の素子で 20 mil 平方の孔をもっている。このコアの上部の孔には書き込み線、ディジット線、センス線を通し、下方の孔に読出し線を通す。書き込みは“1”を書き込むに 400 mA、“0”を書き込むには部分スイッチングで 200 mA 0.4 μs で行なう。読出しパルスとして 200 mA を加えたとき、40 mV 20 ns の出力電圧が得られる。この読出しは孔が直交しているために非破壊読出しが可能で、1,024 語 1 語 36 bits のマトリクスのサイクル時間は 1 μs となっている。

3. 磁性薄膜記憶装置

3.1 磁性薄膜の特徴

磁性薄膜を用いることにより高速の記憶装置が、実現されるであろうとの予想のもとに数年前から磁性薄膜の多くの研究がされてきた。それは磁性薄膜のスイッチング時間がフェライトの $\frac{1}{10} \sim \frac{1}{100}$ となることによるものである。この差はフェライトが第 6 図のように磁壁移動、すなわちスピンの連続的に順々に変化することによって磁束変化を生ずるのに対し、磁性薄膜ではスピンの coherent な回転、すなわち同時回転によって発生することによって生ずるものである。このことは磁性薄膜の磁化特性が、単軸異方性を有してい



第 6 図 フェライトおよび薄膜のスイッチング

ることに関連している。このことはまた駆動磁界の加え方に幾つかの方法が考えられることとなる。さらに小形にできるのでパッキング密度を向上させることができ、したがって消費電力が少なく、温度特性が著しく良好である。蒸着技術、プリント技術の応用で多量生産が容易であるなどの特長を有している。その反面欠点として、出力電圧が小で、高度の回路技術が必要とすること、再現性一様性の面で、問題があることなどがあげられる。

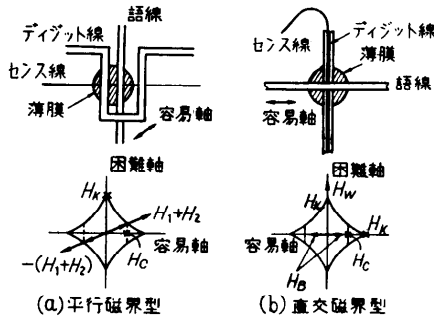
磁性薄膜の製法としては真空蒸着法、電着法、スパッタリング法、ガス分解法があるが、現在前 2 者が主として採用される。多くの場合磁歪係数 0 の 80% Ni-20% Fe のパーマロイの薄膜が下地材料に付着せられる。

真空蒸着法は良質のジルコニアやアルミナのるつぼの中でタングステン・ヒータや高周波加熱によってパーマロイを溶解させて蒸気化し、これをガラスや金属の下地材料に付着させる。マトリクス・パターンを得るために下地材料にマスクを重ねて、所要の形状に数 100 Å~数 1,000 Å の厚さに、パーマロイが蒸着される。全面蒸着してのちにフォトリソグラフィでマトリクス・パターンを作ることもある。磁界中蒸着により所要の単軸異方性が得られる。この方法で特に注意しなければならない点は、下地の洗浄と蒸着時の下地温度を、200~300°C の適温にし、蒸着速度を選ぶことおよび蒸気の入射角により特性が異なることなどである。

電着法は電解液を用いて電気メッキにより、金属導体または非磁性金属膜を付着させた下地の上に膜を作る。蒸着膜に比してやや厚い膜を付着させる場合が多く、磁界中蒸着と同様に、単軸異方性を出すことが可能である。磁化特性は電解液の組成、イオン濃度、液温、pH、電着電流によって著しく異なる。この方法は装置を工夫することによって細線にパーマロイを連続電着させることができる特徴がある。

3.2 平板状薄膜記憶装置

平板状記憶装置には平行磁界形と直交磁界形とがある。磁性薄膜と各駆動線との関係を第 7 図に示す。



第7図 磁性薄膜と駆動線の関係

平行磁界形は駆動線とセンス線とは直交し、磁化容易軸はそれらと45°の傾きをもつように、配置されている。ビット線によって加えられる H_c より低い磁界のためクリープ現象を生じる危険があり、この形の薄膜や記憶装置の実現をむずかしくしている。

直交磁界形は第7図(b)に示すような構成で、語駆動線は磁化困難軸に磁界を加え、記憶内容“1”または“0”に従って、時計方向または反時計方向に磁化が回転させられる。この回転の際センス線に正または負のパルスを誘導して“1”または“0”を読み出すことができる。書込みは語駆動電流にややおくられて記憶すべき内容に応じた極性の電流がビット線によって、加えられると安定する方向がビット電流の極性によって定まり記憶が完了する。

個々の薄膜スポットの形状としては円形または矩形が用いられ、スイッチング係数 S_w は $0.5 \times 10^{-7} \text{ Oe sec}$ 程度で約 10 ns で回転可能である。この形の記憶装置は周辺効果および容易軸の分散のために現在1枚のマトリクスまたは、 10 in^2 または、それ以下に制限される。厚さ 1,000 Å 40 mil スポットの場合 $10^{-4} \text{ V}\mu\text{s}$ 程度の磁束変化である。

標準的な高密度の薄膜メモリでは、5 ns で 10 mV 出力しか得られない。この点から薄膜メモリを実用する上からは、高速で薄膜をスイッチするために、高速の大電流発生器と ns の微小電圧を大きい S/N で増幅するために、センス線の配置に注意し、雑音を除去し、増幅器のデジタル・タイムを軽減し t_n を小さくすることが必要である。また、この形の薄膜は開磁路であるから、スポット間隔および、外部磁界の影響について考慮しなければならない。

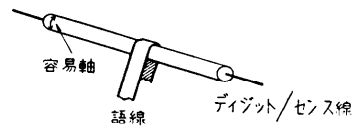
反磁界の問題を減少させるために語駆動線、ビット線、センス線をはさんで薄膜をサンドイッチにする方法がある。

以上のように薄膜メモリでは、高速パルスを用いなければならないから、スポット面積を小さくすることにより伝送遅延時間および駆動電流を小さくし、高密度にする傾向がある。そのために薄膜の厚さもますます薄くなる傾向で数 100 Å 程度のもが多くなった。

下地材料としてガラスのかわりに金属板特にアルミ板を用いるものが最近増加してきた。その効果として駆動線のインピーダンスが小となるため、駆動電圧がガラスの約 1/5 となり、繰返速度を速くできることおよびセンス線のインピーダンスが小で、語駆動電流やビット電流による雑音が小となり、駆動磁界が局限されるなどが得られる。そのために薄膜としては全面連続蒸着し、語駆動線とビット線の交点近傍のみ磁化するようなメモリが 64 語、1 語 18 bits、サイクル時間 200 ns のものと 4,096 語について発表されている。そのほかの例としては $5 \times 5 \text{ cm}$ の銀板に SiO 膜を形成した上に磁性薄膜を蒸着した 265 語、1 語 72 bits、サイクル時間 100 ns のものがある。大容量のものとしては数 1,000 語のものがあるが、サイクル時間は μs 程度となる。

3.3 円筒状薄膜記憶装置

円筒状薄膜記憶装置は第8図に示すような構成が基



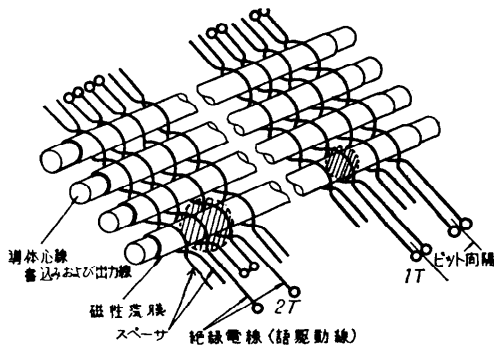
第8図 円筒状薄膜記憶の構成

本の形であって、語駆動線とビット線が直交しており、直交磁界形平板状薄膜記憶と同一原理で動作する。この形の特徴は磁化容易軸を円周方向とし、閉磁路となし得るために、反磁界の影響を静的状態ではなくすることができ、したがって平板状に比し薄膜の厚さを厚くでき、出力電圧を大きくしうること、非破壊読出しが比較的容易であることなどである。

その反面欠点として、ライン・インピーダンスが大きく、ビット線とセンス線が共通なために t_n が長くなるため、サイクル時間がやや長くなることである。現在のところ 64 語、1 語 16 ビットでサイクル時間 500 ns が報告されている。このほか特殊なものとしては軟磁性層の上に角形磁性の膜を付着させることにより、大駆動電流を流して大きい出力電圧を得ても角形の膜のために非破壊読出しが可能であるとの提案や Magneto-resistive な読出しの提案などがある。

わが国で最近電着線薄膜記憶装置の研究が盛んに行なわれている。この電着線の書き込み読出しには2周波方式と、パルス方式とについて研究されている。前者は第8図の方式で64語、1語32bits、ビット密度1bit/4mm、厚さ 2μ のものが作成され、パラメロン計算機PC-1に組み込み動作試験が行なわれている。

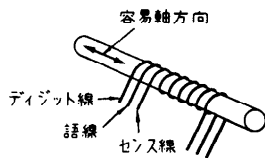
パルス方式による電着線メモリについては第8図の方式のほかに織成技術を利用して、第9図のように電



第9図 織成技術を用いたワイヤメモリ

着線と絶縁線被覆銅線とで織りあげるものであって、直径0.2mmの燐青銅線に 2μ の厚さに電着し、これを縦糸とし、0.08mmのホルマル被覆銅線を横糸として用い、語駆動パルス500mA、ビットパルス電流20mAである。出力電圧は40mVで、ほかの薄膜記憶装置に比較して大きく、閉磁路のためS/Nが高く 50×50 bitsのマトリクスで、雑音は1mV以下にでき、スイッチング時間は約50nsである。この織成形の場合語駆動線間隔を1mmとし、その中間の絶縁被覆銅線を短絡してビット密度を1bit/mmまで向上させられることが報告されており、商品化のための開発が行なわれている。現在織成形のほか第9図のような形に熱可塑性プラスチックで、はさむ方式なども研究されている。

円筒形にはそのほか第10図のような容易軸を磁性



第10図 磁性線の軸方向に容易軸をもつ場合

線の軸方向とするものがある。これは0.25mmのベリウム銅線上に97%Fe-3%Niを約 $4,000\text{Å}$ 電着したもので、64語、1語16ビットのものを電流一致方式でサイクル時間 $1\mu\text{s}$ で動作させられた。

容易軸がヘリカルになるものとしてはツイスタがある。

磁性薄膜記憶装置では磁性材料のスイッチング特性が最も重要な役割を果たすが、実際上では関連する論理、駆動回路、センス線、内部接続の伝送線などによって制限されることが多い。特に速立ち上りの大電流駆動パルスの伝送とセンス線に書き込み時の結合雑音をどれ程小にできるかの回路技術上の問題によって記憶容量やサイクル時間が制限されることが多い。

4. むすび

内部記憶装置としてはフェライト・コアと磁性薄膜が主流をなす。それは内部記憶装置の性質上高速性、大容量性、経済性を要求されるからである。経済的にみるとサイクル時間 $5\mu\text{s}$ 電流一致形マトリクス記憶装置で、電子回路を含んで1bit当り100円前後、サイクル時間 $1\sim 2\mu\text{s}$ の線形選択方式で250円前後となる。これに対し平板状磁性薄膜記憶装置では、電子回路なしで1bit当り0.5ドルの例がある。現在わが国で商品化を進められているワイヤ・メモリではこれより著しく安くなるといわれている。

以上のような技術上と経済上の点から数万語でサイクル時間が μs 程度から数分の $1\mu\text{s}$ 程度に対しては通常フェライト・コアが、数1,000語で100ns程度の記憶装置としては、磁性薄膜記憶装置が主として用いられるであろう。さらに高速な記憶装置としてはトンネル・ダイオードを用いるものがあり、このサイクル時間は10ns程度に達することができるが、数100語程度が適当で主として先回り制御のために用いられる。マイクロプログラムや、スーパーバイザのためには、また固定記憶装置があって、高速の読み出しを可能とならしめ、演算速度がmemory limitedとなるのを防止することが行なわれる。

このほか非常に大容量の記憶装置として超電導を用いるものの将来性があるといわれている。

内部記憶装置としては以上のように各種の記憶装置があるが、それらの特性に応じて並列に設けて相互の間に情報の伝送を行ない、さらに大容量の記憶装置とあいまってそれぞれの機能を発揮させる傾向にある。

参 考 文 献

- 1) J.A. Rajchman: Computer Memories-Possible Future Developments, RCA Review, pp. 137~151 (June 1962)
- 2) J.A. Rajchman: Computer Memories-A survey of the State of the Art, Proc. IRE, pp. 104~127 (Jan. 1961)
- 3) W.E. Proebster: High Speed Memories, Proc IFIP Congress 62, pp. 579~584
- 4) J.A. Rajchman: Limitation in Speed and Capacity of Computer Memories, Proc. IFIP Congress 62, pp. 636~637
- 5) R.M. Whalen: Sub-Microsecond Ferrite Memories, Proc. IFIP Congress 62, pp. 637~638
- 6) W.H. Rhodes et al: A 0.7 Microsecond Ferrite Core Memory, IBM Journal, pp. 174~182 (July 1961)
- 7) C.A. Allen et al: A 2.18 μ sec Megabit Core Storage Unit, Tran IRE EC-10, 2, pp. 233~237 (July 1961)
- 8) Q.W. Simkins: The state of the Art of Magnetic Memories, J. Appl, Phys. Vol. 33, No. 3 pp. 1020~1024 (1962)
- 9) H. Amemiya et al: High Speed Ferrite Memories, AFIPS, Vol. 22, pp. 184~196 (1962)
- 10) R. Shabender et al: Micro-Aperture High Speed Ferrite Memory, AFIPS, Vol. 22, pp. 197~212 (1962)
- 11) R.C. Minnick et al: Magnetic Core Access Switches, Trans. IRE EC-11, 3, pp. 352~368 (June 1962)
- 12) A.V. Pohm et al: Magnetic Film Memories, A Survey, Trans IRE, pp. 308~314 (Sept. 1960)
- 13) C.L. Wanlass et al: Biax High Speed Magnetic Computer Element, Proc. IRE WESCON pt 4, pp. 40~53 (1959)
- 14) 高橋, 後藤, 石橋, 宮下: 電着パーマロイ薄膜を用いた記憶装置, 電子計算機の研究, 昭 37. 4号, pp. 3~10
- 15) 大島, 上林: ワイヤメモリマトリクス, 信学誌, pp. 943~944 (July. 1963)

(昭和38年10月26日受付)