

LSI のテストパタンの IR ドロップ見積り手法

IR-drop Estimation for LSI Test Patterns

秋吉 保紀† 大和 勇太† 米田 友和† 畠山 一実† 井上 美智子†
Yasunori Akiyoshi Yuta Yamato Tomokazu Yoneda Kazumi Hatayama Michiko Inoue

あらまし

近年 LSI の微細化、高速化によって遅延故障テストの重要性が増している。遅延故障テストでは、テスト対象回路を実動作速度で動作させる At-speed スキャンテストが行われる。At-speed スキャンテストでは、通常動作では起こらないような多くのスイッチングが発生するため、遅延テスト時の大量の消費電力が問題となっている。また、消費電力の増加に伴う IR ドロップの増加も問題となっている。IR ドロップは回路の遅延量に影響し、その量は入力パターンごとに異なる。しかし、IR ドロップ解析には実行時間が長いという問題がある。そこで本研究では、IR ドロップ見積りにおいて大きな時間を占める消費電力解析の代わりに WSA を拡張した新たな評価尺度を用いた消費電力見積りを行うことで、IR ドロップ見積り全体での実行時間を大幅に削減した手法を提案する。

キーワード IR ドロップ LSI テスト WSA

1. はじめに

半導体プロセスの微細化によって、LSI は高速化、低電圧化が進んでいる。回路を高速化するためにはクロックサイクルを短くする必要があり、動作周波数の高い回路のクロックマージンは小さくなっている。同期式回路では、設計したマージン以上の遅延(タイミング違反)が生じた場合に、回路は誤動作する。タイミング違反を生じる故障を”遅延故障”と呼ぶ。LSI は製造後に全てのチップを動作確認のテストを行い、不良品を排除している。高速化のためにクロックマージンが小さい回路では、マージンが大きな回路に比べて遅延に対する余裕が小さいため、微小な遅延でも回路動作に悪影響を及ぼす可能性がある。

一方の低電圧化は、回路の消費電力の削減に貢献している。しかし、0 と 1 を区別するための閾値電圧と供給電圧の差が小さくなるため、回路の電力ノイズ(供給電圧の変動)への耐性を弱めてしまう欠点がある。回路が消費する電力は(1)スイッチング電流、(2)貫通電流、(3)リーク電流の 3 つに大別することができる。スイッチング電流は、回路中のセルの値が変化するとき流れる電流である。貫通電流は、セルの値が 0 から 1、またはその逆に切り替わる際に瞬間的に電源とグランドがショートした状態になり流れる電流である。リーク電流は、回路が動作していない場合でも流れる漏れ電流である。回路内の多くの素子で遷移が同時に発生すると、多くの電力が消費されるため、一時的に電源電圧が低下する。この電圧降下を IR ドロップと呼ぶ。IR ドロップが発生すると、回路内の素子のスイッチング速度が低下するため、セルの遷移遅延が増加してしまう。その結果、IR ドロップは回路の遅延を増加させてしまう。

IR ドロップ起因の遅延増加量を知るためには、テストパターン(テスト用の入力値)ごとに IR ドロップ解析を行う必要があるが、一般的に IR ドロップ解析には長い実行時間が必要である。

1.1 LSI のテスト手法とテスト時の IR ドロップの影響

LSI テストは、回路に特別な入力値(テストパターン)を加えて、その応答値を確認することで回路の故障の有無を確認する。ところが、回路中にフリップフロップ(FF)が存在する順序回路では回路内部の信号線の値の制御、観測が困難になる。加えて、今日の LSI は回路規模が非常に大きいため通常の方法でのテストは事実上不可能である。

そこで、スキャン設計と呼ばれるテスト容易化設計が行われるのが一般的である。スキャン設計では、回路中の全ての FF に付加回路を設け、これらを数珠つなぎに接続する。これをスキャンチェーンという。図 1(a)はスキャン化した D-FF で、通常の入力 D に加えて、テストデータを入力するためのスキャンイン (SI) 入力があり、マルチプレクサで入力信号を選択する。D と SI はスキャンイネーブル信号 SE によって通常動作時には D を、スキャン動作時には SI を FF の入力とする。スキャン FF の出力にはテスト結果を次のスキャン FF に伝搬するためのスキャンアウト (SO) を追加する。スキャン設計では通常、全ての FF をスキャン FF に変更する。図 1(b)ではスキャン設計の例を示す。スキャン設計を挿入した回路では、テスト時に SE 信号を制御することでスキャン FF をシフトレジスタとして使用することができるため、回路中の全ての FF を直接制御、観測することができる。そのため、スキャン FF の出力を組合せ回路部の疑似外部入力 (PPI) として考えることができる。同様に、スキャン FF の入力は組合せ回路部の疑似外部出力 (PPO) として考えることができる。この仕組みによって、回路を組合せ回路とみなすことができ、今日の大規模回路におけるテストの容易化を可能にしている。

回路のクロックタイミング違反を検出するための遅延テストでは、二つのテストパターンを使用する。第一のテストパターンによって回路の状態を初期化し、第二のテストパターンによって回路の状態遷移を発生させ、その出力応答を観測し故障検出を行う。高速に動作する回路で品質を保証するためには微小な遅延も検出が必要であり、At-speed テストという手法を用いる。At-speed テストでは微小遅延故障を

†奈良先端科学技術大学院大学,
Nara Institute of Science and Technology

検出するため、第二パタンの印加と出力応答の取り込みをシステムクロックの速度で行う。At-speed テストには Launch-on-Capture(LoC)と Launch-on-Shift(LoS)という、第二のテストパタンの印加の方法が異なる 2 つの方式が存在する。

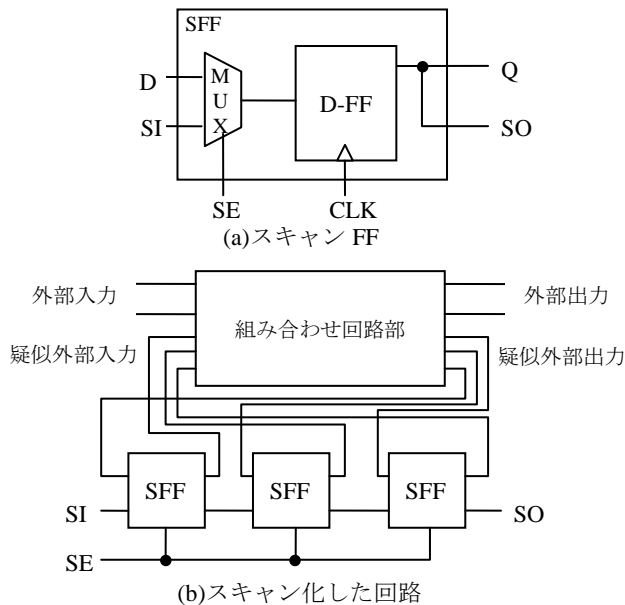


図 1 スキャン設計

しかし、At-speed テストでは IR ドロップによる、テストが原因の歩留まり低下という問題に直面している。一般に、At-speed テストでの消費電力は通常動作時に比べて多くなる。テスト時間短縮のために高圧縮されたテストパターンによるスイッチングアクティビティの多さがその原因である。過度のスイッチングアクティビティは、回路に過度の電流を流すため、その電流による IR ドロップが回路内のゲートのスイッチング遅延を増大させる。IR ドロップで増加した遅延によってタイミング違反が発生すると、機能動作時には問題のない回路でもテスト時に誤動作を起こし、不良品と判定されてしまう。結果として、IR ドロップ起因の遅延増加がチップの歩留まりを低下させる可能性がある。

テストパターンは、IR ドロップの大小を決定づける一因であるため、さまざまな低消費電力テスト生成手法が提案されている[2-6]。しかし、ほとんどの手法において、生成されたパターンはスイッチング数あるいは消費電力の削減量だけで評価されている。消費電力そのものを減らすことは確かに重要であるが、IR ドロップによるタイミング違反を減らすという観点からみると、増加した遅延が設計で定められたマージンを超えるかどうかを判定することが重要である。一般に、IR ドロップの分布は均一ではなく、遷移の起きたセルの物理的な位置に依存する。そして、セルごとの IR ドロップ起因の遅延増加量は IR ドロップの大きさに関係する。従って、テストパターンを印加した時の遅延の増加量を正確に測定するためには、セルごとの IR ドロップ値を見積もることが必要である。

1.2 関連研究

既存のパターン評価尺度はパス非考慮のものとはパス考慮のものに分類できる。パス非考慮の評価尺度は回路の全体または一部での消費電力を見積もる。Toggle count(TC)や Weighted Switching Activity(WSA: 重み付き信号遷移)が一

般的で、計算も容易である。WSA はスイッチング電力の見積り手法の一つであり、セルの出力のファンアウトの数に応じて重みを付けた遷移数である。ファンアウトがあるセルで信号遷移が発生すると、そのセルから繋がる全てのセルがその影響を受ける。そのため、ファンアウトを考慮した WSA は一般に消費電力との相関が高いことが知られている。WSA は、以下の式によって求めることができる。

$$WSA = \sum t_k \times w_k$$

ただし t_k はセル k が遷移を起こした場合に 1、遷移を起こさなかった場合は 0 とする。 w_k はセル k の重みで、セル k の出力のファンアウト数 f によって以下のように決まる。 $(f=1)$ のとき

$$w_k = 1$$

$(f \geq 2)$ のとき

$$w_k = f + 1$$

文献[8]で提案された switching cycle average power (SCAP) は、スイッチングが発生しているタイムフレームの平均消費電力で、IR ドロップとよい相関を示した。この手法は、大きな IR ドロップを起こす可能性のあるパターンを特定するために使うことができる。文献[9]と[10]では、局所的な電力消費が特定の領域の IR ドロップに影響を与える点に着目し、これを考慮した低消費電力化手法が提案されている。文献[9]の手法では、回路を複数の領域に分割して、一部の領域だけの消費電力が多くなるようにするために、消費電力の分布が均等になるようにテスト圧縮を行う。このとき各領域の WSA によって評価を行う。文献[10]でも同様に、回路は複数の領域に分割されるが、テストパタンの評価は、様々な尺度を用いてなされる。以上の手法で用いられる評価尺度は IR ドロップや IR ドロップ起因の遅延増加と相関があり、IR ドロップの大きいパターンを特定することができるが、IR ドロップ起因の遅延増加量を正確に見積もることは出来ない。パスの実際の遅延値を見積もるには、評価値と活性化パスの情報を関連付ける必要がある。

一方で、パス考慮の評価尺度は、対象となるパス上のセル (victim) とその近傍のセル (aggressor) の間の関係に着目している。活性化パス上のセルの近傍のセルの遷移数が多いほど、その活性化パスの遅延への影響が大きくなる。文献[7][11]では活性化された長いパスで、文献[12]ではクロックパスにおいて評価されている。文献[7]では、WSA に重みを追加した critical capture transition(CCT)でセルが遷移した時の aggressor が受ける影響を反映する。Aggressor が受ける遷移の影響をより正確に表すために、パス上のノードよりも早い遷移を考慮する transition-time-relation(TTR)ベースの評価尺度が文献[11]で提案された。これらの手法は、テストパターンで対象のパスが IR ドロップ起因のタイミング違反を起こすかどうか特定することができる。しかし、パス考慮の評価尺度は WSA に基づくものが多い。WSA は IR ドロップと相関があることが知られているが、回路の遅延増加量を直接的に求めることは困難である。IR ドロップ起因の遅延を正確に見積もるには、パターンごとの IR ドロップ解析を行い、ダイナミックタイミング解析をする必要がある。文献[13]では、IR ドロップによる遅延増加を評価することで、テストパターンを検証している。検証プロセスはパターンごとのダイナミック IR ドロップ解

析を含み、その結果をタイミングシミュレーションにアノテートしてパス遅延を評価する。しかし、IR ドロップ解析には時間がかかるため、大規模回路の多量のテストパターンでの見積りは困難である。先行研究[14]では、セルごとの IR ドロップを高速に見積もる手法を提案している。この手法では、幾つかの代表パタンのサイクル平均消費電力（クロックサイクルでの平均消費電力）とダイナミック IR ドロップ解析の結果から任意のパタンのセルごとの IR ドロップを見積もることで高速化を実現している。しかし、全パタンの消費電力解析をする必要があり、依然として長い実行時間を必要とする。そのため、消費電力と相関が高いことが知られている WSA を用いることでさらに高速化することが可能である。

1.3 貢献と論文の構成

本論文では、先行研究[14]の手法の問題点を解決したセルごとの IR ドロップ見積り手法を提案する。提案手法では、ハザードを考慮した WSA と数パターン分の IR ドロップ情報を用いてセルごとの IR ドロップ見積り関数を導出する。提案手法は計算時間のかかる消費電力解析を省略し、代わりにハザード考慮 WSA を用いることで計算時間を大幅に削減することができる。また、見積り関数を用いることでパターンごとの各セルの IR ドロップを高速に見積もることができる。また、提案手法で見積もった IR ドロップ値は、IR ドロップ解析で得た正確な値と高い相関を示し、十分正確な見積り値を得ることができる。

本論文の残りの章は以下のように構成する。2章では予備実験の結果をもとに本研究の動機を示す。3章では提案手法の詳細を述べる。4章では実験結果を示し、5章で結論を述べる。

2. 予備実験

先行研究[14]より IR ドロップ起因のパス遅延増加量は、活性化パスが回路中のどの領域を經由するかによって異なることが分かっている。IR ドロップの大きなセルを通るパスは遅延増加量が大きく、反対に IR ドロップの小さいセルを通るパスは遅延増加量が少なくなる。そのため、正確な IR ドロップの影響を調べるためにはセルごとの IR ドロップ値を把握しておく必要がある。しかし、IR ドロップの見積りには手法[14]を用いた場合でも依然として長い実行時間を必要とする。そこで本論文ではセルごとの IR ドロップ値をより高速に見積もる手法を提案する。

予備実験として、先行研究で提案された手法[14]での実行時間の内訳および、サイクル平均消費電力と WSA の関係について調査した。また、WSA を拡張した評価尺度の提案と、サイクル平均消費電力の相関についても調査した。

実験には ITC'99 ベンチマーク回路の b14 を使用した。この回路は 5410 個のセルを含んでおり、Synopsys SAED90nm EDK Digital Standard Cell Library を用いて電源電圧 1.2V でレイアウト設計した。レイアウト後の回路は 245 個のフリップフロップと 2 入力 NAND ゲート換算で 9742 個のゲートを含んでいる。実験では LoC 方式で生成した遷移遅延故障テスト 1063 パターンと LoS 方式で生成した遷移遅延故障テスト 902 パターンを生成した。

2.1 手法[14]での IR ドロップ見積り

手法[14]を用いて IR ドロップ見積りを行い、実行時間を調査した。実験は LoC 方式で生成した 1063 パタンの遷移

遅延故障パターンに対して行った。その結果を表 1 に示す。単位は秒である。また、正確な IR ドロップ解析を行った場合の実行時間も併せて載せている。

手法[14]では、論理シミュレーションに 818 秒、消費電力解析に 1657 秒、IR ドロップ解析に 14 秒、IR ドロップの見積り(手法[14]のみ)に 0.12 秒かかった。この結果から、手法[14]では代表パターン選択による見積り関数を用いることで、最も時間のかかるセルごとの IR ドロップ値の見積りにかかる時間を大幅に短縮できることが分かる。しかし依然として消費電力解析に長い時間がかかっていることが分かった。大規模回路で実施した場合、セル数やパターン数が増大することから、計算量が莫大になってしまう。そのため手法[14]の高速化は不十分であり、消費電力解析のさらなる高速化を行うことが必要である。

表 1 手法[14]の実行時間の内訳

項目	実行時間(s)	
	IRドロップ解析	既存手法
シミュレーション	818.07	818.07
消費電力解析	1657.06	1657.06
IRドロップ解析	5503.23	14.93
IRドロップ見積り		0.12
合計	7978.36	2490.18

2.2 WSA とサイクル平均消費電力の相関

次に、一般に消費電力との相関がよいといわれている WSA と、サイクル平均消費電力の相関を調査した。実験は、LoC と LoS の両方式で生成した全パターンに対して行った。その結果、サイクル平均消費電力との相関係数は LoC では 0.71、LoS では 0.66 であった。図 2 に LoC の 1063 パターンでの WSA とサイクル平均消費電力の散布図を示す。

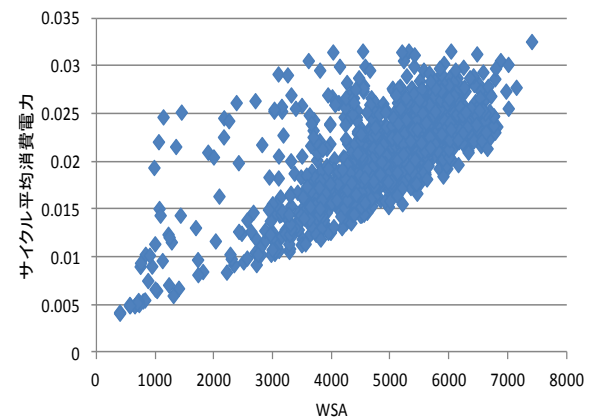


図 2 WSA とサイクル平均消費電力の関係

WSA とサイクル平均消費電力の間にはやや高い相関が見られたものの、同じ WSA に対してサイクル平均消費電力が大きくばらつくこともあり、見積りの精度が低下するおそれがある。これは、WSA が回路の遅延を考慮せず、初期値とクロックサイクルの終わりの値だけを比較しているためだと考えられる。ところが実際の回路では、個々のセルが持つ遅延によって最終的な値が確定するまでに多くの遷移が発生している。最終的な値が確定する前に起こる遷移のことをハザードと呼ぶ。WSA ではハザードをカウントしていないため、実際の遷移数を十分に反映できていな

い。従って、クロックサイクルの間のハザードを考慮しなければ実際の消費電力値と高い相関を得ることはできないと考えられる。

そこで本論文では、ハザードを考慮することで回路遅延を考慮したより実際に近い評価尺度を導入した。従来の WSA に代わり、1 クロックサイクル間でのハザードを反映するように拡張した WSA を用いて、サイクル平均消費電力との相関を向上させることにした。以降この拡張した WSA をハザード考慮 WSA と呼ぶ。ハザード考慮 WSA は以下の式で求めることができる。

$$\text{ハザード考慮WSA} = \sum h_k \times w_k$$

ただし、 h_k は 1 クロックサイクル間でのセル k の全ての信号遷移回数である。これによって、論理的に遷移のないセルであっても実際の遷移回数を考慮することができる。

WSA の実験と同様の環境で、ハザード考慮 WSA とサイクル平均消費電力の相関係数を調査した。その結果、LoC では 0.996、LoS では 0.990 となり極めて高い相関を示した。図 3 に LoC の 1063 パタンでのハザード考慮 WSA とサイクル平均消費電力の散布図を示した。LoC と LoS の両クロック方式で生成したパタンにおいて、WSA とサイクル平均消費電力の相関と、ハザード考慮 WSA とサイクル平均消費電力の相関を表 2 にまとめた。

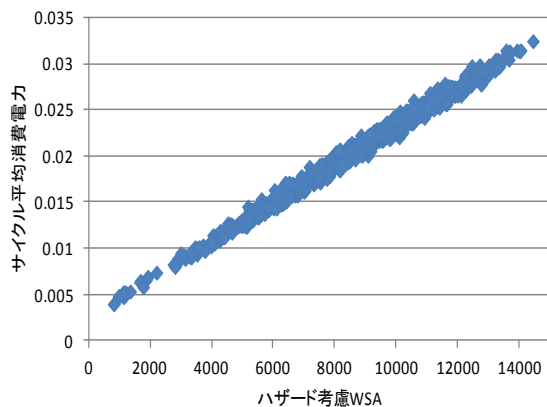


図 3 ハザード考慮 WSA とサイクル平均消費電力の関係

表 2 サイクル平均消費電力との相関係数

Scheme		Correlation
LoC	hazard_wsa	0.9956
	wsa	0.7133
LoS	hazard_wsa	0.9894
	wsa	0.6611

ハザード考慮 WSA を求めるのにかかる時間を計算したところ、消費電力解析に比べておよそ 10 倍高速に計算可能であった。ハザード考慮 WSA はサイクル平均消費電力との相関係数が非常に高く、計算時間も短い。そのため、ハザード考慮 WSA を用いた見積りを行うことで見積り精度を維持したまま消費電力解析にかかる計算時間を大幅に削減することができる。そこで 3 章では手法[14]に対して、消費電力解析の代わりにハザード考慮 WSA を用いることで計算時間をさらに削減した手法を提案する。提案手法で

は高い精度を維持しつつ手法[14]に比べさらに高速に IR ドロップを見積ることが可能である。

3. 提案手法

3.1 概要

提案手法のフローを図 4 に示す。提案手法は 4 つの主要なステップで構成される。

ステップ 1: ハザード考慮 WSA 解析

ステップ 2: 代表パタン選択

ステップ 3: IR ドロップ見積り関数の導出

ステップ 4: セルごとの IR ドロップ見積り

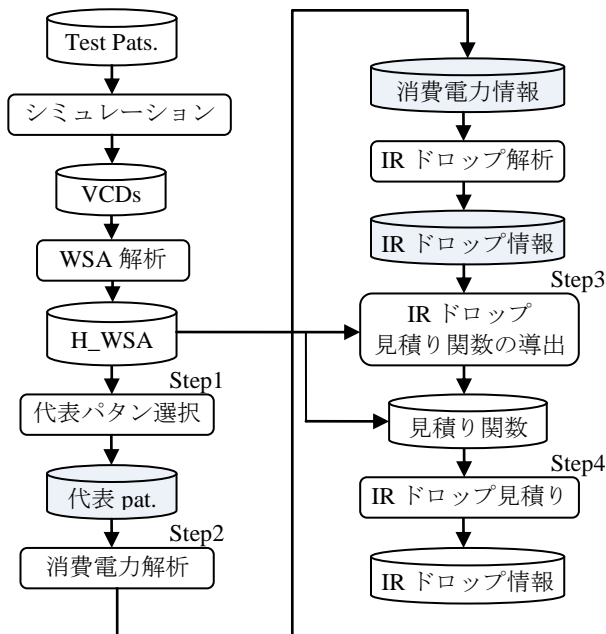


図 4 提案手法のフロー

それぞれのテストパタンに対して行われる論理シミュレーションによって、パタンごとに VCD(value change dump)と呼ばれる波形ファイルが生成される。ステップ 1 では VCD ファイルからパタンごとのハザード考慮 WSA を計算する。ステップ 2 では IR ドロップ解析を行う代表パタンを数パタン選択する。ステップ 3 では、ステップ 2 で選ばれた代表パタンに対してセルごとの IR ドロップ解析を行う。そして求められた IR ドロップ値とハザード考慮 WSA を用いて IR ドロップ見積り関数を導出する。ステップ 4 ではステップ 3 で求めた見積り関数と、ステップ 1 で求めたハザード考慮 WSA を用いて、代表パタン以外の全てのパタンに対してセルごとの IR ドロップ見積りを行う。以下では各ステップごとの詳細を述べる。

3.2 ハザード考慮 WSA 解析

ステップ 1 では、VCD ファイルを読み込んでパタンごとのハザード考慮 WSA の値を計算する。VCD ファイルには、回路内の全てのセルの名前と入出力ポートが記されており、ポートおよび信号線の値が遷移した時間と値を求めることができる。また、セル同士の信号線の接続関係を求めることも可能である。本研究では VCD からハザード考慮 WSA を計算する Perl プログラムを作成した。このプログラムは、各セルの出力値と遷移した時間を確認することでセルごとのハザードの回数をカウントする。同時に信号線の接続関

係を調べることでセルの出力のファンアウト数を計算し、ハザード考慮 WSA を計算する。

予備実験からハザード考慮 WSA は消費電力解析よりも約 10 倍高速に計算することが可能であり、サイクル平均消費電力との高い相関をもつことが分かっている。そのため、ハザード考慮 WSA の解析は消費電力解析に代わって全パターンに対して行った。

3.3 代表パターン選択

このステップでは IR ドロップ解析を行う幾つかのパターンを選択する。代表パターンは、ハザード考慮 WSA の値をもとに選択される。IR ドロップ解析には時間がかかるため、高速化の観点から代表パターン数は出来るだけ少ない数にするのが望ましい。後述する実験では、代表パターン数は 3,4,5 の 3 通りで実験を行った。

代表パターンは、ハザード考慮 WSA の値の大小によって決定される。まずは、ハザード考慮 WSA が最大のパターンと最小のパターンを選択する。残りのパターンは、パターン数を代表数で均等に割った間隔で選択する。たとえば 3 パターン選択する場合、ハザード考慮 WSA が最大値のパターン、最小値のパターンおよび中央値のパターンが代表パターンとして選択される。

3.4 IR ドロップ見積り関数の決定

代表パターンが選択されると、代表パターンに対してのみ IR ドロップ解析が行われる。この操作によって、代表パターンについては、セルごとの正確な IR ドロップ値を得ることができる。IR ドロップ解析は計算時間の長い処理であるが、代表パターンを少なくすることで実行時間を大幅に削減している。また、IR ドロップ解析を行うためにはパターンごとの消費電力情報が必要である。そのため提案手法では代表パターンに対してのみ消費電力解析も実施する。

IR ドロップ解析によって、代表パターンのハザード考慮 WSA とセルごとの正確な IR ドロップ値のペアが得られる。このステップでは、ステップ 1 で求めたハザード考慮 WSA と IR ドロップ情報に対して最小二乗法を用いて IR ドロップ値に関する近似関数を求める。

定義 1 : n 個の代表パターンに対するサイクル平均消費電力と、あるセルの IR ドロップ値の対、 $\{(w_1, v_1), (w_2, v_2), \dots, (w_n, v_n)\}$ を考える。ただし w_i は i 番目の代表パターンのハザード考慮 WSA で、 v_i はそれに対応する IR ドロップである。このとき IR ドロップ見積り関数は以下のように導出する。

$$v = aw + b$$

ただし、 a および b は以下のとおりである。

$$a = \frac{n \sum_{i=1}^n w_i v_i - \sum_{i=1}^n w_i \sum_{i=1}^n v_i}{n \sum_{i=1}^n w_i^2 - (\sum_{i=1}^n w_i)^2}$$

$$b = \frac{\sum_{i=1}^n w_i^2 \sum_{i=1}^n v_i - \sum_{i=1}^n w_i v_i - \sum_{i=1}^n w_i}{n \sum_{i=1}^n w_i^2 - (\sum_{i=1}^n w_i)^2}$$

3.5 セルごとの IR ドロップ見積り

このステップでは、ステップ 3 で導出した見積り関数を使って、代表パターン以外の全てのパターンでセルごとの IR ドロップ値を見積る。見積り関数に各パターンのハザード考慮 WSA を代入することで、セルごとの IR ドロップ見積り

値を得ることができる。このステップは一次関数の計算を行うだけであるため IR ドロップ解析に比べて格段に高速に計算することができる。また、提案手法では消費電力情報を用いずにハザード考慮 WSA を使用している。そのため実行時間の長い消費電力解析を省略することが可能である。また、ハザード考慮 WSA とサイクル平均消費電力には高い相関があるため、消費電力情報を用いた場合と同程度の正確性に見積ることができる。

4. 実験結果

実験は、2 章の予備実験と同じ、ITC'99 b14 ベンチマーク回路に対して ATPG で生成した遷移遅延故障テストパターン LoC 方式(1063 パターン)および LoS 方式(902 パターン) で実施した。

比較のために、LoC, LoS それぞれの方式で生成したパターンにおいて、IR ドロップ解析による正確な IR ドロップ値と、手法[14]で見積った値を求めた。提案手法で見積った値および手法[14]で見積った値と、IR ドロップ解析で求めた正確な値との相関係数と実行時間を表 3 に示した。提案手法、手法[14]とも代表パターン数は 3,4,5 の 3 通りで実験した。相関係数は、LoC1063 パターン、LoS902 パターンの中での最大値、最小値、平均値を求めた。実行時間は、(1)ハザード考慮 WSA 解析(提案手法のみ)、(2)消費電力解析、(3)IR ドロップ解析、(4)見積り関数の導出および導出した関数を用いた見積り(提案手法および手法[14]のみ)の実行時間の合計を求めた。3 列目の Method における "pow_n" は手法[14]において n 個の代表パターンを選び IR ドロップ解析を行った場合を示し、"wsa_n" は提案手法において n 個の代表パターンを選び IR ドロップ解析を行った場合を意味している。7 列目の "Time" は上で述べた実行時間である。

表 3 提案手法と既存手法の比較

Scheme	#Pats.	Method	Correlation			Time(s)
			Max.	Min.	Avg.	
LoC	1063	pow_3	0.99	0.55	0.92	1672
		pow_4	0.99	0.53	0.92	1677
		pow_5	0.99	0.44	0.92	1682
		wsa_3	0.99	0.56	0.92	185
		wsa_4	0.99	0.50	0.91	192
		wsa_5	0.99	0.52	0.92	198
		Dynamic	/	/	/	7160
LoS	902	pow_3	0.99	0.73	0.95	1590
		pow_4	1.00	0.76	0.96	1595
		pow_5	0.99	0.71	0.96	1601
		wsa_3	1.00	0.78	0.96	164
		wsa_4	1.00	0.76	0.96	171
		wsa_5	0.99	0.79	0.96	178
		Dynamic	/	/	/	6502

実験の結果、LoC パターンにおいては、正確に IR ドロップを解析した値と提案手法で求めた見積り値の相関係数は最大で 0.99、平均で 0.91~0.92 となり非常に高い相関がみられた。この値は従来手法とほぼ同等であり、最低値においては提案手法の相関係数の方が高い場合も見られた。そのため提案手法は消費電力解析を省略した場合でも十分な精度を維持していることが分かった。実行時間は、正確な

IR ドロップ解析に比べて約 40 倍(代表パタン数 3 のとき), 従来手法に比べて約 9 倍(代表パタン数 3 のとき)高速であった。

一方 LoS パタンでは, 相関係数の最大値が 1.00~0.99, 平均値は 0.96 となり, LoC と同様に手法[14]に比べて同等か, さらに相関の良い結果となった。最低値においてはいずれの場合も提案手法の方が高い値となった。これは提案手法の方がより正確な見積り関数を導出できたためだと考えられる。実行時間も LoC と同様に代表パタン数が 3 のときに IR ドロップ解析に比べて約 40 倍, 従来手法に比べて約 9 倍の高速化を実現した。

また, パタンごとの相関係数の分布を調査したところ表 4 のような結果となった。これによると LoC 方式では LoC の全パタンのうちの 70%, LoS 方式では同 97%以上のパタンにおいて, IR ドロップ解析の値と提案手法での見積り値の相関係数が 0.9 以上であることが分かった。このことから, 精度の面においても提案手法は十分有効な IR ドロップ見積り手法であることが分かる。代表パタン数に関しては, 3 パタンから 5 パタンのいずれの場合も大差は見られなかった。IR ドロップ解析および消費電力解析の実行を極力減らすために, 代表パタン数はできるだけ少ない方が実行時間が短くなる。実験では最も少ない 3 パタンでも十分正確な値を見積ることができた。

表 4 相関係数の分布

Correlation	LoC			LoS		
	wsa3	wsa4	wsa5	wsa3	wsa4	wsa5
0.50-0.59	7	10	10	0	0	0
0.60-0.69	4	7	6	0	0	0
0.70-0.79	21	26	24	1	1	1
0.80-0.89	205	253	224	17	24	11
0.90-0.99	826	767	799	883	876	890
1.00	0	0	0	1	1	0

5. 結論

本論文では, 高速かつ高精度なセルごとの IR ドロップ見積り手法を提案した。提案手法では, サイクル平均消費電力の代わりにハザード考慮 WSA を用いた。ハザード考慮 WSA は, サイクル平均消費電力との相関が非常に高く, 計算時間は平均消費電力解析に比べて約 10 倍高速に実行可能である。実験では LoC と LoS の 2 種類のクロック方式を利用した遷移故障テストパタンに対してセルごとの IR ドロップを見積った。その結果, LoC および LoS のどちらの場合でも従来手法に比べて約 9 倍, IR ドロップ解析を利用する場合に比べて約 40 倍の高速化を実現した。また, 提案手法によって求めた見積り値と IR ドロップ解析で求めた正確なドロップ値との相関は非常に高い結果となった。手法[14]と比較した場合, 相関係数は同等か場合によっては提案手法の方が高い値を示した。これらのことから提案手法は高速で十分正確であることが分かった。

今後は, さらに大規模な回路に対して提案手法を適用する。また, 提案手法で見積った値を用いたタイミング解析を実施する。

参考文献

- [1] P. Girard, N. Nicoloci, and X. Wen, Editors, Power-Aware Testing and Test Strategies for Low Power Devices, Springer, 2009.
- [2] X. Wen, Y. Yamashita, S. Kajihara, L. -T. Wang, K. K. Saluja, and K. Kinoshita, "On Low-Capture-Power Test Generation for Scan Testing," Proc. IEEE VLSI Test Symp., pp. 265-270, 2005.
- [3] S. Remersaro, X. Lin, Z. Zhang, S. M. Reddy, I. Pomeranz, and J. Rajski, "Preferred Fill: A Scalable Method to Reduce Capture Power for Scan Based Designs," Proc. IEEE Intl. Test Conf., Paper 32.2, 2006.
- [4] K. Enokimoto, X. Wen, Y. Yamato, K. Miyase, H. Sone, S. Kajihara, M. Aso, and H. Furukawa, "CAT: A Critical-Area-Targeted Test Set Modification Scheme for Reducing Launch Switching Activity in At-Speed Scan Testing," Proc. IEEE Asian Test Symp., pp. 99-104, 2009.
- [5] Y. Yamato, X. Wen, K. Miyase, H. Furukawa and S. Kajihara, "A GA-Based Method for High-Quality X-Filling to Reduce Launch Switching Activity in At-Speed Scan Testing," Proc. IEEE Pacific Rim Intl. Symp. on Dependable Computing, pp. 81-86, 2009.
- [6] S. Bahl, R. Mattiuzzo, S. Khullar, A. Garg, S. Graniello, K. S. Abdel-Hafez, and S. Talluo, "State of the Art Low Capture Power Methodology," Proc. IEEE Intl. Test Conf., Paper 12.3, 2011.
- [7] X. Wen, K. Miyase, T. Suzuki, S. Kajihara, Y. Ohsumi, and K. K. Saluja, "Critical-Path-Aware X-Filling for Effective IR-Drop Reduction in At-Speed Scan Testing," Proc. Design Automation Conference, pp. 527-532, 2007.
- [8] N. Ahmed, M. Tehranipoor, and V. Jayaram, "Transition Fault Pattern Generation Considering Supply Voltage Noise in a SoC Design," Proc. Design Automation Conf., pp. 533-538, 2007.
- [9] J. Lee, S. Narayan, M. Kapatalos, and M. Tehranipoor, "Layout-Aware, IR-Drop Tolerant Transition Fault Pattern Generation," Proc. Design Automation and Test in Europe Conf., pp. 1172-1177, 2008.
- [10] V. R. Devanathan, C. P. Ravikumar, and V. Kamakoti, "A Stochastic Pattern Generation and Optimization Framework for Variation-Tolerant, Power-Safe Scan Test," Proc. IEEE Intl. Test Conf., pp. 13.1, 2007.
- [11] K. Miyase, X. Wen, M. Aso, H. Furukawa, Y. Yamato, and S. Kajihara, "Transition-Time-Relation Based Capture-Safety Checking for At-Speed Scan Test Generation," Proc. Design Automation and Test in Europe Conf., pp. 895-898, 2011.
- [12] Y. Yamato, X. Wen, M. A. Kochte, K. Miyase, and S. Kajihara, "A Novel Scan Segmentation Design Method for Avoiding Shift Timing Failure in Scan Testing," Proc. IEEE Intl. Test Conf., paper 12.1, 2011.
- [13] J. Ma and M. Tehranipoor, "Layout-Aware Critical Path Delay Test Under Maximum Power Supply Noise Effects," IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems, vol.30, no.12, pp.1923-1934, Dec. 2011.
- [14] Y. Yamato, T. Yoneda, K. Hatayama, M. Inoue, "Per-Cell Dynamic IR-Drop Estimation in At-Speed Scan Testing," 信学技報, vol. 112, no. 102, DC2012-15, pp. 39-44, June 2012.