

ハザードのない最簡論理回路の設計*

福村 晃夫** 稲垣 康善** 香村 求**

あ ら ま し

論理演算回路の高速，高信頼化を計るために，素子のおくれのばらつきによって起こる過渡誤り出力（ハザード）を取り除くことが要求される。本論文では，McCluskey によって示された P セット，S セットを用いてハザードを解析し，ハザードのない最簡回路を求める手順を covering の問題，整数解 (0, 1 解) の線形計画問題に帰着できた。さらにハザードのない条件は同族変換に対して不変であることを示すとともに，冗長入力のある3変数および，冗長入力のない4変数の同族類のすべての代表関数に対してハザードのない最簡形を与え，これを表にまとめた。また同時に，同族類の個数，代表関数を求める方法，および代表関数を用いて回路を設計する手順を冗長入力のある場合について拡張した。

1. は し が き

情報処理システムにおいては演算速度と信頼性の向上がつねに要求されるが，この要求をはばむものとして，論理演算素子の動作時間のばらつきによる過渡誤り出力の可能性，すなわち，ハザードの存在がすでに Huffman¹⁾，McCluskey²⁾ らによって指摘されている。このハザードを抑えるためには，十分長い周期の同期パルスを用いる必要があり，このことが同期回路の演算速度を制限する。また非同期順序回路においては，組み合わせ回路の部分にハザードが存在すると状態推移を誤る可能性が生ずる。そこで，ここでは最小数の冗長素子を許容したハザードのない論理回路を設計し，十分の信頼性を保ちつつ演算速度を向上することを考える。

本論文では，はじめにハザードの定義，存在条件を述べ，さらにハザードの存在しない最簡な積和2段回路の設計手順を示した。また同族変換によってハザ-

ードの存在しない条件がかわらないことを証明し，冗長入力のある場合の3変数，冗長入力のない場合の4変数関数のハザードのない最簡な積和形代表関数を，表にして示した。これに伴って冗長入力のある場合の代表関数の個数と，代表関数の選び方，代表関数を用いた設計のしかたが示される。

2. ハザード

この節では，文献²⁾に与えられているハザードの種類，定義，存在条件を以下の記述の便宜のために簡単に述べる。

2.1. ハザード

ハザードは，一口にいえば，入力状態が変化したとき，過渡出力が誤まる可能性である。ふつう論理回路は論理関数であらわすことができるが，これは2値信号（信号の値，すなわち，状態が0または1だけでその途中の状態はない）と，零遅延（すべての素子，接点は同時に動作し遅れはない）の二つの仮定のもとに記述されている。しかし実際の回路では信号は完全な2値ではなく，また動作時間（遅延）も無視できない。ハザードはこれらの事実を考慮したときにはじめて解析できる。ここでは，1入力変化の組み合わせ回路におけるハザードについて考える。

2.2. P(S) セット，1(0) セット

回路の過渡状態を記述するのに接点回路網では，入出力端子間を閉（開）路にする道をすべてかきあげる方法がある。

[定義1] 同じリレーで制御される接点に添字 1, 2, …をつけて，各々を区別し，添字のついた文字（接点）の集合において，それらに対応する接点が閉じ（開い）ているときはいつも閉（開）路を作り，そのうち，一つでも開く（閉じる）と閉（開）路を作らない添字のついた文字の集合を回路の P(S) セットという。

AND-OR ゲート回路では，同じ入力でもそれらが異なる素子に入るときには添字をつけて区別し，入力の組み合わせで1出力を出すものをPセット，0出力を出すものをSセットとする。したがって，以後ゲ-

* Minimization of Hazard-Free Switching Circuits, by Teruo Fukumura, Yasuyoshi Inagaki and Motomu Kohmura (Faculty of Engineering, Nagoya University)

** 名古屋大学工学部

ト回路と、接点回路を区別しないで取り扱う。これは、同じリレーで制御される接点の動作のバラツキを考慮することと等価である。

〔定義2〕 P(S) セットの文字の集合から添字を取り除き、同一文字は一つの文字にまとめて作った文字の集合を 1 (0) セットと呼ぶ。

〔定義3〕 1 (0) セットのうち相補文字 (同じ文字が一方で肯定、他方で否定となっているもの) をふくまないような文字の集合を安定 1 (0) セット、相補文字を 1 対だけふくんでいるような文字の集合を不安定 1 (0) セットとよぶ。

2.3. ハザードの種類・定義・存在条件

2.3.1. 静的ハザード

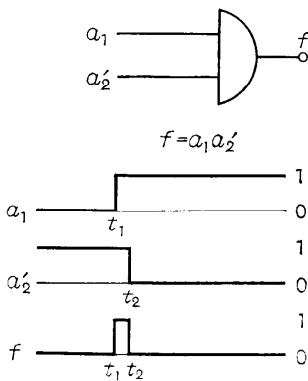
〔定義4〕 入力変化前の出力と、変化後の出力がともに 1 (0) で、その過渡状態において 0 (1) 出力をだすようなハザードを静的 1 (0) ハザードという。

この静的ハザードは、その存在条件によって二つに分けられる。

(1) 不安定セットによる静的ハザード

不安定 1 (0) セットによる静的 0 (1) ハザードは、不安定 1 (0) セット $\{\alpha^*, \beta^*, \dots, w, w'\}^\dagger$ が存在し、これをおおう 1 (0) セット、いいかえれば、 α^*, \dots, β^* の 1 部分からできた 1 (0) セットが存在しないとき、しかもそのときに限って存在する。

このハザードは、 $ww'=0$ が過渡的には、必ずしも成立しない可能性のあることによって起こる。第 1 図にその例を示す。図の回路は、 a の変化前も変化後も出力は 0 であるが、 $a=0$ から $a=1$ に変化したとき



第 1 図 不安定セットによる静的 0 ハザードの例

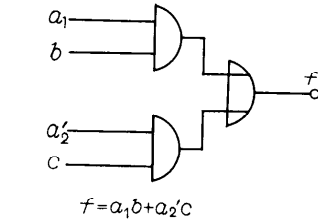
† α^* は α または α' をあらわす、また、 α', w' はそれぞれ α, w の否定を示す。

a_1 の応答が時刻 t_1 におこり、 a_2 の応答が少し遅れて t_2 に起こったとすると、出力 f は、時刻 t_1 と t_2 の間では誤り出力 1 を出す。これが不安定セットによる静的 0 ハザードである。

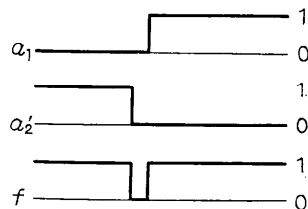
(2) 二つの安定セット間におこる静的ハザード

このハザードは、二つの安定セット $\{\alpha^*, \dots, \beta^*; w\}$ と、 $\{\lambda^*, \dots, \theta^*; w'\}$ が存在し、この対になった安定 1 セットの両方をおおう 1 (0) セットが存在しないとき、しかもそのときに限って存在する。

このハザードは、 $w+w'=1$ が常にはなりたないことによる†。第 2 図に例を示す。図の回路において、



$b=1, c=1$



第 2 図 二つの安定セットによる静的 1 ハザードの例

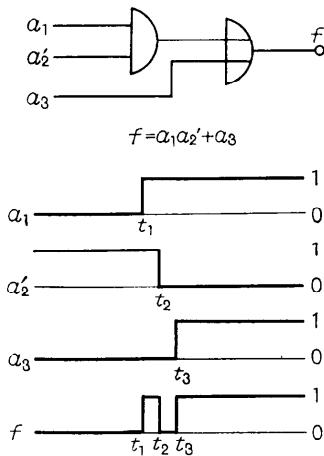
$b=1, c=1$ とすれば a に無関係に $f=1$ である。このとき a が 0 から 1 に変化すれば、 a_2' の応答が t_1 に、 a_1 の応答が $t_2 (> t_1)$ に起こると t_1, t_2 の間に誤り出力 0 を出す。これが静的 1 ハザードである。

2.3.2. 動的ハザード

〔定義5〕 入力変化前の出力が 0 (1) で、変化後の出力が 1 (0) とするとき、過渡出力が、はじめ 1 (0)、つづいて 0 (1) がでて、はじめて 1 (0) に安定するようなハザードを動的 1 (0) ハザードという。

動的ハザードは、機構的には静的 0 ハザードと、静的 1 ハザードとの組合わせであるといえる。安定 0 出力から安定 1 出力にかわるとき不安定 1 セットによって不安定 1 出力を出し、ついで不安定 0 セットによって不安定 0 出力を出し、さらに安定 1 セットに移って

† + は論理和をあらわす。



第3図 動的ハザードの例

安定 1 出力を出して安定する。第 3 図にその例を示す。動的ハザードの本質は $a+aa'$ が過渡的には a にならない点にある。第 3 図の回路において、出力 f は定常的には $a=0$ で 0, $a=1$ で 1 である。いま a が 0 から 1 へ変化したとしよう。そのときの変化に各入力 a_1, a_2, a_3 によって異なる遅れがあり、 a_1 が時刻 t_1 で 0 から 1 へ、 a_2' が時刻 $t_2 (> t_1)$ で 1 から 0 へ、さらに a_3 が時刻 $t_3 (> t_2)$ で 0 から 1 に変化すると、 f の出力は t_1 で 1, t_2 で 0, t_3 で 1 となって安定する。

回路を AND-OR の 2 段回路とした場合には、 $a\bar{a}$, $a+a\bar{a}$ などという項は入ってこないで、不安定セットによる静的ハザード、および動的ハザードは存在しないが、安定セット間のハザードは、第 3 吸収律 $ab + \bar{a}c + bc = ab + \bar{a}c$ を使って論理式を簡約した場合に起こってくる。また多段の論理回路では、不安定セットによる静的ハザード、動的ハザードは起こりうるが、回路が与えられてその回路からハザードを除去することはここでは扱わないで、はじめからハザードのない最簡 AND-OR 2 段回路を設計する方法を述べる。

3. ハザードの存在しない最簡組み合わせ回路の設計

この節では、1 入力変化の最簡な AND-OR ゲート回路または直並列接点回路を設計する手順を示そう。

3.1. ハザードのない条件

前節で明らかにされたように

(1) 不安定セットが存在しない

(2) 1 出力をだす隣接入力状態があればそれらをおおひ 1 セットが存在するという条件 (1) (2) が静的ハザードも、動的ハザードも存在しない条件である。

3.2. 条件 (2) を満たす 1 セットおよびそれらを含む主項を求める手順

以下、出力 1 を出す入力状態と冗長入力が最小項表示で与えられたとき、ハザードのない最簡な 2 段 AND-OR 回路を設計することを問題にする。回路合成では、出力 1 を出す最小項を 1 セットとすれば、それらはすべて安定セットであるから、3.1. の条件 (1) は考慮せず、条件 (2) を満たす 1 セットを作り、つづいて、それらをおおひ主項を導くことだけを考える。以下に、これらのことを計算機で行なうのに便利な系統的な方法を示そう。

一般に n 変数論理関数を積和形式であらわせば

$$f(x_1, x_2, \dots, x_n) = \sum_{e} f(e) x_1^{e_1} x_2^{e_2} \dots x_n^{e_n}, \tag{1}$$

ただし、 $e_i \in \{0, 1, 2\}$ とし、 $x_i^{e_i}$ をつぎのように約束する。

$$x_i^{e_i} = \begin{cases} e_i = 0 \text{ のとき } x_i' \text{ (否定)} \\ e_i = 1 \text{ のとき } x_i \\ e_i = 2 \text{ のとき } 1 \end{cases}$$

また、 $f(e)$ はベクトル $e = (e_1, e_2, \dots, e_n)$ の関数で、論理積 $x_1^{e_1} x_2^{e_2} \dots x_n^{e_n}$ が、積和形式に展開された式の中に含まれていれば 1, そうでなければ 0 である。このようにベクトル e は一つの論理積を定めるが、幾何学的には n 次元超立方体の頂点、辺、面、立方体などをきめる。そこで、 e を cube とよぶことにする。

[定義 6] cube e の、 $e_i = 2$ である座標の個数をその次元数という。また、次元数 k の cube を k -cube という。

[定義 7] 二つの cube $a = (a_1, a_2, \dots, a_n)$, $b = (b_1, b_2, \dots, b_n)$, $a_i, b_i \in \{0, 1, 2\}$ にたいして、 $a \circ b$ をつぎのように定義する。

$$a \circ b = (a_1 \circ b_1, \dots, a_n \circ b_n) \tag{2}$$

ただし、 $a_i \circ b_i$ は第 1 表で定義されている。

第 1 表 ◦ 演算

$a_i \backslash b_i$	0	1	2
0	0	1	1
1	1	1	1
2	1	1	2

〔定義8〕二つの cube a, b にたいして定義される $a \circ b$ に含まれる y の個数を $\#_y(a \circ b)$ とし、もし $\#_y(a \circ b) = 1$ であればこの y を 2 にかきかえて得られるベクトルを cube $a * b$ と定義する。

$\#_y(a \circ b) \geq 2$ のときには、cube $a * b$ は存在しない。

〔定義9〕二つの cube a, b において、 $a_i = b_i$ 、あるいは、 $a_i \neq b_i$ かつ $a_i = 2$ の関係のいずれかがすべての i について成り立てば、 a は b を包含するという。

上の定義から、cube $a * b$ は、cube a, b を包含する次元数が1だけ高い cube であることが知られる。したがって、つぎの手順 A, B によって、求めるすべての1セットおよび主項が得られる。

手順A 条件(2)を満たす1セットを作る手順

(1) 与えられた出力1をだす入力状態の最小項表示を、(1)式で用いたベクトルで表わす。これは0-cubeである。

(2) 各0-cubeの間に*演算をおこない1-cubeを作る。この1-cubeが隣接した入力状態をおおう1セットである。

(3) 0-cubeのうちどの1-cubeにも包含されない0cubeと、(2)でできた1-cubeをかきだす。

手順B 主項を作る手順

(1) 与えられた出力1をだす入力状態と、冗長の入力状態をあわせた最小項を、(1)式で用いたベクトルであらわす。

(2) 各 k -cube の間で*演算をおこない、 $(k+1)$ -cubeを作る。ただし、 $k=0$ からはじめる。

(3) $(k+1)$ -cubeの個数が0でなければ、この $(k+1)$ -cubeを用いて(2)の操作をおこなう。0ならば次へ進む。

(4) 作られた各 k -cubeのうち、どの $(k+1)$ -cubeにも包含されていないcubeをとり出す。

この主項を作る手順は、McCluskeyの方法³⁾と、0, 1, 2の記法、および包含関係を定めた点を除いて本質的にかかわるところはないが、計算機プログラムにはかなり便利になっている。

3.3. ハザードのない最簡回路の設計手順

ハザードのない最簡回路を求めることは、3.2.の手順Aで得られた0-cubeと、1-cubeを包含する最小個数、または最小文字数の主項の組を、手順Bで得られた主項の中から選ぶという最小被覆の問題に帰着される。さらにこの最小被覆の問題は、つぎのように0, 1解をもつ線形計画問題として定式化される。

(1) 線形計画法による定式化

手順Aで求められた0-cubeと、1-cubeを c_1, \dots, c_m とし、手順Bで得られた主項をあらわすcubeを r_1, \dots, r_n とする。このとき、 $a_{ij}(i=1, \dots, n, j=1, \dots, m)$ を r_i が c_j を包含するとき1、そうでないとき0である定数とし、 $z_j(j=1, \dots, m)$ を r_j が求める主項のくみにとりいれられるとき1、そうでないとき0となる変数とすれば、問題はつぎのように定式化される。すなわち

手順C

制約条件式

$$\sum_{j=1}^m a_{ij} z_j \geq 1 \quad (i=1, \dots, m) \quad (3)$$

のもとで、目的関数

$$(1) \quad y = 1 + \sum_{j=1}^m z_j, \quad (\text{AND, OR ゲートの総数}) \quad (4)$$

$$(2) \quad y = \sum_{j=1}^n w_j z_j + \sum_{j=1}^m z_j, \quad (\text{ダイオードの総数}) \quad (5)$$

を最小にする z_j (0 または 1, $j=1, \dots, n$) を求める。

ただし、 $w_j = N - d_j$ であって、 d_j は cube r_j の次元数、 N は入力変数の個数とする。

目的関数(4)式の第1項は、最終段のOR素子の数、第2項はAND素子の数、また目的関数(5)式の第1項はAND論理演算を行なうのに必要なダイオードの数で、 w_j は一つのAND回路に入る入力線(ダイオード)の数、第2項はOR論理演算に用いられるダイオードの総数である。

このようにして手順A, B, Cを用いれば、目的関数(4)式、または、(5)式が最小という意味で最簡なハザードのない回路を求めることができる。

(2) 制約条件式と変数の削減

整数解のL.P.についてはいろいろと研究されているが、たとえばGomory,⁴⁾ Balas⁵⁾の方法を用いて解くことができるが、変数の数、制約条件式の数はいくつでも解くにも容易である。そこで、前節で定式化した線形計画問題の制約条件式と変数の削減がのぞまれる。そのために、つぎの三つの性質を用いることができる。

性質(1) $a_{ij_1} = 1, a_{ij_2} = 0 (j_1 \neq j_2)$ ならば、 $z_{j_1} = 1$ 。したがって $a_{kj_1} = 1$ である条件式は考慮する必要はない。これは i 番目の条件式が

$$z_{j_1} \geq 1 \quad (6)$$

したがって $z_{j_1} = 1$ であることによって、 z_{j_1} をふく

むすべての条件式が満たされることから明らかである。

性質(2) 第 i_1, i_2 番目の条件式に対して $a_{i,j}=1$ のときつねに $a_{i,j}=1$ ならば, i_2 番目の条件式は考慮しなくてもよい。これは, i_1 番目の制約条件式が満たされていれば必ず i_2 番目の式が満たされていることを示しており, 明らかである。

性質(3) z_{j_1} と z_{j_2} の係数について $a_{i,j_1}=1$ のときつねに $a_{i,j_2}=1$ ならば, $z_{j_1}=0$ である。

このような場合の制約条件式をかくと

$$z_{j_1} + z_{j_2} + \sum_{j^* \neq j_1, j_2} a_{ij^*} z_{j^*} \geq 1 \quad (7)$$

$$z_{j_2} + \sum_{j^* \neq j_1, j_2} a_{ij^*} z_{j^*} \geq 1 \quad (8)$$

$$\sum_{j^* \neq j_1, j_2} a_{ij^*} z_{j^*} \geq 1 \quad (9)$$

の三つの型に分けられる。 j_1, j_2 をふくまない $\sum_{j^* \neq j_1, j_2}$ の項だけで(7)~(9)式が満たされていれば $z_{j_1}=z_{j_2}=0$ 。(9)式はなりたつが(7), (8)式が \sum の部分では満たされていないとき, (8)式を満たすためには $z_{j_2}=1$ としなければならない。そうすれば(7)式はなりたっているから $z_{j_1}=0$ 。

これらの性質は, それぞれ a_{ij} を要素とする $m \times n$ 行列において, 1を \surd 印にし, 0をとり除いて得られる主項表における(1) 必須項, (2) column dominance, (3) row dominance と対応している。

なお, 主項表を簡約して, もうこれ以上簡約できなくなった cyclic table に対して従来考えられてきたいろいろな方法, たとえば, Quine⁶⁾ による試行錯誤法, McCluskey⁹⁾ による改良した試行錯誤法, Roth⁷⁾ による topological な解法, Gimpel⁸⁾, McCluskey⁹⁾ らによる Boolean Representation の方法などは, 本質的にはすべて試行錯誤(または, しらみつぶし)法で, 系統的に解を求めることが困難である。しかし, 上に明らかにしたように L.P. を用いれば, 目的関数最小の意味での最簡なハザードのない論理回路を求めることができる。

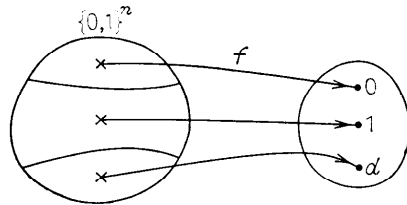
4. 同族変換と同族類の個数

この節では, ハザードのない最簡論理回路を関数の同族類ごとに設計する準備として, ハザードが存在しないように設計された回路(論理関数)に同族変換を施してもやはりハザードが存在しないことをまず示し, ついで冗長入力のある場合もふくめた同族類の個数を求め, さらにその代表関数を決める方法について述べる。

4.1. 同族変換とハザード

n 変数論理関数 $f(x_1, \dots, x_n)$ にたいする三つの変換(1) 変数の否定, (2) 変数の置換, (3) 関数の否定を同族変換という。同族変換を有限回施すことによってたがいに移ることのできる関数の間の関係を R とすれば, この関係 R は論理関数の集合の上の同値関係であり, R によって論理関数全体を同値類に分けることができる。同じ同値類にふくまれる論理関数は同族関数といわれる。

冗長入力(組み合わせ禁止)のある n 変数論理関数は, 第4図のように n 次直積空間 $\{0, 1\}^n$ から, $\{0,$



第4図 冗長入力のある理論関数 f の対応関係

$1, d\}$ の空間への多対1写像である。このことは, n 次元超立方体の 2^n 個の各頂点に $0, 1, d$ の値をわりあてることと同じ意味である。

n 次元超立方体の上で同族変換を考えると, 変数の否定, 置換によって頂点間のハミングの距離は不変であることから, $0, 1, d$ をわりあてられた図形(n 次元超立方体の一部分)が合同であれば同族である。また関数の否定にたいしては, 0 をわりあてられた頂点に 1 を, 1 をわりあてられた頂点に 0 をわりあて, d はそのままとしたときに合同になれば同族である。

この同族変換とハザードについてつぎの定理が成立する。

[定理1] ハザードが存在しないように設計された回路(論理関数)に同族変換を施してもやはりハザードは存在しない(証明略)。

同族変換は, 変数の名前のつけかたの変換, および 0 と 1 の変換の組み合わせにはかならず, 変数の置換によっては, $1(0)$ セットの要素の名前が変わり, 変数の否定によっては, $1(0)$ セットの対応する要素が否定されるだけであり, また, 関数の否定によっては, $1(0)$ セットの要素が否定された形で $0(1)$ セットの要素になる。したがって, 変数の置換, 否定については明らかに, また関数の否定については 1 セットと

0 セットが双対な関係にあることに注意すればただちに、同族変換によってハザードが新しく生じないことが知られる。

定理1を考慮すれば、同族類の代表関数のハザードのない最簡形が知られれば、それに同族変換を施すことによってそれと同族な任意の関数のハザードのない最簡形が求められる。したがって、一般に 2^{2^n} 個の n 変数論理関数のすべてでなく、各同族類の代表関数のハザードのない最簡形を求めておけば、同族変換を行なうことによって任意のハザードのない最簡形が得られる。

4.2. 冗長入力のある場合の同族類の個数

同値関係 R によって類別される類の個数を知ることは、実際に代表関数を求めるうえで興味深い問題である。冗長入力のない場合にたいしては、群論を用いてすでに種々の結果¹⁰⁾ が得られている。ここではとくに冗長入力のある場合にたいする考察が冗長入力のない場合とほとんど同じ議論ですすめられるが、以下に明らかにされるように、冗長入力のない場合にたいする結果は、冗長入力のある場合の特別の場合であることが知られる。

変数の否定、置換による同族変換に対して、つぎの定理が成立する¹⁰⁾。

〔定理2〕 サイクルインデックス多項式 Z_{G_n} は次式であらわされる。

$$Z_{G_n} = Z_{C_2^n} \circ S_n = \frac{1}{n! 2^n} \sum_{(j)} \prod_{i=1}^n j_i! (2i)^{j_i} \times \prod_{i=1}^n f_m^{e(m)} + \prod_{\substack{m \mid n \\ m \neq 1}} f_m^{g(m)} \times j_i \quad (10)$$

$\sum_{(j)}$ は n の分割すべてに対してとり、 $e(k)$, $g(2k)$ は

$$e(k) = \frac{1}{k} \sum_{m \mid k} 2^m \mu\left(\frac{k}{m}\right) \quad (11)$$

$$g(2k) = \frac{1}{2k} \sum_{\substack{m \mid 2k \\ m \neq k}} 2^{\frac{m}{2}} \mu\left(\frac{2k}{m}\right) \quad (12)$$

ただし、 $\mu(a)$ は Möbius 関数†。ここで \times 演算は

$$f_p^i \times f_q^j = f_{\langle p, q \rangle}^{i \cdot j} \quad (13)$$

ただし、 $\langle p, q \rangle$ は G. C. M., $\langle p, q \rangle$ は L. C. M. また

† Möbius 関数 $\mu(a) = \begin{cases} 0 & a \text{ が } 1 \text{ と異なる平方数でわり切れるとき} \\ (-1)^k & a \text{ が } 1 \text{ と異なる平方数でわり切れないとき、ただし } k \text{ は } a \text{ の素な約数の個数} \end{cases}$

$$f_m^{j_i} = \overbrace{f_m \times f_m \times \dots \times f_m}^{j_i} \quad (14)$$

ここで、 C_2^n は n 変数の否定の群で、要素を 0, 1, 単位元を ϵ とし、演算 \oplus (環和, mod 2 の加法) が定義される群 C_2 の n 次直積としてあらわされる。この変数の否定による変換 $i \in C_2^n$ は、 n 変数論理関数を $f(x_1, \dots, x_n)$ とすると

$$i \cdot f(x_1, \dots, x_n) = (i_1, \dots, i_n) \cdot f(x_1, \dots, x_n) = f(x_1^{i_1}, \dots, x_n^{i_n}) \quad (15)$$

ここで

$$x_j^{i_j} = \begin{cases} x_j & i_j = 0 \text{ のとき} \\ x_j' & i_j = 1 \text{ のとき} \end{cases}$$

また、 S_n は n 変数の置換の群で n 次の対称群、 f_i は多項式の不定元である。ボリアの定理¹¹⁾ によれば、 f_i に $\Psi(x_1^i, \dots, x_r^i)$ を代入すれば、代表関数の個数をかぞえる級数 (母関数) が得られる。ここで、 $\Psi(x_1, \dots, x_r)$ は figure counting 級数で、

$$\Psi(x_1, \dots, x_r) = \sum_{i=1}^r \varphi_i x_i \quad (16)$$

とあらわされ、 φ_i は、値域 R を r 個の互いに素な部分集合にわけたときの R_i の要素の数である。

冗長入力のある論理関数の場合には、値域 R を三つの部分集合 R_0, R_1, R_d とすると、それぞれの要素の数は1であるから、 $\Psi(x_0, x_1, x_d) = x_0 + x_1 + x_d$, これを (10) 式に代入すると、 $x_0^{n-k-l} x_1^k x_d^l$ の係数が、1に写像される頂点が k 個で、 d に写像される頂点が l 個である関数の類の個数をあらわす母関数が得られる。また類の総数は、(10) 式で $f_i = 3$ (冗長のない場合は2) とおけば得られる。

3 変数関数について計算した結果を (17) 式, (18) 式に示す。そのサイクルインデックス多項式は

$$Z_{G_3} = \frac{1}{48} (f_1^8 + 6 f_1^4 f_2^2 + 8 f_1^2 f_3^2 + 12 f_1^2 f_2^2 + 13 f_2^4 + 8 f_2 f_3^2) \quad (17)$$

代表関数の個数をかぞえる母関数は

$$Z_{G_3} = x_1^8 + x_1^7 x_d + 3 x_1^6 x_d^2 + 3 x_1^5 x_d^3 + 6 x_1^4 x_d^4 + 3 x_1^3 x_d^5 + 3 x_1^2 x_d^6 + x_1 x_d^7 + x_d^8 + x_0 x_1^7 + 3 x_0 x_1^6 x_d + 6 x_0 x_1^5 x_d^2 + 10 x_0 x_1^4 x_d^3 + 10 x_0 x_1^3 x_d^4 + 6 x_0 x_1^2 x_d^5 + 3 x_0 x_1 x_d^6 + x_0 x_d^7 + 3 x_0 x_1^6 + 6 x_0^2 x_1^5 x_d + 16 x_0^2 x_1^4 x_d^2 + 17 x_0^2 x_1^3 x_d^3 + 16 x_0^2 x_1^2 x_d^4 + 6 x_0^2 x_1 x_d^5 + 3 x_0^2 x_d^6 + 3 x_0^3 x_1^5 + 10 x_0^3 x_1^4 x_d + 3 x_0^3 x_d^5 + 6 x_0^4 x_1^4 + 10 x_0^4 x_1^3 x_d + 16 x_0^4 x_1^2 x_d^2 + 10 x_0^4 x_1 x_d^3 + 6 x_0^4 x_d^4 + 3 x_0^6 x_1^2 + 3 x_0^6 x_1 x_d + 3 x_0^6 x_d^2 + x_0^7 x_1 + x_0^7 x_d + x_0^8 \quad (18)$$

第2表 同族変換による類の個数

n	冗長入力のない場合			冗長入力のある場合		
	総数	変数の否定・置換	関数の否定もいれる	総数	変数の否定・置換	関数の否定もいれる
2	16	6	4	81	21	13
3	256	22	14	6,561	267	155
4	65,536	402	238	43,046,721	132,102	6万程度
5	4,294,967,296	1,228,158	60万程度	—	—	—

(注) 冗長入力のない場合の資料は文献(10)を引用した

関数の否定も考慮した場合の類の数は、次の定理によって求められる。

[定理3] 関数の否定を考えないときの類の数を N , 1 に写像される頂点数と, 0 に写像される頂点数の等しい類の数を M とすると, 関数の否定を考えたとときの類の総数は

$$\frac{M+N}{2} \quad (19)$$

この場合、代表関数として、0 に写像される頂点数が1に写像される頂点数より多いものをとるとする。

冗長入力のある場合、およびない場合の類の個数を、変数の数が 2~5 の場合について第2表に示す。

4.3. 冗長入力のある場合の Invariant と代表関数のきめ方

同族類の個数は、4.2. で求められたが、ここでは同族類であることを表わす量 (invariant) を定め、それから類の代表関数を定める方法について述べる。

関数 f の重み $w_1(f)$, $w_d(f)$ を、それぞれ、1 に写像される頂点数、および、1 に写像される頂点数と d に写像される頂点数の和とし、関数 f と n 個の変数とを辞書的順序で環和して得られる関数の重みの系列

$$\{w_d(f), w_d(f \oplus x_1), \dots, w_d(f \oplus x_n), w_d(f \oplus x_1 \oplus x_2), \dots, w_d(f \oplus x_{n-1} \oplus x_n), \dots, w_d(f \oplus x_1 \oplus \dots \oplus x_n), w_1(f), w_1(f \oplus x_1), \dots, w_1(f \oplus x_1 \oplus x_2), \dots, w_1(f \oplus x_1 \oplus \dots \oplus x_n)\} \quad (20)$$

を計算し、この系列を、10 進数としてみたとき最小になる系列 (最小系列という) にするように、次の手順で変換する。

[最小系列を求める手順]

(1) $w_1(f) + w_d(f) > 2^n$ のときは 0 に写像された頂点を 1 に、1 に写像された頂点を 0 に、 d はそのままにして重みを計算し直す。この操作は関数を否定することに対応している。

(2) $w_d(f \oplus x_i) > 2^{n-1}$ ならば x_i の関係している重みをすべて $2^n - w$ におきかえる。また $w_d(f \oplus x_i) = 2^{n-1}$ のときは、 x_i の関係している重みを $2^n - w$ にかえてみて、この系列を 10 進数としてみたとき小さくなればこの変換を行なう。これは変数の否定に対応している。

(3) $w_d(f \oplus x_i)$ と $w_d(f \oplus x_j)$ を変換して (ただし x_i, x_j をふくむすべての重みについて) 系列が小さくなれば交換する。これは変数の置換に対応している。

(4) w_d について最小系列が得られたら、これを動かさない範囲で w_1 に (2), (3) の変換を行ない最小系列を得る。

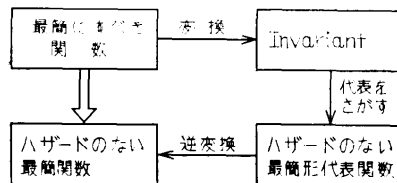
この得られた最小系列を関数 f の invariant と呼ぶ。関数 f の重みの系列がすでに最小系列のとき、関数 f を正規形という。正規形の関数を代表関数にえらぶ。

5. 代表関数と Invariant を用いたハザードのない最簡論理回路の設計

5.1. 設計手順

ハザードのない最簡形にした n 変数関数の代表関数と、その invariant の表が与えられているとする。任意の n 変数関数のハザードのない最簡回路を得るには次の手順による。

- (1) 与えられた関数の重みの系列を計算する。
- (2) 4.2. で述べた変換をして invariant を得る。この場合用いた変換を順に記述しておく。



第5図 代表関数と Invariant を用いた設計手順

(3) この invariant と等しい invariant をもった 代表関数を見つければ、そのハザードのない最簡形に (2) で記述した変換の逆変換をする。(1), (2), (3) この手順を図式的に示すと、第5図のようになる。

第3表 冗長入力のある3変数代表関数の Invariant とハザードのない最簡形

No.	Invariant	1-頂点	d-頂点	関数	No.	Invariant	1-頂点	d-頂点	関数	
1	04444444	-	-	0	81	42242244	67	34	XY	
2	13335553	-	-	0	82	42244264	47	36	YZ+XZ _W , XY+XZ _W	
3	22244444	-	67	0	83	42442246	35	45	YZ+YZ+XZ _W	
4	24442264	-	34	0	84	42442246	34	56	XY+YZ+XZ _W , XY+YZ+XY _W	
5	24442264	-	56	0	85	42442246	45	35	XZ _W	
6	31335553	-	567	0	86	42442246	22444225	56	34	XY _W +XZ _W
7	33333373	-	347	0	87	51333355	22444425	56	347	-
8	33333337	-	353	0	88	51333355	24244224	33	457	X+YZ
9	40444444	-	4557	0	89	51333355	24224424	37	455	YZ
10	44440444	-	2345	0	90	51333355	22243444	57	345	X
11	44444440	-	1247	0	91	51333355	22444432	47	353	X
12	42244445	-	3557	0	92	51333355	22464244	45	357	X
13	42244264	-	3437	0	93	51333355	24442234	34	557	X+YZ
14	42442243	-	3453	0	94	53331553	22424544	57	234	X
15	53335557	-	03527	0	95	53331553	22444432	47	355	YZ+XY _W , XY _W +YZ
16	53331553	-	23457	0	96	53331553	24422445	35	247	YZ+XY _W , XY _W +YZ, YZ+XZ, XY _W +YZ
17	51333355	-	34557	0	97	53331553	24442234	34	257	XY _W +XY _W , XZ+XY _W
18	64442224	-	123453	0	98	53331553	22482444	45	237	XY _W
19	62442442	-	124537	0	99	53331553	24432442	24	357	XY _W +XY _W
20	62242444	-	234537	0	100	53335557	24453446	06	357	XY _W +XY _W
21	73333335	-	1234537	0	101	53335557	22444426	53	037	XY+XZ
22	84444444	-	01234537	0	102	53335557	24443334	07	353	XY _W +YZ, XY _W +YZ+XY, XY _W +YZ
23	13335553	1	3335553	X	103	53335557	22243444	07	035	XY
24	22244444	1	2	X	104	34442224	22444425	53	1234	YZ+XY _W , YZ+XY _W
25	22444264	1	3	XY	105	34442224	22434244	45	1235	YZ
26	22444264	1	5	XY	106	34442224	24432234	34	1263	YZ+XY _W , XY _W +YZ, YZ+XZ, XZ+XY _W
27	31335553	1	57	XY	107	32444422	23444422	12	4537	YZ+XZ
28	31335535	1	55	XY, XZ	108	32444422	24244542	07	1453	YZ+XZ
29	33333373	1	34	YZ	109	32444422	24244242	05	1457	YZ
30	33333373	1	37	YZ	110	32444422	24442224	05	1437	YZ+XZ
31	33333373	1	37	YZ	111	32444422	22245444	37	1245	X
32	33333337	1	35	YZ	112	32444422	22444426	53	1247	X
33	40444444	1	2	X	113	32444422	22444432	27	1253	X
34	44440444	1	2	X	114	32242444	22542444	45	2437	X+Y
35	44444440	1	124	YZ	115	32242444	24422445	35	2437	X+Y
36	42224445	1	357	XY	116	32242444	24442234	34	2567	X+Y
37	42224445	1	355	XY, YZ, XZ	117	32242444	22424544	37	2345	X
38	42244264	1	345	YZ	118	32242444	22444426	56	2347	X
39	42244264	1	357	XZ	119	32242444	22434444	47	2345	X
40	42442244	1	345	XZ	120	31335535	31335535	237	-	XY+XZ
41	42442244	1	453	XY	121	33333373	33333373	347	-	XY _W +YZ
42	42442244	1	353	YZ	122	33333373	33333373	353	-	XY _W +YZ+XY _W +XY _W
43	53335557	1	0353	XY, YZ, XZ	123	40444444	31335535	507	4	X
44	53335557	1	0357	XY	124	44440444	33551533	245	3	XY _W +YZ
45	53335557	1	0357	XY	125	44440444	33553551	247	1	XY _W +YZ
46	53331553	1	2345	YZ, XZ	126	42244422	31332445	537	3	YZ+XY _W , XZ+XY _W
47	53331553	1	2347	XY, XZ	127	42244422	33333337	353	7	YZ+XY _W
48	53331553	1	2357	XY	128	42244264	33333373	347	6	YZ+XZ
49	51333355	1	3453	X	129	42244264	31335535	467	3	XY+XZ
50	51333355	1	3457	X	130	42442246	33353155	343	5	XY+XZ
51	51333355	1	3537	X	131	42442246	31553335	453	3	XY+YZ
52	51333355	1	4537	YZ	132	42442246	33333337	353	4	XY+YZ+XY+XY
53	54442224	1	12345	XY, XZ	133	51333355	33333373	347	53	X+Y
54	54444222	1	12453	XY	134	51333355	31335535	357	45	X+YZ
55	52444422	1	12457	X	135	51333355	31553335	453	37	X
56	52444422	1	14537	YZ	136	51333355	33331553	345	57	X+Y
57	52444444	1	23453	XY	137	51333355	33333337	353	47	X+YZ
58	52244444	1	23457	X	138	51333355	31335535	357	45	X+YZ
59	73333333	1	123453	XY, YZ	139	51333355	31335535	567	34	X
60	73333333	1	123457	XY	140	53331553	33551533	245	37	XY+XY _W
61	73333333	1	123537	X	141	53331553	33531355	345	27	XY+XY _W , XY _W +YZ
62	22244425	1	47	XY	142	53331553	33553551	247	35	XY+XY _W +YZ, XY+XY _W +XZ
63	24442254	1	34	XY	143	53331553	33333373	347	25	YZ+XY _W
64	24442254	1	37	XY	144	53331553	31335535	457	23	YZ+XZ
65	31335535	1	5	XY	145	53331553	33313555	357	24	YZ+XZ
66	31335535	1	5	XY	146	53335557	31335535	557	03	XY+XZ
67	33333373	1	34	YZ+XY _W	147	53335557	33557555	067	35	XY+XY _W
68	33333373	1	37	YZ	148	53335557	33333337	355	07	YZ+XY+XZ
69	33333373	1	37	YZ	149	53335557	33555537	055	37	XY _W +YZ+XY+XZ
70	33333337	1	3	YZ	150	40444444	40444444	4537	-	X
71	40444444	1	47	X	151	44440444	44440444	2345	-	XY _W +XY _W
72	40444444	1	47	X	152	44444440	44444440	1247	-	XY _W +YZ+XY _W +XY _W +XY _W
73	44440444	1	23	XY	153	42224446	42224446	3557	-	XY+YZ+XZ
74	44440444	1	23	XY	154	42244264	42244264	3467	-	XY+YZ+XZ
75	44440444	1	24	XY	155	42442246	42442246	3456	-	XY+YZ+XZ+XY _W
76	44444440	1	12	XY						
77	42224445	1	37	XY						
78	42224445	1	35	XY						
79	42224445	1	37	XY+XZ						
80	42244264	1	46	YZ						
80	42244264	1	67	YZ+XZ						

(注) 1. 1 頂点, d-頂点は 2 進表示を 10 進化した数で示してある。
 2. 関数 W※は W の否定を, XYZ は X, Y, Z の論理積, +は論理和を表す。

第4表 冗長入力のない4変数代表関数の Invariant と、ハザードのない最簡形

No.	Invariant	1-頂点	関数の10進表示	関数
1	0	0	40	0
2	0	15	41	WYZ
3	0	15	37	WXY
4	0	15	31	WXYZ+WXYZ
5	0	15	35	WXYZ+WXYZ
6	0	15	13	WXYZ+WXYZ
7	0	15	27	WXYZ+WXYZ
8	0	15	41	WYZ+WXYZ
9	0	15	49	WYZ+WXYZ
10	0	15	31	WYZ+WXYZ
11	0	15	37	WYZ+WXYZ
12	0	15	12	WYZ+WXYZ+WYZ
13	0	15	26	WYZ+WXYZ+WYZ
14	0	15	13	WYZ+WXYZ+WYZ
15	0	15	31	WYZ+WXYZ+WYZ
16	0	15	35	WYZ+WXYZ+WYZ
17	0	15	28	WYZ+WXYZ+WYZ
18	0	15	12	WYZ+WXYZ+WYZ
19	0	15	26	WYZ+WXYZ+WYZ
20	0	15	13	WYZ+WXYZ+WYZ
21	0	15	31	WYZ+WXYZ+WYZ
22	0	15	35	WYZ+WXYZ+WYZ
23	0	15	28	WYZ+WXYZ+WYZ
24	0	15	12	WYZ+WXYZ+WYZ
25	0	15	26	WYZ+WXYZ+WYZ
26	0	15	13	WYZ+WXYZ+WYZ
27	0	15	31	WYZ+WXYZ+WYZ
28	0	15	35	WYZ+WXYZ+WYZ
29	0	15	28	WYZ+WXYZ+WYZ
30	0	15	12	WYZ+WXYZ+WYZ
31	0	15	26	WYZ+WXYZ+WYZ
32	0	15	13	WYZ+WXYZ+WYZ
33	0	15	31	WYZ+WXYZ+WYZ
34	0	15	35	WYZ+WXYZ+WYZ
35	0	15	28	WYZ+WXYZ+WYZ
36	0	15	12	WYZ+WXYZ+WYZ
37	0	15	26	WYZ+WXYZ+WYZ
38	0	15	13	WYZ+WXYZ+WYZ
39	0	15	31	WYZ+WXYZ+WYZ
40	0	15	35	WYZ+WXYZ+WYZ
41	0	15	28	WYZ+WXYZ+WYZ
42	0	15	12	WYZ+WXYZ+WYZ
43	0	15	26	WYZ+WXYZ+WYZ
44	0	15	13	WYZ+WXYZ+WYZ
45	0	15	31	WYZ+WXYZ+WYZ
46	0	15	35	WYZ+WXYZ+WYZ
47	0	15	28	WYZ+WXYZ+WYZ
48	0	15	12	WYZ+WXYZ+WYZ
49	0	15	26	WYZ+WXYZ+WYZ
50	0	15	13	WYZ+WXYZ+WYZ
51	0	15	31	WYZ+WXYZ+WYZ
52	0	15	35	WYZ+WXYZ+WYZ
53	0	15	28	WYZ+WXYZ+WYZ
54	0	15	12	WYZ+WXYZ+WYZ
55	0	15	26	WYZ+WXYZ+WYZ
56	0	15	13	WYZ+WXYZ+WYZ
57	0	15	31	WYZ+WXYZ+WYZ
58	0	15	35	WYZ+WXYZ+WYZ
59	0	15	28	WYZ+WXYZ+WYZ
60	0	15	12	WYZ+WXYZ+WYZ

この手順では、用意する代表関数が最簡であれば得られる関数は最簡の、またハザードがなければハザードがない関数が得られる。

5.2. ハザードのない代表関数

5.1. の設計手順を用いるには、すべての正規形の関数をしらべ、それらをハザードのない最簡形にしておくことが必要である。そこで正規形の関数をとり出し、その invariant と、ハザードのない最簡形を 2, 3, 4 節で述べてきた手順にしたがって NEAC 2203 を用いて求めた。その結果を第 3, 4 表に示す。第 3 表は冗長入力のある 3 変数、第 4 表は冗長入力のない 4 変数のすべての代表関数の表である。なお冗長入力のない 4 変数の場合には L.P. を使うには至らなかった。NEAC 2203 は小形で、あまり高速ではないので、4 変数関数 238 個の invariant と最簡形を求めのりに約 2 時間要した。

5.3. 例題 (冗長入力のある 3 変数問題)

$f = \sum_1 0, 1, 3 + \sum_d 7$ をハザードのない最簡形にせよ。
重みの系列 $w_d(f)$, $w_d(f \oplus X)$, $w_d(f \oplus Y)$, $w_d(f \oplus Z)$, $w_d(f \oplus X \oplus Y)$, $w_d(f \oplus X \oplus Z)$, $w_d(f \oplus Y \oplus Z)$, $w_d(f \oplus X \oplus Y \oplus Z)$ (以下 w_1 についても同じ) を作ると

46426464 37535355

これに、変数 X の否定、変数 Y, Z の置換をすると

42244264 31355353

これは第 3 表の 129 番 $XY + XZ'$ の invariant に等しい。したがって

$$\begin{aligned} f_{129} &= (23) (100) f(X, Y, Z) \\ f(X, Y, Z) &= (100)^{-1} (23)^{-1} f_{129} \\ &= (100) (23) (XY + XZ') \\ &= (100) (XZ + XY') = X'Z + X'Y' \end{aligned}$$

よって求める最簡形は、 $f = X'Z + X'Y'$ 。

6. むすび

本論文の結果として、積和 2 段回路で入力変化が一つのとき、線形計画法を用いてハザードが存在しない最簡形—AND—OR パッケージ数、またはダイオードの総数最小の意味で—を求める設計手順がえられた。さらにハザードのない回路に同族変換を施しても、ハザードがないことが示され、同族類の個数、代表関数をきめる方法が冗長入力のある関数に対しても拡張できた。ここで得られた手順に従って、冗長入力のある

3 変数、冗長入力のない場合の 4 変数関数に対して、ハザードのない最簡形と、変換に対する invariant が求められた。またこの表を用いて最簡論理関数を設計する手順も示した。しかし、この設計方法は 5 変数以上では代表関数の個数が多すぎて扱えない。また整数解、とくに 0, 1 解の L.P. の解法にも考えるべきことが多く残されているが、これらのことはまた別の機会に論じたい。

7. 謝辞

日頃、御指導頂く本学池谷和夫教授、また熱心な御討議いただく研究室の皆さんに感謝します。

参考文献

- 1) Huffman, D.A.: Design of hazard-free switching circuits, J.A.C.M., 4, Jan. 1957.
- 2) McCluskey, Jr., E.J.: Transient in combinational logic circuit, in Redundancy technique for computing system, pp. 9~46 Spartan Books, Washington D.C., 1962.
- 3) McCluskey, Jr., E.J.: Minimization of Boolean functions, Bell Syst. tech. J., 11, 1956, pp. 1417-1442.
- 4) Gomory, R.E.: An Algorithm for integer solutions to linear programs, Princeton-IBM Mathematical Research Project, Tech. Rept. 1, Nov. 1958.
- 5) Balas, E.: An additive algorithm for solving linear programs with 0, 1 variables, Operations Research, July~August, 1965.
- 6) Phister, M. 尾崎弘訳: デジタル回路の論理設計, 朝倉書店, 東京, 1958, pp. 66~118.
- 7) Roth, J.P.: Algebraic topological methods for synthesis of switching system I, Trans. of American Mathematical Society, 88, July, 1958, pp. 301~326.
- 8) Gimpel, J.F.: Reduction technique for prime implicant table, IEEE Trans. EC-15, August, 1965, pp. 535~541
- 9) 宇田川銈久; 論理数学とデジタル回路, 朝倉書店, 東京, 1963.
- 10) Harrison, M.A.: Introduction to switching and automata theory, pp. 123~167 McGraw Hill, New York, 1965.
- 11) Polya, G.: Kombinatorische Anzahlbestimmungen für Gruppen, Graphen und Chemische Verbindungen, Acta Mathematica, 68, 1937.

(昭和 42 年 3 月 2 日受付)