

ハードウェア技術の動向*

高橋 茂**

1. はじめに

情報処理学会の活動分野には、当然計算機のハードウェアは含まれるわけでありませんが、今回の大会のプログラムを見ましても、いわゆるハードウェアについての発表は、ほとんどないという傾向になっております。というわけで、理事会で私にハードウェア技術の動向について話をしろ、ということになりました。

計算機の技術をハードウェアとソフトウェアに分けますと、ハードウェアの側では、まず計算機的方式設計や論理的構成の話が先行しまして、本当のハードウェアであるところの論理回路素子やメモリーの話よりは、むしろそちらに時間がとられるのが普通ですが、ここではハードウェアのなかでももっとも金気の強い部分、超ハードウェアとも呼びますか、そういうものについての話をさせて頂きたいと思います。

計算機システムのハードウェアは、中央におかれる処理装置、補助記憶装置および入出装置、はなれたところに置く端末装置などにわかれますが、ここでは処理装置をさらに論理回路と記憶装置とに分解し、これに最近特に重要性を増してきた実装方式の話をつけ加え、時間があれば補助記憶装置その他にも触れたいと思います。

2. 論理回路

2.1 集積回路

計算機に集積回路 (Integrated Circuit, IC) が使われるのは、すでにごく普通のことになりました。最初はスピードを上げるために、中形機以上で止むを得ず採用していたのですが、最近ではコストを下げるために、小形機にもどんどん使われるようになりました。たとえば PDP 8 は IC の採用により PDP 8/I になり、価格を 2/3 に下げたとか、Data Machines の 620 もとくに 620/I に変わったという案配です。

現在、比較的広く使われている IC は第1表に示す

第1表 各種集積回路

名 称	代表的なステージ当たりの遅れ [ns]
RTL (Resistor Transistor Logic)	25
DTL (Diode Transistor Logic)	25
TTL (Transistor-Transistor Logic)	13
CTL (Complementary Transistor Logic)	10
CML (Current Mode Logic)	6(1~2)*
EECL (Emitter-Emitter Coupled Logic)	(1~2)*

* 開発中のもの

ようなもので、IC のユーザ (計算機のメーカー) の要求もとり入れられて、かなり標準化された部品になってきました。表にはステージ当たりの遅れをかかげてありますが、これらは fan-in, fan-out, 負荷の状況などによって大きく変わるもので、相対的な一つの目安を示したものにすぎません。スピードについていえば、CML, EECL などがもっとも見込があり、表には括弧をつけて示したようなものが現在開発されています。

2.2 大規模集積回路

いまお話ししたような Conventional な IC でも、素子の数にしますと 20~30, TTL のある種のものでは 100 を超えるほどになりますが、さらに集積の度合いを高める努力が方々で懸命に行なわれています。

その目的はコストを下げる、高速化、小形化、低電力化などといわれていますが、小形化はどちらかという結果であって、目的は高速化にあるといつてよいと思います。第1表にもありますように、遅れを ns 単位で表わすようになりますと、配線での遅れが大きな問題になります。ご承知のように、光は自由空間を 1m 進むのに 3.3 ns かかるわけですが、パルスが計算機の配線に沿って進む場合にはこれより多少遅く 5 ns/m くらいの速度になります。ステージ当りの遅れ 1~2 ns が問題なのですから、これは大問題で、高速化にはどうしても小形化が必要です。

低電力化はさらにその結果としてもたらされるもので、配線が短かくなると、いままでのようにこれを一種の送電線として扱う必要がなくなり、終端抵抗が不要になり駆動するのに電力も小さくてすむからです。

* Trends in Hardware Technologies for Computers, by Shigeru Takahashi (Kanagawa Works, Hitachi, Ltd.) 昭和42年12月7日, 第8回大会での招待講演

** (株)日立製作所神奈川工場開発部

しかし高速化ということは、本来大きな電力を必要とするものですから、ここで低電力化というのは、スピードの割りには、そう電力が増えないという程度のことになるでしょう。

このように大規模集積回路 (Large Scale Integration, LSI) には、いろいろなメリットがあるわけですが、その開発がかけ声ほどには急速に進まないのは、技術的な困難のほかに、多種少量という半導体メーカーが最も嫌がる問題があるからです。これは論理回路を LSI にいかに分割するかという partitioning の問題、あるいは計算機のメーカーと LSI のメーカーとの間のインターフェースの問題でもありますが、いかに partitioning をうまくやっても、程度の差こそあれ、いざんとして多種少量であることには、変わりはありません。

そこで集積回路を作る側では、計算機の論理的構成がどうであろうとも、どんな計算機にでも使えそうなブロック、たとえばメモリー、加算回路、レジスタなどを集積化して、できるだけ多くの計算機メーカーに使わせようとしています。TTL の系列に属するもので容量 16 ビットのメモリーでは 106 素子が、2 ビットの加算回路では 21 ゲート (各ゲートは 10 個程度の素子からなる) が集積されていますが、これらはそのよい例でしょう。

これらはいわゆるモノリシック (Monolithic) な集積回路で、多数の素子が単一のシリコンチップの上に形成されていますが、集積度をさらに高めようとする場合や、標準化されそうにもない一般の論理回路を多数ゲート収容する場合に、モノリシックでどこまでやれるかということはむずかしい問題です。IBM⁽¹⁾ や TI が提案しているような一つ一つ計算機を使って配線を決める discretionary wiring が実用になるのはまだかなり先のことでしょう^{2,3)}。

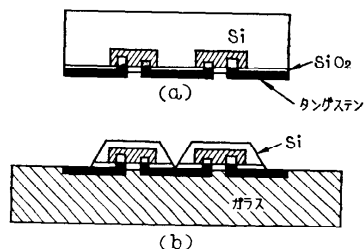
モノリシック方式に対応するものとして、ある程度集積度のチップをセラミックあるいはガラスのサブストレートの上に貼り合わせるマルチチップ方式があります。少なくとも高速のものはここ当分の方法に頼らねばならないようです。貼り合わせの方法としては、

- (1) Wire Bonding
- (2) Solder Reflow
- (3) Ultrasonic Face-down Bonding⁴⁾
- (4) Beam Lead⁵⁾
- (5) Tungsten Metalization⁶⁾

などが試みられ、一部実用化されています。Wire Bonding は現在 IC の組立てにも使われている普通の方法です。Solder Reflow は導体の小さな球をあらかじめ半田を盛ったチップとサブストレートとの間において、低温で融着させる方法で、IC チップではありませんが、トランジスタやダイオードのチップをこの方法で貼り合わせるのが IBM の SLT (Solid Logic Technology)⁷⁾ です。

Ultrasonic Face-down Bonding はチップのパッド (導線の引出口) に対向するサブストレートのパターン上に、アルミニウムの台 (ベDESTAL) を作っておき、サブストレートの上においたチップの背面から超音波を加えることによって、チップ上のすべてのパッドと対向する台とを一せいに接合しようというものです。Wire Bonding などとは異なり、一せいにできるという点はよいのですが、接合させる場所がチップの裏になって見えないという点が多少むずかしいようです。

Beam Lead 法は米国のベル電話研究所が開発した方式で、次の Tungsten Metalization によく似ています。第 1 図は Tungsten Metalization の説明です。



第 1 図 Tungsten Metalization

が、普通アルミニウムを蒸着するところにタングステンを使っているのは、あとでガラスを溶着させるためです。ガラスを溶着したのも不要のシリコンを去除けば、タングステンがチップの縁から外に顔を出しているので、あとの細工はしやすいことになります。Beam Lead はタングステンの代わりに金を使い、ガラスは溶着しませんが、金をしっかりした梁 (ビーム) にして、シリコンをエッチングしたあとのチップがバラバラになるのを防いでいます。なお、これらの方式では、従来高速化のさまたげになっていた素子間のシリコンを取り除いて、空気アイソレーションができるということも特長です。このようによいことばかりですが、実はこれらは、いずれもチップをつなぐための前段階

で、このあとにさらに Bonding のための何らかのプロセスが続くことになり、コスト上不利になることはまぬがれません。

このようなマルチチップ方式では、LSI の種類は多くても、チップのレベルでは少種多量にしておくことができますので、半導体のメーカーにもとりつき易いかもれません。

2.3 大規模集積化の影響

集積の度合いを高めることにより、コストは当然下がるでしょう。ボンディングとパッケージングのコストが従来の IC のコストのかなりの部分を占めていることは事実ですから、モノリシック方式がうまく行けばもとよりですが、マルチチップ方式でも Ultrasonic Face-down Bonding などうまくゆけば、パッケージが一まとめになることとあいまって、かなりのコストダウンが期待されます。

しかし、その影響は大形計算機ではたいしたものではないようです。これはもともと論理回路がコストに占める割合が低いからで、むしろ小形機や端末制御装置に対する影響の方が大きいと考えられます⁹⁾。しかもこれらの装置は売れる台数が多いので、LSI の少量多種の悩みも一部解決できるわけです。

コストの上での影響は少なくとも、大規模集積化は大形機に多くの利点をもたらします。第1に高速化です。論理回路での遅れは、本質的な遅れ、配線での遅れ、負荷による遅れの三つの部分に分かれますが、大規模集積化によって、第2の部分は圧倒的に、第3の部分もかなり少なくすることができます。

第2の利点は信頼性で、ボンディングの数の減ることがその向上に大きく寄与するでしょう。

その他大形計算機に使われる小容量高速のメモリーなどは、なまじ専用の素子を使うよりも、LSI による方がスピードの点ではもとより、コストの上でも有利ということになり、そのコストの低下はシステムの論理的構成にも影響するでしょう。

また論理回路がコストに占める割合が大したものではないだけに、コストが下がった部分を論理機能の増大に廻わしてもよいわけで、それによってかなりのことができるわけです。論理的構成はできるだけ単純にして、複雑なことは何でもソフトウェアにやらせようというのが最近までの傾向であったわけですが、そろそろソフトウェアのオーパヘッドが大きいのにあいそをつかして、金物屋がもう少しがんばるときがきたのではないでしょう。

3. 記憶装置

3.1 記憶装置の種類

処理装置の一部として、または別のモジュールではあっても処理装置から直接手を出して使う記憶装置には、次の4種のものがあります。

- (1) 固定記憶装置 (Read-only Memory, ROM)
- (2) レジスタメモリー
- (3) 主記憶装置
- (4) 大容量記憶装置

固定記憶装置には第2表に示したものが実用され、

第2表 固定記憶装置

Slow Write の可否	方 式	実 例
否	変成器形 ^{9),10)}	IBM 360/40, HITAC 8210/8300/8400
否	静電容量形 ¹¹⁾	IBM 360/30, IBM 360/50
否	抵抗形	
否	Holography ¹²⁾	
可	ワイヤメモリー	
可	Biax	PB 440
可	平面薄膜 ¹³⁾	IBM 実験: Read 100 ns, Write 500 ns

あるいは開発されています。大別すると、内容が固定されていて機械的にとりかえないと内容を変えられない固定式のもの、Slow Write のできるものに分かれます。前者は L, C, R いずれかの素子の存在、不存在として情報を貯えておくものが大部分ですが、最近 Holography の技術の計算機への応用が盛んに考えられている一環として、ROM への応用¹²⁾も考えられているようです。

固定記憶装置を計算機の制御装置にとり入れることは、いわゆる第3世代になってはじめて実用化されたことですが、現在ソフトウェアにかかっている大きな負荷をハードウェアに吸収する手段として、前述の LSI よりもさらに大きな役割を果たすものとして期待され、ファームウェアなどという言葉さえ作られている¹⁴⁾ほどです。

レジスタメモリーはスクラッチパッドといわれる場合もありますが、その名が示すように、情報をごく一時的に貯えておく小容量の高速メモリーで、第3表に示すようなものが実用あるいは開発されています。これからは IC メモリーが広く使われることになるでしょうが、その大規模集積化は、かなり進んでいますので、あまり心配のない分野といえましょう。IC メモ

第3表 レジスタメモリー

方式	実例
高速磁心 ワイヤメモリー ICメモリー	HITAC 8400 HITAC 8500
Bipolar MOS	NEAC 2200/500 RCA 研究 ¹⁵⁾

リーのうち MOS は Bipolar のものにくらべると開発が遅れていますが、Silicon on Sapphire というアプローチは種々の点で非常に見込みがあるといわれています。もっとも MOS の電圧レベルと論理回路の電圧レベルとの間にはかなり大きな差があって、増幅に時間がかかることは問題です。この点 Bipolar のものは、そのままのレベルでやりとりできるので有利だといえましょう。

主記憶装置は永年フェライト磁心の独壇場だったわけですが、ようやくその有力な競争相手として磁性薄膜がでてきました。これらについてはあらためて説明します。

大容量記憶装置を本当の意味でのランダムアクセスにすることは、数年前には到底考えられないことでしたが、磁心記憶装置の方式上の進歩と価格の低下によって一部実用化されています。また超伝導現象を利用したメモリーも、長い間開発されてきた甲斐があって、かなり見込がでてきたようです¹⁶⁾。

3.2 磁心記憶装置

MIT で使われた最初のフェライト磁心は、外径 80 ミルもあり、サイクル時間も 6 μ s が精一杯というところでしたが、その後外径 50 ミル、30 ミルと次第に小さくなり、すでに 20 ミルのものが実用化され、サイクル時間も 0.8 μ s 程度まで下がりました。

単に磁心の外径が小さくなっただけではなく、記憶装置としての方式上の工夫も第4表に示すように行な

第4表 磁心記憶装置の諸方式

方式	線の種類
3D 4線	X, Y, S, Z
3D 3線	X, Y, S-Z
2 $\frac{1}{2}$ D 3線	X-Z, Y, S
2 $\frac{1}{2}$ D 2線	X-S-Z, Y
2D 2線	X-Y, S-Z

われてきました¹⁷⁾。最初に考えられたものは 3D (3次元) 4線方式のもので、ごく最近までこの方式のも

のが大部分でした。ここで X, Y はそれぞれ X 方向, Y 方向の選択線, Z はインヒビット線, S はセンス線です。まず、使用する時間帯が全くずれていることから、Z線とS線を共用することが考えられました。もちろんそのために外部に切換回路が余分にいることとなりますが、磁心がどんどん小さくなって線を4本通すのと3本通すのでは大いにコストが違うこと、メモリーの単位容量が大きくなって切換回路のコストはあまりきかないこと、などで正当化されます。

X線を一度に読出す各ビットごとに分けてZ線と共通にする、というよりは、本来X線に流す電流とZ線に流す電流とを外部で合成して、各ビットごとに分けたX線に流そうというのが 2 $\frac{1}{2}$ D 方式で、Z線が不要になり3本の線ですむことになります。外部回路のコストは前述の 3D3線方式よりもさらに上りますが、長いインヒビット線をパルスが通過する時間を考慮する必要がなくなるので、高速化が期待されるという別のメリットがあります。

2 $\frac{1}{2}$ D 方式で、さらにS線までX線と共通にして、2線にすることができます。X線からの選択電流を十分早期に与えておき、完全に定常状態になってからY線に電流を与えれば、X線から読出し信号が取り出されるという方式ですが、このために速度はかなり犠牲にしなければなりません。なにしろ2本しか線がないのですから、大容量の場合にはそのきき目が大きく、大容量記憶装置に使われています。

これに較べて 2D2線方式というのはかなり前からある方式ですが、選択を全く外部回路に依存しようというもので、通常最もコストが高いと考えられます。

3.3 磁性薄膜記憶装置

第5表に示すようなものが、実用あるいは開発され

第5表 磁性薄膜記憶装置

形式	方式	実施例
ワイヤ、ロッド形 織成形	DRO	NCR 315 RMC ¹⁸⁾
	DRO	東光, GPI
はさみ込み形 平面形	NDRO	Univac 9200/9300 ¹⁹⁾
	DRO	Burroughs 8500 ²⁰⁾

ています。フェライト磁心がビット当たり1個であるのに較べて、ワイヤメモリーは1次元の、平面形磁性薄膜は2次元の連続性をもっているのですから、うまくゆけば圧倒的なコストダウンが期待されるわけですが、一方ではフェライト磁心の価格がどんどん下ってきて、その実用化をはばんでいる形になっています。

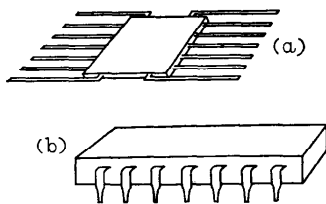
それでも Burroughs²⁰⁾ では B-8500 にサイクル時間 500 ns のものを使用し, Univac¹⁹⁾ も 9200, 9300 にワイヤメモリーを使っています。日本での実績はまだ小容量のものに止まっていますが, 通産省大形プロジェクトの支持もあり, 遠からず主記憶装置にも実用化されることになるでしょう。

4. 実装技術

論理回路素子の速度が ns を単位として表わされるようになり, 配線の長さが問題になるとともに, そのインピーダンスを一定に保つ必要が生じてきて, 実装に使われるコストは, 金物のコストの主要な部分を占め, 開発に際しても大きなエンジニアリングパワーを必要とするようになってきました。また小形化にもなって冷却の問題もクローズアップしてきました。

4.1 集積回路のパッケージ

普通の集積回路は一時 TO-5 に収容されていたこともありますが, 現在では第 2 図に示すようなフラツ



第 2 図 フラツパック(a)とデュアルインライン(b)

ツパックあるいはデュアルインライン形のパッケージに収容されています。いずれのパッケージでも 14 ピンが普通ですが, 一部 16 ピンもでてきました。

デュアルインラインの方があとから開発されたもので, パッケージのコストが安く, ピンの間隔が 100 ミルあって, その間に配線を通せるという利点がありますが, フラツパックの方が気密性はよいと考えられ, またピン当たりの静電容量が少ないので, 高速回路に向いています。

大規模集積回路用としては種々のパッケージが試作されていますが, フラツパック形ピン間隔 50 ミルのものが多いようです。

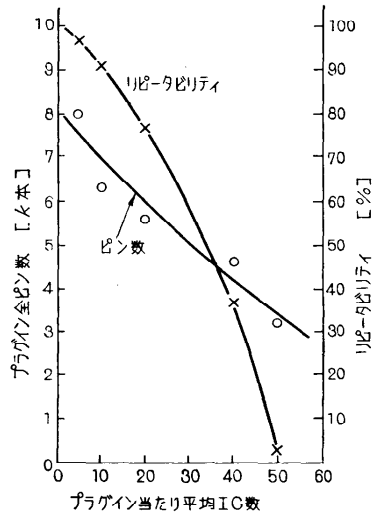
4.2 プラグイン

集積回路のパッケージはプラグインカードにとりつけられ, プラグインはさらにコネクタを介してバックボードにとりつけられますが, これは容易にとりはず

しができて, 保守の最小単位となるわけです。

電子計算機にプラグインというものが用いられるようになったのは, 恐らく NBS の SEAC²¹⁾ からだと思われませんが, 真空管がトランジスタに変わってから広く普及して, 集積回路の今日でも使われています。しかしその論理的機能からみた大きさは著るしく大きくなり, 集積度の増大とともにさらに大きくなる傾向となっています。

Sylvania 社で一つのシステムをプラグイン当たり IC 数を変えて何回も設計してみたデータ²²⁾ が知られていますが, 第 3 図に示すようにシステム当たり



第 3 図 プラグインの大きさと全ピン数ならびにリピータビリティ

の全ピン数はプラグイン当たりの平均 IC 数とともに著るしく減少しています。全ピン数を減らすことは, システムの信頼度を向上するだけではなく, 実装コストの占める割合が大きい今後のシステムでは, コストダウンに大きく寄与すると思われませんが, 一方プラグイン平均 IC 数の増大とともに, プラグインが多種少量となり, 保守用品の在庫がふえるという欠点がでてきます。

プラグインのリピータビリティという目安がありますが, これは

$$\text{リピータビリティ} = \left(1 - \frac{\text{プラグイン種類数}}{\text{プラグイン全数}}\right) \times 100\%$$

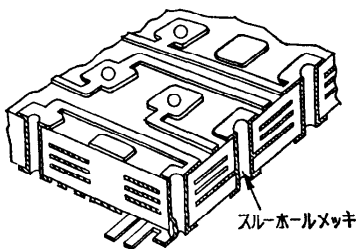
と定義され, 種類がたった一つなら 100%にきわめて

近く、全部異なるものなら0%になります。さきほどの Sylvania 社の例でもプラグイン当たりの平均 IC 数とともにリピータビリティは急激に減少して0になっています。リピータビリティが大きいほど保守用品は少なくすむわけで、このあたりの妥協のとり方は設計上重要な問題です。

4.3 バックボード¹⁰⁾

第2世代の計算機ではコネクタの裏面はくもの巣のような配線でした。第3世代では実装密度が上ってこんなことでは布線し切れないということと、インピーダンスを一定にする必要とから、これが多層プリント板におきかえられました。

第4図は多層プリント板の構成の一例です。この例



第4図 多層プリント板構成の一例

では論理配線は外側の2層にあり、互いに直交する布線がそれぞれの面で行なわれ、それらの間にはスルーホールメッキでつないでいます。内層は電源およびアース層で、これらの接続もスルーホールメッキによっています。プリント配線だけではいり切らない配線があると、これにとりつけたコネクタのピンからピンへと従来の電線を使う方法で布線することになります。

4.4 冷却

時間もありませんので、ここでは IBM システム/360 モデル 91²⁰⁾ が水冷の熱交換器を筐体内に持ち込んでいることだけに触れておきましょう。

4.5 設計自動化

このような実装の設計には、

- (1) 論理回路の IC への分割
- (2) IC グループのプラグインへの分割
- (3) プラグイン内での IC の配置と配線
- (4) プラグインのバックボードへの分割
- (5) バックボード上でのプラグインの配置と配線
- (6) 診断データの作成

などという単調で多大の綿密さを必要とする仕事が山

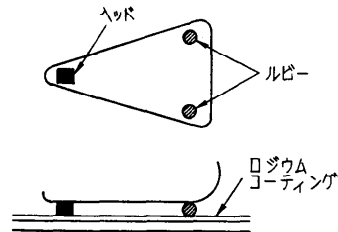
のようにあり、計算機の最適な応用の一つになっています。もっとも、これらの問題はいずれも一義的には解が定まらないいわゆる heuristic な問題ですから、効率よく仕事を進めるには人間と機械とのかなり頻繁なやりとりが必要です。しかし極端に言えば、関連ファイルの更新を計算機にやらせるだけでも大助かりで、いまや計算機なしには計算機が設計できない時代になったといえましょう。

5. 補助記憶装置

補助記憶装置は低価格大容量でなければならないために、機械的な運動部分をもち、それを時間的に選択して読み書きするという構造のものにならざるを得ないわけです。いまのところすべてが磁気的のもので、読み書きのためのヘッドを備えています。

5.1 ヘッド

磁気ドラムにしても磁気ディスクにしても、ヘッドは最初固定形であったものが、次第に浮動形に変わってきました。一方、最近小形の装置に用いられているものに、第5図に示す接触形があります。二つのルビ



第5図 接触形ヘッド

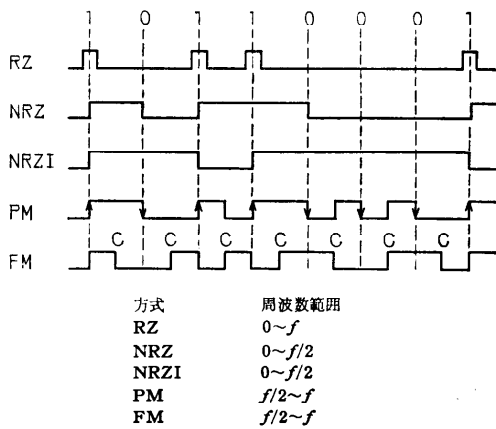
ーときわめて小さなヘッドとの3点で支えられ、ディスク上のロジウム製の硬い皮膜の上を滑って行くもので、浮動形よりもさらに磁性面との間隔が小さいため、ビット密度が著しく増大するのが特長です。

磁気テープ装置のヘッドははじめから接触形です。

5.2 記録方式

磁気記録方式は磁気ドラム、磁気ディスク、磁気テープの3者に共通で、第6図に示すように次々に新しい高密度記録方式が考え出されています。

RZ (Return to Zero) 法は原理的なもので、あまり用いられていません。次の NRZ (Non-return to Zero) 法は以前の情報と較べて変化があったときにだけレベルを変えるもので、周波数の上限が RZ の 1/2



第6図 種々の記録方式

になる利点をもっていますが、実用されているのは次の NRZI (Non-return to Zero IBM) です。この方法は“変化をもって1とする”ということで、IBM社の重要な特許の一つ²⁴⁾ になっていますが、800 BPI (bit per inch) の磁気テープ装置をはじめ、多くの磁気テープ装置に用いられ、他社も compatibility を保つためにこれに従っています。しかし、これらの方法ではまだ周波数範囲が直流から始まるという欠点をもっています。

次の PM (Phase Modulation) 法は上向きの変化を 1、下向きの変化を 0 とするもので、たとえば 11 と続くときには、途中で一度もとに戻らなければなりません。ビットの途中での変化は、読み出しに際して情報とはみなさないのです。このように必要に応じて途中でレベルを変えられるようにするには、つねに 1 ビット先きを見ている必要があります。この方式の利点は周波数範囲が $f/2$ から始まり直流を含まないと、self-clocking ができることです。800 BPI のテープではパリティを奇数にし、全ビットの論理和をすることによってクロックを得ていますが、この方式を使用する 1600 BPI のテープでは self-clocking ができるため、テープやヘッドのスキウはあまり問題になりません。

次の FM (Frequency Modulation) は PM によく似ていますが、ビットとビットとの間に必ず変化を入れて、これをクロックとし、各ビットに対しては、NRZI と同じく変化をもって 1 とし、無変化をもって 0 とするものです。これは IBM 2311 形のディスクに使用され、他社もほぼこれに従っています。

5.3 磁気テープ装置

7トラックの装置に代わって9トラックの装置が標準になってきました。記録密度としては 800 BPI につづいて 1600 BPI が一般化されるでしょう。前述のように記録方式が進歩して行くので、さらにこれが、3200 BPI になることも当然予想されます。しかし、一方、情報のブロック長はそう長くはならないので、記録密度をやたらに上げて、リール1巻の容量やシステムのパフォーマンスにはそれほど寄与しないとも考えられます。したがって 1600 BPI の時代はかかなり長つづきするのではないのでしょうか。

5.4 磁気ディスク装置

いわゆるバック方式で、ディスクのとりかえの利くものが王座を占めています。IBM 2311、さらにバックを8台(他に予備1台)を一つの装置にまとめた IBM 2314 があります。これらの仕様は第6表のとおりですが、記録方式の進歩に伴って、さらに性能がよくなることは容易に想像されます。

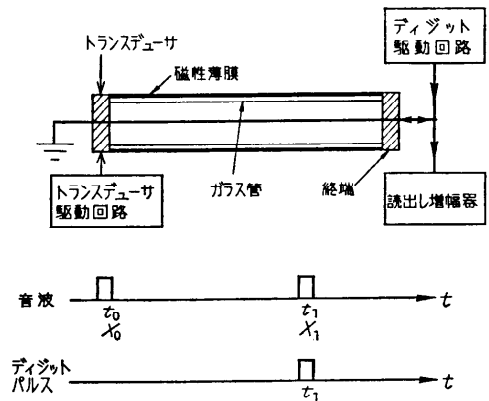
第6表 磁気ディスク記憶装置

形名	バック数	最大記録密度 [ビット/mm]	全容量 [MB]
IBM 2311	1	44	7.25
IBM 2314	8*	88	233.4

* 他に予備 1.

5.5 超音波フィルムメモリー

補助記憶装置が安価であるためには、機械的な運動部分をもたざるを得ないと申しましたが、このメモリーはこの制約から抜け出す可能性を提供してくれるかもしれません。ということで、まだ研究段階のこのメ



第7図 超音波フィルムメモリーの原理

モリー²⁵⁾について多少説明しておきたいと思ひます。

第7図にその原理を示してありますが、磁性薄膜を蒸着したガラス管の一端から超音波を与えますと、機械的な歪が低速で伝わって行き、これに従って磁化の変化が生じます。これが X_1 に到達した時刻にディジットパルスを与えますと、この二つの一致によって、 X_1 に情報を書き込むことができます。読み出しの場合には、超音波だけを与えることによって記憶内容がパルス列として得られることになります。

従来、媒質を機械的に回転させることによってヘッドの下を通過させていたのに対して、この方式では媒質は静止させておいて、その上を伝わる音波によって、ヘッドが時間的に場所を選択するのと同じ効果を得ようというもので、まさに画期的な着想ではないでしょうか。

6. 一般入出力装置

カード読取機、パンチ、ラインプリンタなどの一般入出力装置には、特に説明するような進展はありません。第3世代の計算機でもこれらの入出力装置については第2世代のものを使っているといえましょう。

OCR(Optical Character Recognition)の需要がふえ、これに伴ってパフォーマンスも改善されてきました。手書き文字を読む装置が商業ベースで得られるようになったことは一つの進歩でしょう。

7. 端末装置

実時間で計算機応用の進展に伴い、計算機と人間との間で問答方式で処理を進めて行くための端末装置が急速に発達してきました。これらの動向についていちいち詳細に説明している時間ありませんので、ここでは項目を挙げて簡単な説明をつけ加えるだけにしたいと思います。

7.1 タイプライタ

日本では字の種類が多いということもあって、速度は毎秒10字ぐらいが普通でしたが、15~20字で字の種類も十分あるものが出現してきました。また従来、(1)英字のコード、(2)仮名のコード、(3)英字の鍵盤配列、および(4)仮名の鍵盤配列のうち三つしか任意でなく、多くの場合(2)または(4)を犠牲にしていたのですが、最近ではコード変換器の導入によりこれらの四つをともに満足できるようになってきました。

7.2 文字ディスプレイ

ブラウン管を用いた表示装置を鍵盤と組み合わせたもので、次のような特長もっています。

(1) 鍵盤からキーインした情報を送出前にチェックし、必要に応じて修正できる。

(2) 計算機からの出力は高速に表示される。

(3) 計算機からフォーマットを与え、これに合わせてキーインすることもできる。

さらにタイプライタを付属させて、必要な部分だけハードコピーをとるようにすることもできます。今後端末装置としては最もポピュラになるものの一つでしょう。

7.3 グラフィックディスプレイ²⁶⁾

いままで計算機の入出力は文字、数字に限られていました。もっともXYレコーダなども使われてはいましたが、速度が遅く、融通性にも欠けていますので、グラフィックディスプレイの出現によって、始めて文字、数字だけではなく、図形というものを通して人間と計算機とのコミュニケーションが可能になったといえましょう。出力だけではなく、ライトペンを使うことによって入力もできます。

タイプライタや文字ディスプレイとは異なり、グラフィックディスプレイはかなり複雑な制御を必要とします。小形計算機を制御装置に使うのが普通になるかもしれません。機械設計、回路設計はじめ、このディスプレイを仲介として、計算機を使いながら設計作業をしようとする試みが各所で行なわれています。いまのところ最も問題になるのはそのプログラムです。

7.4 タッチトーン電話機

多数の人々がオンラインで計算機になにかを問い合わせるような応用では、このタッチトーン電話機が最も手軽で実用的な端末装置となるでしょう。計算機からの回答は、中央におかれた音声応答装置によって行なわれます。音声を計算機への入力とすることは難しく、まだまだ先きの話でしょうが、出力の方はあらかじめ録音しておいたものをコードによって引張り出してきて編集すればよく、すでにニューヨーク証券取引所などで実用されています。

8. 結 言

計算機をめぐるハードウェア技術の動向について解説しました。論理的構成の工夫によって、計算機のコスト当たりの性能が1桁よくなるというようなことはあまり期待できないのですが、ここで解説したような

ハードウェア技術の進歩はコスト当たりの性能を1桁も2桁も向上する可能性をもっています。

この学会の講演や論文にも、もっとこの方向についてのものがあってもよいのではないのでしょうか。

参考文献

- 1) A.E. Brennemann et al.: Two Interconnection Techniques for Large-Scale Circuit Integration, *IBM J.* **11**, 520 (1967)
- 2) R.A. Henle and L.O. Hill: Integrated Computer Circuits—Past, Present, and Future, *Proc. IEEE* **54**, 1849 (1966)
- 3) M.G. Smith and W.A. Notz: LSI from User's Point of View, *Proc. FJCC* **31**, 87 (1967)
- 4) M. Bialer et al: Chips are down in New Way to Build Large Microsystems, *Electronics* p. 102 (Oct. 4, 1965)
- 5) M.P. Lepselter: Beam-Lead Technology, *BST J* **45**, No. 2, 233 (1966)
- 6) Arthur I. Stoller et al.: Getting the Most out of Circuits with Dielectric Isolation, *Electronics* p. 97 (March 20, 1967)
- 7) E.M. Davis et al.: Solid Logic Technology: Versatile, High-performance Microelectronics, *IBM J.* **8**, No. 4, 102 (1964)
- 8) L.C. Hobbs: Progress in the Computer Field, *Computer Group News* **1**, No. 7, 1 (1967)
- 9) D.M. Taub: The Design of Transformer (Diamond Ring) Read-Only Stores, *IBM J.* **8**, No. 4, 443 (1964)
- 10) 谷 恭彦: HITAC 8000 シリーズ, 処理装置の部品と実装, *日立評論*, **49** 400 (1967)
- 11) B. Fagg et al.: IBM System/360 Engineering, *Proc. FJCC* **26**, 205 (1964)
- 12) Robert E. Chapman and Matthew J. Fisher: A New Technique for Removable Media, Read-Only Memories, *Proc. FJCC* **31**, 371 (1967)
- 13) R. Matick: Fast Non-destructive Read, Slow Write Memory Device Using Thick Magnetic Films, *Trans IEEE EC-15* No. 4, 435(1966)
- 14) Ascher Opler: Fourth Generation Software, *Datamation* **13**, No. 1, 22 (1967)
- 15) J.R. Burns et al: Integrated Memory Using Complementary Field-Effect Transistors, *ISSCC, SES XI, FPM 11.2* (1966)
- 16) A.R. Sass et al.: Cryogenic Random-access Memories, *IEEE Spectrum* **4**, No. 7, 91 (1967)
- 17) Dana W. Moore: A Cost/Performance Analysis of Integrated-Circuit Core Memories, *Proc. FJCC* **29**, 267 (1966)
- 18) Paul Higashi: A Thin-Film Rod Memory for the NCR 315 RMC Computer, *Trans IEEE EC-15*, No. 4, 459 (1966)
- 19) James P. McCallister and Carlos F. Chong: A 500-Nanosecond Main Computer Memory Utilizing Plated-Wire Elements, *Proc. FJCC* **29**, 305 (1966)
- 20) R.H. Jones and E.E. Bittmann: The B 8500-Microsecond Thin Film Memory, *Proc. FJCC* **31**, 347 (1967)
- 21) Sidney Greenwald et al: SEAC, *Proc. IRE* **41**, 1300 (1953)
- 22) J.J. Staller: The Packaging Revolution, *Electronics*, p. 72 (Oct. 18, 1965)
- 23) V.W. Antonetti et al: Thermal Design for IBM System/360 Model 91, 8th IEC Packaging Symposium 5/2 (1967)
- 24) 特許第 211371 号: 磁氣的記録の方法に関する改良
- 25) H. Weinstein et al: Sonic Film Memory, *Proc. FJCC* **29**, 333 (1966)
- 26) たとえば, M. David Prince: Man-Computer Graphics for Computer-Aided Design, *Proc. IEEE* **54**, No. 12, 1698 (1966)

(昭和 43 年 1 月 9 日 受付)