



FPGA による金融業務 アクセラレーション — 複合イベント処理を題材に —



井上 浩明 NEC グリーンプラットフォーム研究所

なぜハードウェアが必要か?

証券取引業務の中核は、さまざまな金融商品を適切に取り引きし、そして、その取引結果に応じて、保有する金融商品の市場リスクを総合的に分析することといえる¹⁾。情報処理技術の進展は、正確性と即時性に優れた、高度な証券取引・市場情報配信システムの実現を可能とし、その結果、証券会社における、より効率の良い証券取引業務の執行に貢献している。とりわけ、近年は、大口取引の売買執行コストを下げる目的で広まった、アルゴリズム取引と呼ばれる計算機による高速自動取引に注目が集まっている。このアルゴリズム取引は、海外では全体の取引量の5割を超え、日本でも全体の取引量の3割を占めるとされる。このような高速取引の主流化に伴い、東京証券取引所をはじめ、世界の証券取引所が1ミリ秒を切る注文応答速度を実現すべく、証券取引システムの高速度性を競っている状況にある。また、米国でのオプション価格配信を管理するOPRA (Options Price Reporting Authority) は、配信メッセージを処理するために必要とされるバンド幅の推移を報告している (図-1 参照)。この図から分かるように、3年で約5倍と、そのバンド幅は増加の一途をたどり、現在では約3Gbpsと、非常に高速な入出力構成での情報処理が必要である。

このような証券取引業務の高速化の背景のもと、証券会社は、さらなる情報処理能力の向上を目指して、FPGA (Field Programmable Gate Array) と呼ばれる、プログラマブルなハードウェアに着目し

ている。ハードウェアによる情報処理は、ソフトウェア (CPU) による情報処理と比較して、1. 低遅延性、2. 処理時間の確定性、3. 専用演算処理性能、4. 低電力性、に特徴がある。その特徴を活かし、たとえば、米国 Activ Financial 社は、FPGA を搭載した NIC (Network Interface Card) 上に、CPU よりも遥かに高速な市場情報受信機構 (フィードハンドラ) を組み込んだ製品を提供している。また、米国 JP Morgan Chase 社は、米国 Maxeler Technologies 社と共同で、FPGA を搭載したサーバを市場リスク分析に活用している。証券取引業務のさらなる高性能化の要求とともに、ハードウェアによる高速化技術がますます重要になると予想される。

複合イベント処理とは?

では、FPGA は、証券取引業務を支える、どのような情報処理技術に今後活用されていくだろうか? その1つの解として、筆者らは複合イベント処理に注目している。

複合イベント処理とは、時々刻々と変化する大量のデータから、重要な情報を即時的に加工・抽出する処理一般を指し、端的には、ストリームデータ処理の一種とされる²⁾。ここで、イベントとは、複数のデータを組み合わせた情報 (タプル) と定義される。複合イベント処理に求められる即時性の実現には、従来よりも遥かに高性能な情報処理技術が不可欠であるため、複合イベント処理は、ハードウェアによる高速化技術の特徴を最もよく活用可能な業務処理基盤の1つと考えている。無論、複合イベン

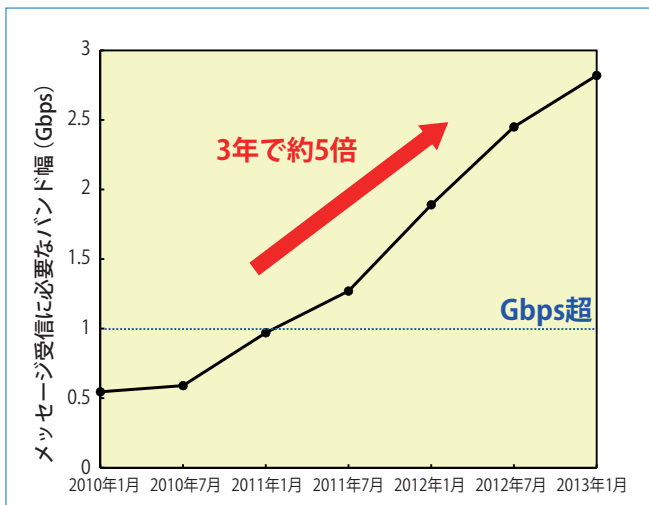


図-1 米国オプション価格配信メッセージ受信バンド幅の推移

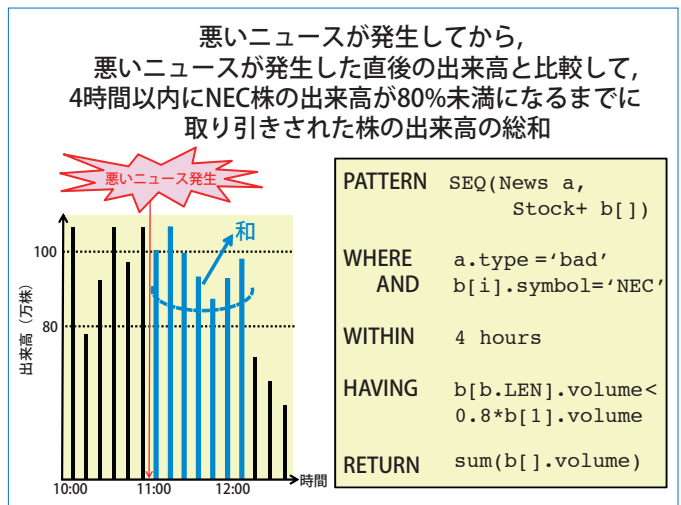


図-2 複合イベント処理の一例

ト処理自身は汎用的な業務処理基盤であるため、金融・証券取引業務分野だけではなく、クレジットカード不正利用検知等のセキュリティ分野、変電所の異常検知に代表される社会インフラ分野、患者の容体監視等の医療分野、モノの情報収集・制御を行うM2M (Machine to Machine) 分野³⁾、といった幅広い分野へと応用されている。

複合イベント処理 (ストリームデータ処理) に関する研究は、2000年頃から、スタンフォード大学、ブラウン大学、ブランダイス大学、マサチューセッツ工科大学、カリフォルニア大学バークレー校、マサチューセッツ大学、コーネル大学といった米国の大学を中心として、精力的に進められた。その研究成果を基に、2005年頃から、米国Progress社、独国SAP社 (旧米国Sybase社)、米国IBM社、米国Oracle社等の海外勢をはじめ、国内でも日立製作所等が複合イベント処理の製品を提供している。

証券会社は、複合イベント処理の有する即時性に早くから着目し、汎用的なイベント処理エンジンとして、市況系情報の加工処理やアルゴリズム取引等の証券取引業務に導入した。証券取引業務における複合イベント処理の実例としては、1. 日経225やTOPIX等の指数値の計算、時間帯別VWAP (Volume Weighted Average Price; 出来高加重平均) の計算、移動平均剥離率計算、指数相関値 (β 値) 計算といったトレーディングの参考データ算出

や、2. 取引所からの気配データ/約定データ/時刻等を入力とした発注判定ロジック起動・発注処理といった直接トレーディングにかかわる処理、などが挙げられる¹⁾。

さて、複合イベント処理とは、どのような言語で、具体的にどのように記述されるのだろうか? 複合イベント処理製品の多くは、スタンフォード大学のCQL (Continuous Query Language) を源流とする、SQL的な問合せ言語を入力とする。以降は、SQL的な問合せ言語で著名なSASE+⁴⁾の文法を基に、複合イベント処理の記述例を解説する。図-2は、記述の一例として、「悪いニュースが発生してから、悪いニュースが発生した直後の出来高と比較して、4時間以内にNEC株の出来高が80%未満になるまでに取り引きされた出来高の総和」という複合イベント処理を示している。

SASE+では、PATTERN句、WHERE句、WITHIN句、HAVING句にてイベント列の一致処理を構成し、そして、RETURN句にて一致したイベント列を、集約関数 (総和や平均) 等を通じて出力イベントに変換する。

まず、PATTERN句は、入力イベント列に対して一致処理を実施するパターンの構造を表し、この例では、SEQ(News a, Stock+ b[])と記述されている。ここで、1.SEQ演算子は括弧内に記されたイベントの逐次到着を、2.記号 '+' は

イベントの繰返発生を、3. ブランケット [] は繰返イベントの配列を意味する。よって、この例における PATTERN 句は、ニュース情報を保持する News 型イベント a に続き、株価情報を保持する Stock 型イベント b が繰り返すことを表現している。なお、News 型イベントは type メンバを含み、type メンバはニュースの良悪情報を格納する。一方、Stock 型イベントは symbol メンバと volume メンバとを含み、symbol メンバは株の銘柄を、volume メンバは株の出来高を格納する。

次に、WHERE 句は、PATTERN 句に記述されている各イベントの検出条件を表す。この例における “a.type='bad' AND b[i].symbol='NEC'” という記述は、イベント a のニュース情報が悪く、かつ、任意 (i 番目) に到着したイベント b (b[i]) の株の銘柄が NEC、というイベント列を検出することを意味する。

また、WITHIN 句は、イベント列の一致期間を規定する。この例では、4 時間と規定されている。

さらに、HAVING 句は、イベント列に対する追加制約を指定することで、一致条件をさらに絞り込むことが可能である。ここで、b[1] が最初に到着した、b[b.LEN] が最後に到着したイベント b を意味する。よって、この例における “b[b.LEN].volume < 0.8 * b[1].volume” という記述は、最後のイベントにおける NEC 株の出来高が最初のイベントにおける株の出来高の 80% 未満となる条件を満たすイベント列を抽出する。

最後に、RETURN 句は、一致したイベント列に対して、計算処理を行った結果を出力する。この例における “sum(b[].volume)” という記述は、株価情報を保持する Stock 型イベント b に関し、一致したすべてのイベントの出来高の総和を算出している。

この例から明らかなように、複合イベント処理は、SQL に似た抽象度の高い言語を活用しながら、一致処理と計算処理とを絶妙に織り交ぜた、汎用性の高い処理を実現することが可能である。

ハードウェア設計は簡単か?

前章では、複合イベント処理の概要と、その記述言語について説明した。はたして、同様の抽象度の高い言語にて、複合イベント処理をハードウェア (FPGA) 上に設計できるだろうか?

FPGA は、単純に言えば、論理素子としての少量メモリを多数かつ規則的に配置し、そして、所望の論理回路を各メモリに分割・格納するという構成をとる。論理積・論理和のような論理を回路として直接焼き付ける ASIC (Application Specific Integrated Circuit) とは異なり、論理を格納するメモリは何度も書換え可能であることから、FPGA はプログラマブルなハードウェアと呼ばれる (図-3 左参照)。一般に、FPGA 上の論理回路の動作周波数はせいぜい数百 MHz と低いものの、FPGA は時間的 (パイプライン)・空間的な並列処理の実現に優れることから、論理によっては、CPU よりも高い性能を達成できる。また、命令実行を経ず、論理回路を直接駆動するため、CPU よりも格段に低い消費電力を実現できる。FPGA が搭載可能な論理回路量は年々増加しており、現時点で、米国 Intel 社の Atom プロセッサを搭載可能との報告がある。なお、FPGA の供給元としては、米国 Xilinx 社と米国 Altera 社が有名である。

FPGA の論理設計は、これまで、ハードウェア記述言語と呼ばれる、ハードウェアを意識した抽象度の非常に低い言語に頼らざるを得なかった。しかしながら、近年のハードウェア設計ツールの進展は目覚ましく、C や Java といった高級言語にて FPGA の論理設計が可能である。たとえば、先に述べた米国 Maxeler Technologies 社は、演算処理を高効率に設計可能な Java 言語 (のサブセット) によるハードウェア設計ツールを、また、国内では、NEC も、CyberWorkBench と呼ばれる ANSI C/C++ 準拠のハードウェア設計ツールを提供している (図-3 右参照; <http://www.nec.co.jp/soft/cwb/>)。

CyberWorkBench は、演算処理のみならず、制

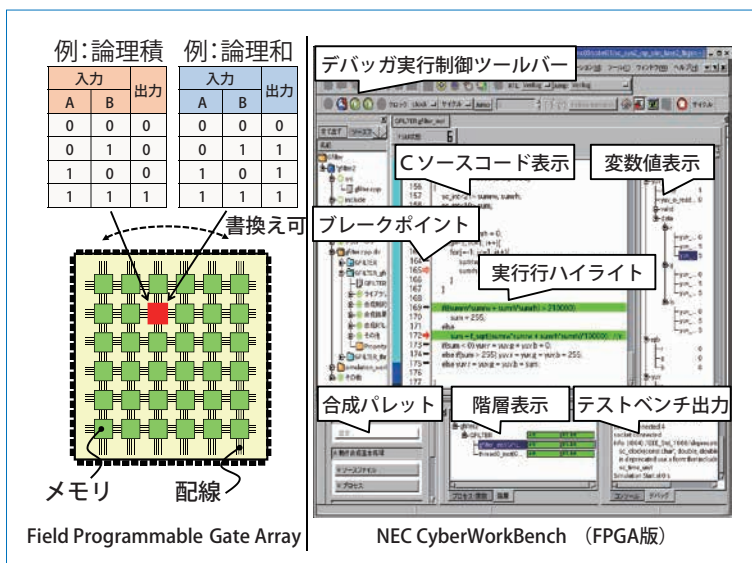


図-3 FPGAの構成と高級言語による設計ツール

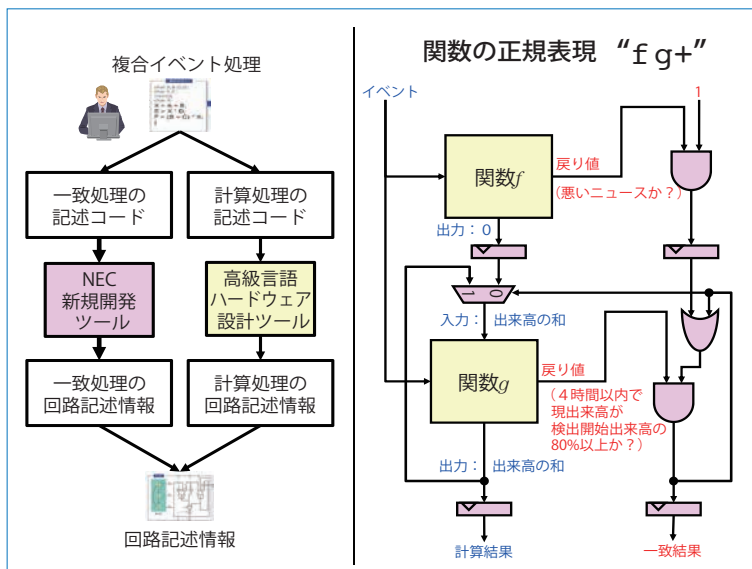


図-4 複合イベント処理のハードウェア設計フローとその一例

御構造 (if 文や while 文等) を含めた通常の C 言語のプログラムから、時間的・空間的並列性を最大限に抽出することで、指定された周波数および面積制約を満足する回路を自動的に生成する。また、生成した回路の動作を、C 言語のプログラムとしてデバッグすることも可能である。FPGA に特化した版では、論理素子の遅延特性や内部 IP コア (ブロック RAM 等) といった、FPGA というハードウェアならではの仕様制約を自動的に満足する機能も有する。無論、より良い回路の生成にはある程度の記述改良が必要ではあるものの、Verilog や VHDL

といったハードウェア記述言語に比べ、ハードウェア設計の敷居が遥かに下がっており、結果、証券取引業務にかかわるソフトウェア技術者でも十分ハードウェア (FPGA) を設計可能といえる。

複合イベント処理の高速化

前章までの背景を踏まえた研究開発の一例として、筆者らが進めている、ハードウェアを活用した複合イベント処理の高速化技術を紹介する。ハードウェアによる複合イベント処理の高速化は、2010年に発表された、瑞西チューリッヒ工科大学の研究⁵⁾に端を発する。文献5)では、正規表現の回路化技術を基に、複合イベント処理における一致処理のみをハードウェア化可能な設計技術を提案している。

筆者らの研究グループは、チューリッヒ工科大学の研究をさらに進め、複合イベント処理に求められる一致処理と計算処理の両者をハードウェア化する設計技術を開発した (図-4左参照)。本技術は、高級言語によるハードウェア設計ツール (CyberWorkBench) を活用した設計手法に加え、真偽値を返す関数を要素とする正規表現 (関数の正規表現) という新しい演算表記

法のハードウェア化にその特徴がある。ここで、関数の正規表現とは、概念的には、正規表現による一致処理と (C 言語の) 関数による計算処理とを両立する演算表記法である。図-2の例でいえば、まず、1. 悪いニュースを判定する関数 f と、2. NEC 株の判定、出来高の下落幅の検出と出来高の総和計算を行う関数 g という関数群を定義し、続いて、正規表現 " $f g^+$ " (関数 f に続き、関数 g の繰返実行を意味) により、定義関数群の実行順序を規定することで、複合イベント処理に不可欠な一致処理と計算処理の両者を併記することが可能となる。参考までに、

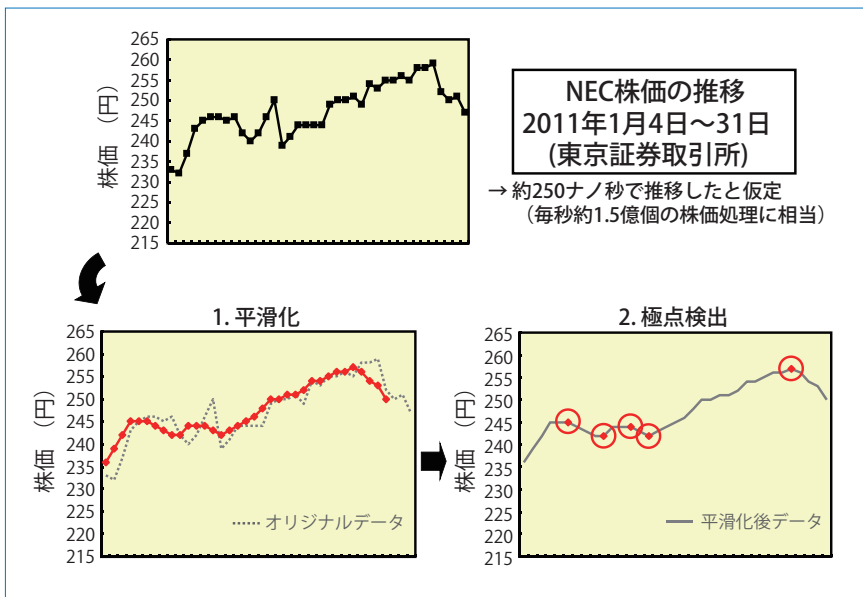


図-5 株価の変化点検出

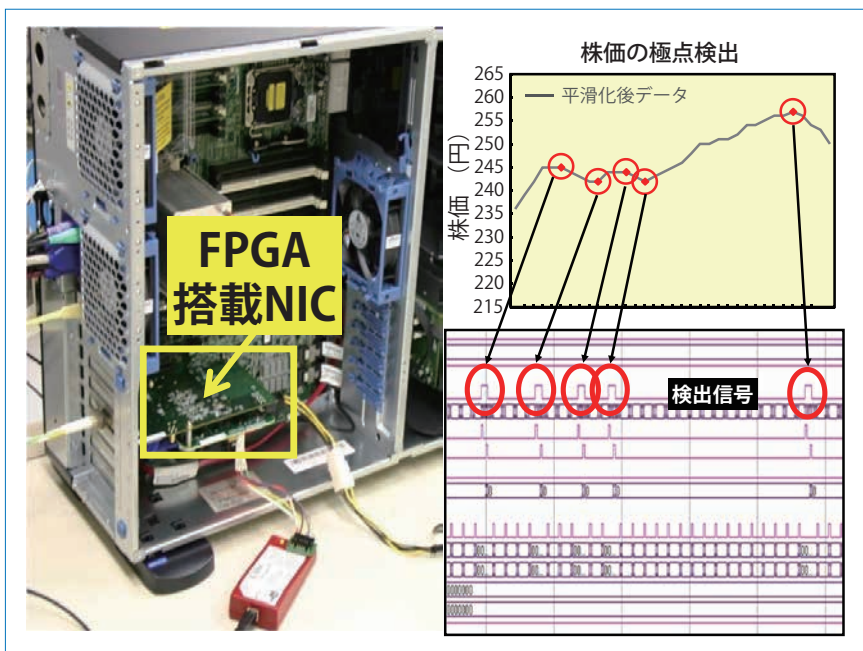


図-6 20Gbps FPGA 搭載 NIC を用いた動作結果

だろうか？ 図-5は、チューリッヒ工科大学の研究ではハードウェア化が困難であった、株価の極点検出の例を示している。この例では、まず4点の株価の移動平均（計算処理）により株価推移の平滑化を行ったのち、その極点を検出（一致処理）する。大量情報の実時間処理が可能であることを示すべく、2011年1月4日から31日までのNEC株価データを元に、その推移が約250ナノ秒にて発生したことを仮定する。実際に、筆者らは、2本の10Gbpsリンクを有する動作周波数156MHzのFPGAを搭載したNICを用いて、図-5の例から5極点を正しく検出できていることを確認した（図-6参照）。これは毎秒約1.5億個の株価データを処理したことに相当する。また、動作周波数3.3GHzの米国Intel社Xeonプロセッサと比較して、FPGAの動作周波数は約20倍低いものの、提案手法は、処理時間

関数の正規表現“E g+”に対して、我々のハードウェア設計技術が自動生成する回路構成を図-4右に示す。関数 f および g の計算処理は高級言語でのハードウェア設計ツールによって、また、正規表現による一致処理（関数間の接続）は筆者らが新規に開発したツールによって、回路記述情報へと変換される。技術詳細は文献6) 参照のこと。

では、筆者らの提案技術により、どのような複合イベント処理がハードウェア上で実現可能となる

に関して、約12.3倍の性能向上を実現した。なお、この例だけではなく、他の処理例に関しても（たとえば、VWAP計算処理では約2.7倍、メッセージ解析処理では約50倍）高い性能向上を実現していることから、提案技術は複合イベント処理の高速化に非常に有効であると考えている。

今後の展望

本稿では、証券取引業務の基盤を担う複合イベント処理を題材に、ハードウェアの必要性とその設計技術の現状について述べた。現在、筆者らは、関数の正規表現によるハードウェア設計技術を基盤として、SQLに似た問合せ言語による処理基盤を開発中である。これにより、証券取引業務で現在活用されている複合イベント処理がそのままハードウェアにて高速化可能となる。

また、先に述べたように、複合イベント処理は証券取引業務にとどまるものではない。たとえば、スマートグリッドの研究分野では、オントロジー技術との統合による、新しい複合イベント処理が提案されている。このような潮流とともに、ハードウェアによる情報処理技術は実社会にますます貢献していくと期待される。

参考文献

- 1) 高堂谷正樹, 濱田 充: 金融機関の市場系業務の高度化への対応~証券会社のホールセール分野と銀行の市場リスク管理を中心として, http://www.mri.co.jp/NEWS/column/SERIAL/2011/2014056_1767.html
- 2) 北川博之, 川島英之, 天笠俊之: センシングデータ処理基盤技術—ストリームデータ処理—, 情報処理, Vol.51, No.9, pp.1119-1126 (Sep. 2010).
- 3) 磯山和彦, 佐藤 正, 喜田弘司, 吉田万貴子: M2M サービスプラットフォームにおける大規模リアルタイム処理技術, NEC 技報, Vol.64, No.4, pp.85-89 (Nov. 2011).
- 4) Gyllstrom, D., Agrawal, J., Diao, Y. and Immerman, N. : On Supporting Kleene Closure over Event Streams, Proceedings of IEEE International Conference on Data Engineering (ICDE), pp.1391-1393 (Apr. 2008).
- 5) Woods, L., Teubner, J. and Alonso, G. : Complex Event Detection at Wire Speed with FPGAs, Proceedings of International Conference on Very Large Data Bases, Vol.3, issue1-2, pp.660-669 (Sep. 2010).
- 6) Inoue, H., Takenaka, T. and Motomura M. : 20Gbps C-Based Complex Event Processing, Proceedings of IEEE International Conference on Field Programmable Logic and Applications (FPL), pp.97-102 (Sep. 2011).

(2012年5月14日受付)

井上 浩明 | h-inoue@ce.jp.nec.com

NEC グリーンプラットフォーム研究所主任。1999年慶應義塾大学修士課程修了。同年NEC入社。2007年米国Stanford大学客員研究員。2009年博士(工学)。IEICE正会員, IEEEシニア会員。

