

入出力制御方式*

発 田 弘** 石 黒 功**

1. 緒言

コンピュータの性能に関しては、演算速度やメモリ容量が注目されがちであるが、システムの処理能力に対する入出力処理能力の影響を無視できない。入出力処理能力はおもに次の要素で決まってくる。

- (1) 入出力装置（ファイル装置を含む）の速度。
- (2) 入出力装置の同時動作可能な数。
- (3) 入出力装置の動作を制御するために必要な中央処理装置の時間。
- (4) 入出力インターフェース。

ここでは(1)に関してはふれないが、一般に中央処理装置に比し高速化が遅れており、今後も著しい改善は望めないといわれている。この速度不均衡を補うためにマルチ・プログラミングが行なわれるようになり(2)の機能が重要となってくる。そして、この制御のために使用される中央処理装置時間がオーバーヘッド・ロスといわれその減少が重視されてきている(3)。また中央処理装置と入出力装置を接続するインターフェース(4)が(1)～(3)に関連して重要である。

超大型機は従来、科学技術計算がおもな応用分野で、入出力処理より演算処理の中心であったが、最近の傾向として大規模なデータ・ベース・システムやオンライン・リアルタイム・システムなどに使用されるようになり、ファイル装置の制御、データ通信回線の制御などの処理能力も重要になってきている。超大型機における入出力制御方式でも基本的には中小型機と同じものが多いけれども、特殊なシステムでは、演算装置を入出力制御のために使用せず専用の別装置を付随させている例もある。

以下、まず一般的な入出力制御方式について述べ、次に超大型機における入出力制御方式の特徴・事例などを紹介する。

2. 入出力制御の基本的方式

2.1 入出力動作の並行処理

入出力装置と主記憶装置間のデータの移送とそれに伴う制御動作を入出力動作と呼ぶ。入出力動作と演算速度の間には著しい速度の差がある（前者はミリ秒単位であり、後者はマイクロ秒単位である）ので、それを補う方法としてマルチ・プログラミングと入出力動作の並行処理が考えられた。これを図1で説明すると、プログラムAの実行中に入出力命令が出てくると、それによって入出力動作を起動し、その入出力動作が終了するまで進めないプログラムならば、他のプログラム（プログラムB）の実行に切り替える。この間プログラムBの実行と並行して入出力動作Aが行なわれる。プログラムBで入出力命令があると同様にしてプログラムCに切り替える。この並行処理の基本はメモリ・スチールと呼ばれる方式で、主記憶装置を演算装置と入出力装置が共通にアクセスできるようにし、演算装置が主記憶装置を使用中に入出力装置からのデータ移送要求があると、そのときだけメモリ・サイクルを入出力動作に割り当てる。このため演算装置の命令実行に影響を与えるが、両者の速度差が大きいためその影響は小さいものである。この方法により、演算動作と多数の入出力動作が並行して行なえる。

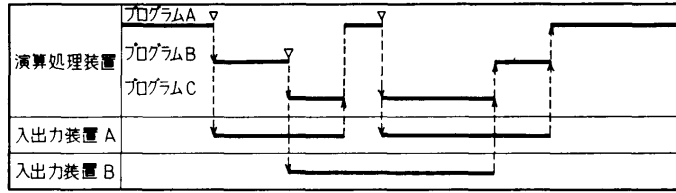
入出力動作が終了するとプログラム割込みにより、それが演算装置に知らされてプログラムB（あるいはC）の実行を中断して、プログラムAの実行が再開される。

2.2 割込み

2.1で述べたように割込みは、入出力動作の終了などを演算装置に知らせるプログラム切り替えのきっかけを与えるものである。プログラムを切り替えるためには実行中のプログラムに関し、それを再開するのに必要な状態情報をすべて退避し、別のプログラムを再開するのに必要な状態情報をセットする必要があり、これらの切替準備はソフトウェア（制御プログラム）により処理される。また制御プログラムは、割込みが

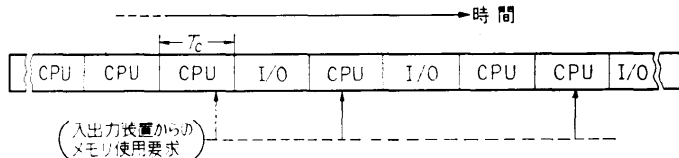
* Input Output Control, by Hiroshi Hatta and Isao Ishiguro (Electronic Switching and Information Processing Group Planning Office, Nippon Electric Co. Ltd.)

** 日本電気株式会社情報処理企画室



注：▽は入出力命令を示す。

図 1 入出動作の並行処理とマルチ・プログラミング



(注) T_c はメモリのサイクル・タイムを示し、この間に1回メモリへアクセスできる。図は各メモリ・サイクルの演算処理装置 (CPU) と入出力装置への分配の様子を示している。

図 2 メモリ・スチール

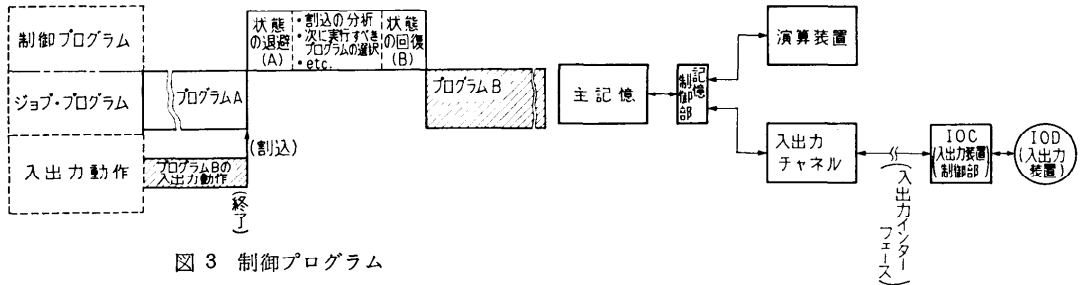


図 3 制御プログラム

図 4 入出力チャンネル

いかなる原因により発生したものかを調べ、次に実行すべきプログラムの選択を行なう。

プログラム再開のために必要な状態情報としては次のようなものがある；

- ・命令アドレス (プログラム再開のとき、最初に実行する命令のアドレス)。
- ・プログラムのモードなど各種のインジケータ類。
- ・プログラムで使用している各種レジスタの内容。

また割込み原因を調べるのに必要な情報として入出力割込みを例にとれば次のようなものがある；

- ・入出力装置の番号 (入出力装置を区別する情報)。
- ・入出力装置の状態情報 (入出力動作が正常に終了したかなどを示す情報)。

多数の入出力装置から割込みが発生するときには、一つの割込みを処理し終わらないうちに次の割込みが発生する可能性があるため、優先度を制御するための手段 (割込みの一時的禁止機能、割込みレベルの設定など) が必要となる。

2.3 入出力チャンネル

入出力動作の処理は概念的には一般に図4のような構成で行なわれる。この図で、IODは機械的装置 (カード・リーダー、磁気ディスクなど)、IOCはIODに対する電子的制御装置でプログラムからの指令を解読してIODの動作を制御する。入出力チャンネルはIOCに指令を与え、また主記憶とのデータ転送の制御をする。入出力チャンネルとIOCのインターフェースが入出力インターフェース (チャンネル・インターフェース) と呼ばれている。記憶制御部は演算装置と入出力チャンネル間のメモリ・サイクルの割当て (メモリ・スチール) を制御する。

演算装置で実行された入出力命令は入出力チャンネルに指定の入出力装置とのデータ転送を起動させ、後の処理は入出力チャンネルが主プログラムと独立してその入出力動作を行ない終了させる。したがって、入出力チャンネルは独立した処理装置とみることができ、入出力動作の一連の制御を入出力コマンドによって記述さ

コマンド コード	アドレス		カウント
-------------	------	--	------

コマンド・コード：この入出力コマンドの指示する動作を示す。

アドレス：入出力装置に書き出すデータの主記憶中のアドレス，あるいはデータを読み込むべき主記憶のアドレス。

カウント：送受するデータの長さ。

図 5 入出力コマンド装置

れたチャンネル・プログラムの実行の形で処理する装置も多い。チャンネル・プログラムは、データの転送，補助制御情報の入出力装置側転送，入出力装置側からの状態情報の読出しなどを行なう入出力コマンドがプログラムのようにならべられたものである。入出力コマンドの形式の例を図 5 に示した。

2.4 入出力インターフェース

入出力インターフェースは多くの場合，同一システム内においては入出力装置の種類によらず統一されている。これによってシステム構成上自由度が大きくなり，また新しく開発された入出力装置も入出力インターフェースのみ一致させれば既存のシステムに接続できる。入出力インターフェースには種々の方式があり，ここでは細部にはふれないが，次のような観点から分類できよう。

1) 信号方式

インターフェース上での信号の送受の方式で，同期のための信号を用いる同期方式と個々の信号について応答を確認しつつ制御をすすめる非同期方式（インターロック方式）がある。

2) 入出力装置の接続

入出力装置の入出力チャンネルへの接続方式で，図 6 に示すように 1 本のインターフェース上に複数の

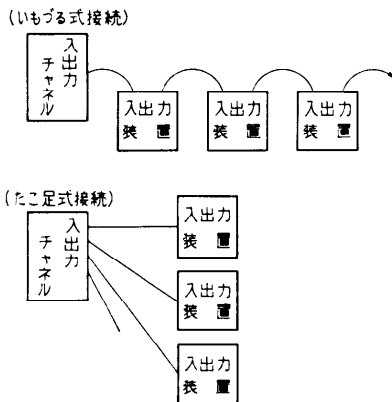


図 6 入出力装置の接続方式

入出力装置を接続する直列（いもづる）方式と 1 台の入出力装置しか接続しない並列（たこ足）方式がある。

3) 入出力動作の多重性

1 本のインターフェース上での入出力動作の同時動作の数が複数個可能なマルチプレクシング方式と 1 個の入出力動作しか行なわないバースト方式があるが，一般には同一インターフェースで両方のモードで動作できるようにしているシステムが多い。

マルチプレクシング方式ではインターフェースを時分割で利用することにより多数の入出力装置が同時に動作できるようになっており，この機能を持った入出力チャンネルはマルチプレクサ・チャンネルなどと呼ばれている。

バースト方式では，一つの入出力装置が動作開始から終了までインターフェースを占有し，このような機能を持った入出力チャンネルをセレクト・チャンネルなどと呼んでいる。

3. 超大型機における入出力制御

3.1 超大型機における入出力制御の特徴

超大型機では入出力装置も高速の装置が用いられるが演算速度とのバランスは大型～中型機以上に悪くなる。そのため，より多くの入出力装置を接続してより多くのマルチ・プログラミングを行なう必要が出てくる。また大形のリアルタイム・システムや TSS に用いられる場合には多数の通信回線が接続され，それを介して端末装置を制御しなければならない。このように多数の入出力動作を平行して処理するようになると，入出力制御のために多くの時間を使用しなければならなくなるけれども，その場合，超大型機を持っている特有の演算機能（たとえば高速高精度の浮動小数点演算機能）はいかされない。したがって，入出力制御をできるだけ他の装置にやらせ，演算装置は目的とするデータ処理に専念させる方向での工夫が必要となる。そのためには，

(1) 入出力転送などの直接的入出力制御を独立させる。

(2) 入出力動作に伴う前処理，後処理をできるだけ独立にやる。

などが考えられる。

(1) のためには，入出力制御機構を物理的・論理的に独立させる傾向にある。たとえば，入出力チャンネルを独立の装置（入出力チャンネル装置）とし，演算装置

と同列に扱ってマルチプロセッサ形式でシステムを構成する。この場合、チャンネル・プログラムなどは入出力チャンネル装置が実行するので、演算装置が影響をうけるのは主記憶装置へのアクセスがぶつかったときだけである。(2)については上記入出力チャンネル装置を進展させ演算能力を持たせて入出力動作に伴う前後の処理もできるようにするのが一つの方法で、CDC-7600 にみられるペリフェラル・プロセッサなどがその例である。他の方法としては入出力処理を専門に行なう別の汎用演算処理装置を用いる方式が考えられる。主記憶(あるいは高速なファイル装置)を共有する2台の演算処理装置があり一方は演算を専門に行ない、他は入出力動作の制御を専門に行なって演算のためのデータの準備、結果の出力を行なう。この場合2台の演算処理装置は同一の装置である必要はなく、たとえばILLIAC IV では入出力制御の目的にはパロース 6500 を使用しており演算装置(ILLIAC IV)とは高速ディスクを介してデータを送受している。

3.2 具体例

(1) 大型プロジェクトによる超高性能電子計算機¹⁾

通産省工業技術院の大型プロジェクトによって開発中の超高性能電子計算機システムは基本的には図7のような構成で、入出力動作は入出力処理装置(IOP)で行なわれる。本システムの特徴はIOPが独立した装置となっている点で特にその共通制御が各チャンネルと中央処理装置の間のスイッチの役目だけでなく、マイクロ・プログラム制御によって各種のチェック、診断

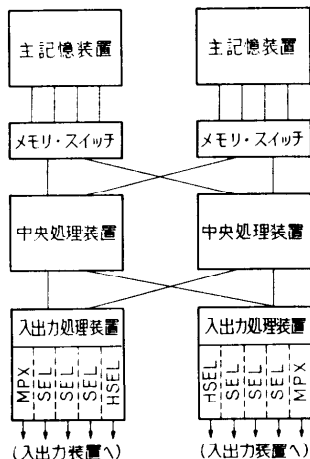


図7 大型プロジェクト・超高性能電子計算機システム構成

も行なう点で、他のチャンネルは通常動作させたまま故障チャンネルの診断ができる。

IOPのチャンネルにはマルチプレクサ(MPX)チャンネル、セレクトタ(SEL)チャンネル、高速セレクトタ(HSEL)チャンネルの3種がある。MPXチャンネルは多数のサブチャンネルを有し低速入出力装置を制御するために使用される。サブチャンネルはチャンネル・プログラムを実行する単位であり、サブチャンネルの数だけ同時にチャンネル・プログラム(すなわち、入出力制御)が実行できる。SELチャンネルは高速の入出力装置を制御するために使用され、チャンネル当り1個のサブチャンネルしか持たない。HSELチャンネルはSELチャンネルとはほぼ同じ機能を有し、データ転送速度のみが異なる。すなわちHSELチャンネルでは4バイトの並列データ転送(他のチャンネルは1バイト)を行なって最高4メガ・バイト/秒までのデータ転送を可能にしている。

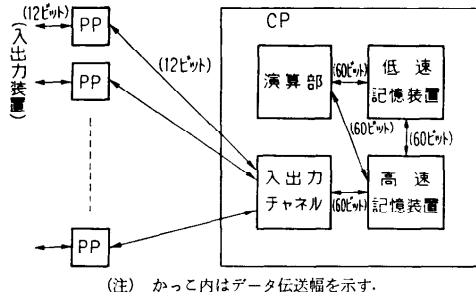
(2) IBMシステム/370モデル165

IBMシステム/370モデル165の入出力制御方式は、マルチ・プロセッサ構成でない点を除き前述の大型プロジェクト機と基本的に同じで、マルチプレクサ・チャンネル、セレクトタ・チャンネルを用いてデータ転送を行なうが、異なる点はブロック・マルチプレクサ(BMPX)チャンネルを持つことである。

BMPXチャンネルは、MPXチャンネルが低速の入出力装置を同時制御するのに対し、中～高速の入出力装置の同時制御を目的とし、最高64個の同時動作が行なえる。BMPXチャンネルとMPXチャンネルとの基本的相違はMPXチャンネルはインターフェース上で1バイト単位で多重化(マルチプレックス)することにより、複数サブチャンネルの同時動作を制御しているのに対し、BMPXチャンネルではブロック(たとえば1レコード)単位で多重化している点で複数個の入出力装置のデータ転送がブロック単位で直列に処理される。SELチャンネルとはサブチャンネルが複数個ある点で異なり、たとえばディスク装置を複数台制御するときに、seek指令を全部の装置に出しておき、データ転送はアクセスの完了した順に行なうなどに適している。データ転送速度は最高1.5メガ・バイト/秒であるがオプションにより2バイト並列転送も可能になり、最高3メガ・バイト/秒のデータ転送速度が得られる。

(3) CDC 7600²⁾

CDC 7600の入出力制御の特徴の一つはペリフェラル・プロセッサを持つことである。システム構成は図8に示すように1台のセントラル・プロセッサ(CP)



(注) カッコ内はデータ伝送幅を示す。
 図 8 CDC-7600 のシステム構成

と6~15台のペリフェラル・プロセッサ (PP) から成る。CP は 32K または 64K 語 (1語は 60ビット, K=1, 024) の高速記憶装置と 256K または 512K 語の低速記憶装置を持ち、演算処理を実行する。一方 PP は 4K 語 (12ビット/語) のメモリを持ち制御プログラムの実行および入出力装置やオペレータ・ディスプレイの制御を行なう。

入出力装置からデータを読み込む場合、まず PP は PP の入出力チャンネルを使用して入出力装置から PP の記憶装置へデータを転送する。次に CP は CP のチャンネルを使用して PP の記憶装置から CP の記憶装置へデータを転送する。データを入出力装置へ書き出す場合はこの逆である。このように入出力制御を専門に処理する PP を持つことにより、CP は入出力装置からの割込みの処理やデータのチェック、編集、変換などの入出力動作に付随する種々の処理から解放され、目的とする演算処理に専念できる。

(4) バロース 8500

バロース 8500 は入出力制御を行なう入出力モジュールと演算処理装置は独立してマルチ・プロセッ

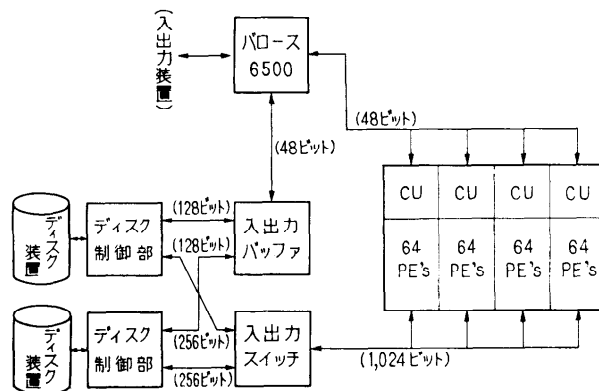
サ形式で接続されシステムを構成する。

入出力制御にはディスクリプタが使用される。このディスクリプタは前述した入出力コマンドと同様に入出力動作を定義したもので、入出力制御を行なう場合には、あらかじめそれをディスクリプタによりプログラム化しておき、入出力モジュールに入出力命令を出す。入出力モジュールはディスクリプタを逐次実行して、入出力処理を完了する。

(5) ILLIAC IV³⁾

ILLIAC IV は (計画では) 4個のコントロール・ユニット (CU) と各 CU により制御される 64 台、合計 256 台のプロセッシング・エレメント (PE) で構成される (実際に開発されたのは 1 台の CU と 64 台の PE であると聞いている)。CU は命令の解析や PE の制御、さらに ILLIAC IV と外界とのコミュニケーションの制御などを行ない、一方各 PE は 2,048 語 (64ビット/語) の記憶容量を持ち演算を実行する。この多数の PE による並列処理をいかして超高速処理を可能にするのが ILLIAC IV の目標である。このため ILLIAC IV 自身は入出力制御機能を持たず、バロース 6500 を接続して、入出力制御やコンパイルーションをやらせている (図 9 参照)。バロース 6500 と ILLIAC IV の間には 10⁹ ビットの容量を持つディスク装置があり、両システム間のデータ・バッファとして用いられる。システムの入出力制御は次のように行なわれる。

まずバロース 6500 に接続された入出力装置から入出力チャンネルを通してバロース 6500 の主記憶装置にデータが読み込まれる。次にここから入出力バッファを経由してディスク装置に転送され、最後にディスク



(注) カッコ内はデータ転送幅を示す。

図 9 ILLIAC IV のシステム構成

装置から入出力スイッチを経由して PE の記憶装置に転送される。このディスク装置と PE の記憶装置間の転送は 1,024 ビット並列に行なわれ、 10^9 ビット/秒の高速転送を実現している。

(6) NEAC シリーズ 2200 モデル 700

NEAC シリーズ 2200 モデル 700 は最高 4 個の標準入出力セクタと 4 個の高速入出力セクタを持つ、標準入出力セクタ 1 個は 4 本の標準入出力チャンネルを有し、4 台の入出力装置を同時動作させられ、さらに 2 本以上のチャンネルを 1 本のチャンネルとしてインターロックして用いることにより高速のデータ転送も可能であり、またチャンネルと入出力装置の接続が切り離されていて、どれでもあいているチャンネルを用いて入出力制御が行なえる、いわゆる浮動チャンネル方式などの特徴を持っている。高速入出力セクタ 1 個は 2 本の高速入出力チャンネルを持ち、各入出力チャンネルは最大 250 キロ字/秒までのデータ転送が可能であるが、これをインターロックして 1 本のチャンネルとすることにより最高 500 キロ字/秒のデータ転送が可能になる。さらに高速転送モードを用いると最大 1 メガ、あるいは 2 メガ字/秒のデータ転送ができる。

入出力制御上の他の特徴は、入出力バンク切換装置である（入出力バンクは、入出力チャンネルの入出力装置接続口をさす）。入出力バンク切換装置は図 10 に示すように入出力チャンネルと入出力装置の間に存在して次の機能を果たす。

- ・複数個の中央処理装置による入出力装置の共有。
- ・入出力装置へのパスの多重化。
- ・保守装置による入出力装置の保守。

これによってマルチプロセッサ・システム構成における融通性の増大、入出力装置と入出力チャンネルの利用率の向上、入出力装置の保守性の向上などを実現している。

4. 結 言

大型～中型以下のコンピュータでは、入出力制御方式に関して、ほぼ一つのパターンができてきているといえるであろうが、超大型機分野においては、まだ種々のアプローチが試みられている段階と思われる。こ

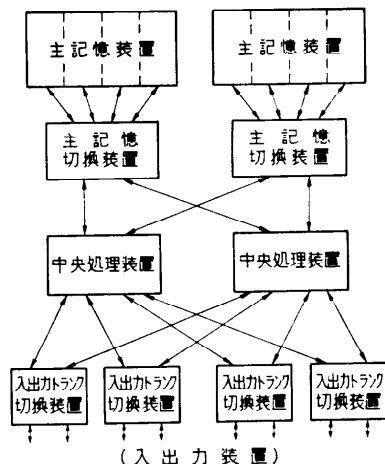


図 10 NEAC シリーズ 2200 モデル 700 のシステム構成

れは一つには入出力制御の最良の方式が確立されていないこともあるが、超大型機はコストが高いため、その性能をいかにするためには入出力制御に少し余分のコストをかけることも許されるので、思い切った方式も考えるからであろうと考えられる。今後も入出力装置の高速化はあまり望めず、ファイル装置も機械的動作を伴わない装置が実用化されるまでは飛躍の高速化が無理だとすれば、演算装置との速度ギャップはますます拡大する傾向にあるのであろうから、今後とも入出力制御方式はコンピュータ・アーキテクチャ設計上の重要なポイントであることに変わりはないであろう。

参考文献

- 1) 通商産業省工業技術院,「超高性能電子計算機」, 昭和 45 年 9 月。
- 2) 坪田安弘:「CDC 6600/7600 のハードウェア」事務管理, 1969 年 11 月号, pp. 106~108。
- 3) G. H. Barnes, R. M. Brown, M. Kato, D. J. Kuck, D. L. Slotnick and R. A. Stokes: The ILLIAC IV Computer, IEEE Transactions on Computers, Vol. C-17, No. 8, August 1968, pp. 746~757。

(昭和 46 年 5 月 8 日受付)