

アメリカにおける大型計算機*

相 磯 秀 夫**

1. ま え が き

電子技術の進歩と相まって、計算機の需要の普及が大型計算機の開発に拍車をかけている。これに関して、最も実績があり、進歩している国はやはりアメリカであろう。諸外国の大型計算機を概観すると、残念ながら欧州やソ連のものはあまり注目すべきものが見あたらないのが実状である。ここではアメリカにおける代表的な大型計算機をあげ、その特徴を特にハードウェア・システムの観点から簡単に述べ、動向を把握することにしたい。ただし、特殊目的計算機の範囲に属するものは除くことにする。

2. IBM System/360 大型機

IBM System/360 シリーズのうち大型機に属するものはモデル 85^{1),2)}, 91³⁾, 195⁴⁾ であろう。ともに科学計算を目標にしたものであるが、最初に発表されたものはモデル 91 である。

モデル 91 は IBM 7090 の 100 倍以上の性能向上を目標にしている。このために、既存のモデルに適用した技術とシステム構成の改善に力を注いでいる。改

善した点として特に注目されるのは、(i)マシン・サイクル 60 ns を基準にして、命令読出し、解読、アドレス計算、および実行処理を並列に行ない、可能な限り処理の流れをよどみなく制御する、いわゆるパイプライン制御方式を採用している。(ii)このために、**図 1** に示すように独立した処理装置に各種のバッファを設け、先回り処理を行なっている。(iii)演算処理、特に既存のモデルで欠点といわれた浮動小数点演算の機能を充実させ、高速演算方式を徹底的に採用している。(iv)4, 8, または 16-way にインターリーブされた 750 ns の主記憶と 4, または 8-way にインターリーブされた 8 μs の拡張磁心記憶を階層にし、両者間的高速転送を可能にしている。(v)記憶制御装置は記憶装置、処理装置、および入出力装置の同時動作を保証し、相互のバランスをとるために高度な制御機能を設けている。(vi)演算ならびに記憶に関し誤り検出機能を備えていることなどである。これらの特徴からも推察できるように、モデル 91 は科学計算プログラムをパイプライン制御で並列処理すべく、処理装置の独立化をはかっており、かなり複雑、かつぜいたくな構成になっている。

モデル 91 の後に開発されたモデル 85 は前者の機能を整理・簡けつにし、モデル 65 の 3~5 倍の性能改善を目指している。最も大きな特徴は処理装置と主記憶との間に CACHE と呼ばれるサイクル時間 80

* Large Scale Computers in the United States of America, by Hideo Aiso (Department of Electrical Engineering, Keio University)

** 慶応義塾大学工学部電気工学科

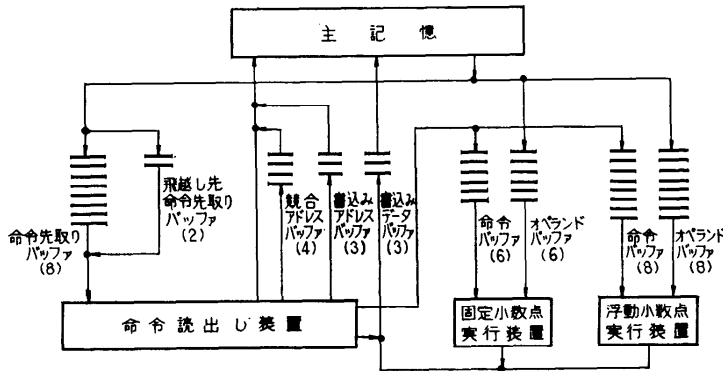


図 1 IBM System/360 モデル 91 のバッファ (1 バッファ=64 ビット)

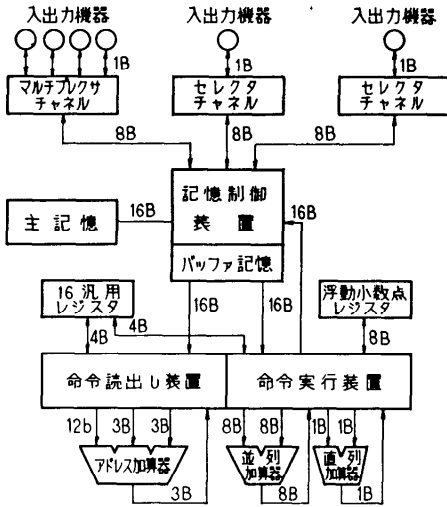


図2 IBM System/360 モデル 85 の構成

ns, 容量 16 KB または 32 KB の半導体集積回路によるバッファ記憶を採用したことである。これによって主記憶のサイクル時間を 0.96 または 1.04 μ s におさえ、4 MB まで大容量化している。このバッファ記憶の採用は主記憶装置の半導体化の走りとして大きな意義をもっている。

モデル 85 のシステム構成を図2に示すが、データの転送幅をできるだけ大きくとっていることも特徴の一つである。処理装置はマシン・サイクル 80 ns に同期し、命令読出しと実行装置はそれぞれバッファを備え、並列・同時動作が行なわれている。演算装置では特に高速の乗算回路がオプションで付加できるようになっている。主記憶は原則として 16B 単位のデータ幅をもち 4-way にインターリーブされている。主記憶に関して注目すべきことは誤り検出訂正コードを採用していることである。このコードは8バイト中の1ビットの誤りをすべて訂正し、2ビットの誤りを検出する機能を有している。チャンネルは 1.3 MB/s のセレクタ・チャンネルと 180 KB/s のマルチプレクサ・チャンネルが装備されているが、従来のものとあまり変わりがないように見える。モデル 85 では、多くの命令は誤りが発見されると最初から再試行が行なわれる機能を有しており、さらに診断・保守機能も充実している。

一方、モデル 195 は前述の2者の特徴を盛り込み、さらに改善を加えた大型計算機で、性能はモデル 85 の約3倍といわれている。マシン・サイクルは 54 ns で

あるが、バッファ記憶は 162 ns, 32 KB のモノリシック集積回路のものを備えている。主記憶には 756 ns, 4 MB の磁心記憶を用いている。演算制御装置はモデル 91 のものを改善し、さらに 10 進並列演算装置を付加している。

これら System/360 の大型機は特定な科学計算のために開発されたもので、ひろく使われていないように思われるが、これらの技術はむしろ次に述べる System/370 の大型計算機にいかされているとみるべきであろう。

3. IBM System/370 Model 165

去年夏に発表された System/370 ファミリのうち最大規模の計算機である^{5)・6)}。System/370 は System/360 と同一アーキテクチャを保ち、価格性能比をよくすることが第一の目標で、System/360 の短所の改善に力を注いでいるのが目立つ。Model 165 は System/360 Model 65 および 75 ユーザ向けに開発されたもので、内部性能は Model 65 の2~5倍を見込んでいる。システムの設計方針としては System/360 Model 85 の影響を強く受けているように思われ、種々の点で類似している。

システム構成は図2とはほぼ同一であるが、演算機構や入出力チャンネルをさらに強化し、高速大容量のファイル機器を新しく準備している点が異なる。

中央処理装置 (CPU) は 80 ns のマシン・サイクルで制御され、8 B のデータ幅をもっている。命令読出し装置は2組の 16 B 命令バッファをもち、命令の先取り、解読、アドレス計算、演算数の先取り、ならびに飛越しの予測と飛越先からの命令先取りなどを行なっている。命令実行装置はマイクロ・プログラム制御で、各サイクルごとに新しい命令を処理する能力がある。特に、多重バイト処理、固定および浮動小数演算処理の機能を強化している。乗算速度が2~3倍になる高速化機構もオプションで用意されている。また、高度の先回り制御を採用した場合に起こりがちな原因が不明になる割込み (imprecise interrupt) の発生を極力避けている。

CPU の制御記憶として 80 ns の静電容量型固定記憶と書込み可能な制御記憶があり、前者には、命令実行に必要なマイクロ・コードが、後者にはエミュレータ用マイクロ・コードと診断ルーチンが格納されている。

記憶装置は 80 ns, 8 KB または 16 KB のモノリシ

ック半導体回路によるバッファ記憶と $2 \mu\text{s}$, 512 KB~3,072 KB の磁心マトリクスによる主記憶から成っている。主記憶は論理記憶 (logical memory) と呼ばれる独立に動作できる 128 KB または 256 KB 単位のモジュールから構成され、4-way にインターリーブされている。記憶モジュールが故障すると正常なモジュールを再構成して実行を続けることができる。また、主記憶は 64 ビットのデータ情報に対して 8 ビットの冗長ビットを付加した誤り訂正コードを採用している。これによって、1 ビットの誤りはすべて訂正でき、2 ビットの誤りもすべて検出できる。多重ビット誤りもほとんど検出でき、システムに報告されるようになっている。

System/360 の問題点といわれている入出力チャンネルの転送効率の改善にはかなりの努力がはらわれている。チャンネルとしては、1.3 MB/s の転送能力のもつセレクト・チャンネルと 180 KB/s の転送量、192 のサブ・チャンネルをもつマルチプレクサ・チャンネルのほかに、ブロック・マルチプレクサ・チャンネル (BMC) と呼ばれる機構が新しく追加されている。BMC はセレクト・チャンネルの一種であるが、入出力コマンドをチェイニングしたチャンネル・プログラムの取扱いが異なっている。セレクト・チャンネルの場合は、チャンネル・プログラムの実行中はチャンネルが "busy" であるが、BMC ではチャンネル・プログラムの実行でも、特定なデータ転送が行なわれていないときはチャンネルは切り離され、他の入出力動作を行なうことができる。チャンネルが切り離されるときは、入出力制御装置が再起動に必要な情報を保持している。BMC は 64 のサブ・チャンネルをブロック・マルチプレックスすることが可能で、最大 1.5 MB/s のデータ転送量をもっている。また、3.0 MB/s のデータ転送を可能にする 2B インターフェースの高速転送機構もオプションで用意されている。

ファイル記憶として、容量 11.2 MB, 転送速度 1.5 MB/s, 平均アクセス時間 5 ms の固定ヘッド・ディスクや容量 800 MB, 転送速度 806 KB/s, シーク時間 30 ms, 回転時間 16.7 ms の集団ディスクが開発されたこともユーザにとっては魅力がある。いずれもディスクの回転位置を検出し、チャンネルに知らせる機構と 8 台の同時操作を可能にする多重要処理機構が設けられており、BMC の機能と組み合わせると、ファイル記憶系の実効データ転送効率を改善している。これによって、System/370 のオンライン利用における多くの

問題点を解決しようとしている。

System/370 を通して見うけられる一つの大きな特徴はシステムの信頼性、稼働率、サービス性、すなわち RAS を徹底的に強化したことである。ハードウェアならびにソフトウェアによる CPU や入出力命令の再実行、主記憶の誤り訂正、誤り回復および故障診断機能を設け、これらに関連してシステム・コンソールを完備していることが注目される。

ソフトウェア的には、従来の System/360 OS/DOS を整理・体系化し、特にオンライン多重処理に配慮がはらわれているように思われる。このため新規開発機器に関連するプログラムを除いて、System/360 プログラムはそのまま通用する。また、エミュレーションが常識化され、Model 165 では IBM 7070 シリーズと 7090 シリーズのエミュレータが完備されており、OS の下で他のジョブとともに実行されるように改善されている。

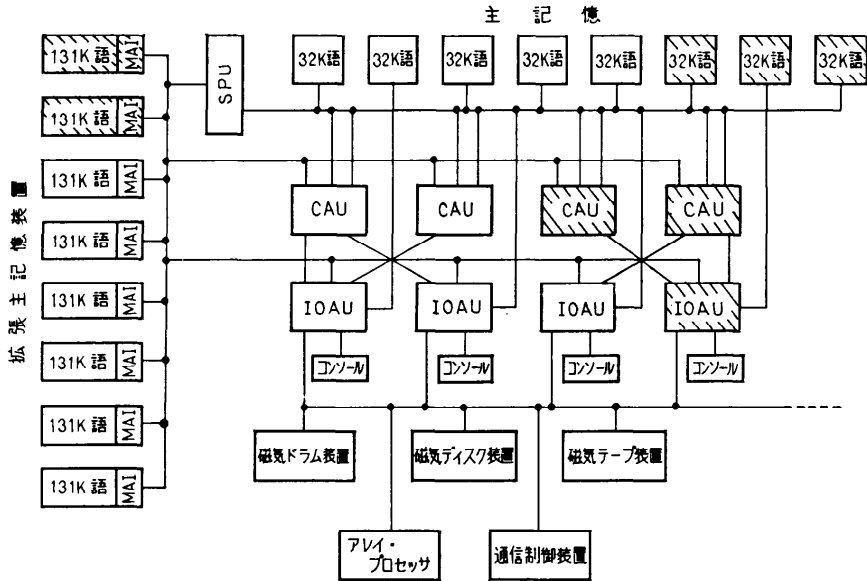
このように、System/370 Model 165 は前節で述べた System/360 の大型計算機の思想を受けついでものと見ることができるが、より実用的な観点から種々の改善がなされている。しかしながら、System/360 の本質的な欠点といわれる、命令語におけるアドレス部の不足や多重プロセッシング構成がうまく実現できないなどという問題は解決されていない。これらの改善は System/360 の基本的アーキテクチャの変更を意味しており、System/370 の開発方針から除外されているものと考えられる。

4. UNIVAC 1110

UNIVAC 1110⁷⁾ は 1950 年に表発された UNIVAC 1100 シリーズの最大規模の計算機であり、今秋稼働が予定されている。すでに実用に供されている UNIVAC 1108⁸⁾ のハードウェア/ソフトウェアと多くの共通性があるが、新しい機能や装置がいくつか追加されている。

UNIVAC 1110 の特徴はモジュール構成による多重プロセッシング方式にある。図 3 はそのシステム構成を示したものであるが、処理装置、記憶装置はともに階層化されている。

制御・演算装置 (CAU) は 4 命令が同時処理され、1 命令当り平均 350 ns の処理能力をもっている。この装置はサイクル時間 75 ns, 容量 128 語 (1 語 36 ビット)、2-way インターリーブの汎用レジスタ・スタックを備えつけており、多目的に利用して内部処理の



CAU: 制御・演算装置, IOAU: 入出力アクセス装置, SPU: システム分割制御装置,
MAI: メモリ・アクセス・インターフェース, 斜線は最小構成.

図 3 UNIVAC 1110 システム構成

高速化をはかっている。また、バイト処理命令を 24 種類追加し、語形式計算機の欠点を補っている。

記憶装置は読出し 320 ns, 書込み 520 ns, 容量 96 K~262 K 語の非破壊読出しの磁性線による主記憶とサイクル時間 1.5 μs, 容量 262 K~1,048 K 語の磁心マトリクスによる拡張主記憶とから成る。主記憶は 8 K 語単位に同時アクセスができ, 32 K 語単位で 2-way にインターリーブされている。また, 多くの装置から独立に出されるアクセスの要求を優先順位に従って 8 K 語のモジュールに割り振る制御装置も内蔵している。一方, 拡張主記憶は 1, 2, 4-way のインターリーブ, ならびに 131 K 語単位の同時アクセスが可能になっている。

UNIVAC 1110 の入出力制御方式も大きな特徴の一つであり, この方式には ISI (Internal Specified Index) モードと ESI (External Specified Index) モードの 2 種がある。前者は各チャンネルごとに 1 個の入出力制御語を介して入出力処理が行なわれる方式であり, 後者は個々の端末装置に指定される制御語を介して入出力処理が行なわれる方式である。特に, 後者は複数回線の多重処理を 1 チャンネルごとに能率的に処理する方法として高く評価されており, 遠隔ユーザを支える強力な手段となっている。

入出力アクセス装置 (IOAU) は他の装置とのイン

ターフェースであるとともに最大の汎用チャンネルを備えており, 最大 4 M 語/s の転送能力がある。

入出力制御装置のサブ・システムとして, C/SP (Communication and Symbiont Processor) と呼ばれる 32 K~131 KB, 630 ns の記憶装置と 52 命令の処理装置を含めた小型計算機がある。これは半二重 128 回線の通信回線と紙カード機器, ライン・プリンタなどの制御を一括して行なうモジュールとして使われる。

ファイル機器としては, 容量 2 M 語, 平均アクセス時間 17 ms, 転送速度 1.44 M 字/s の高速大容量磁気ドラムや同じく 1,200 M 字/s, 35 ms, 624 K 字/s の磁気ディスクなどが開発されている。

このほか, 大規模な行列計算を高速に処理するための特殊計算装置, アレイ・プロセッサが用意されている。この装置は容量 32 語, サイクル時間 125 ns のバッファ記憶を 2 組もち, 浮動小数点演算を 250 ns で CAU に独立して処理する能力があり, 行列式の演算に適したマクロな命令を備えている。また, 単に行列計算を行なうだけでなく, 高速フーリエ変換, 補間の機能もハードウェアでもっている。

UNIVAC 1110 の興味深い装置にシステム・コンソールがある。このコンソールには遠隔地にある診断保守用計算機に接続するインターフェースがあり, 充

実した遠隔保守指令体制を確立している。

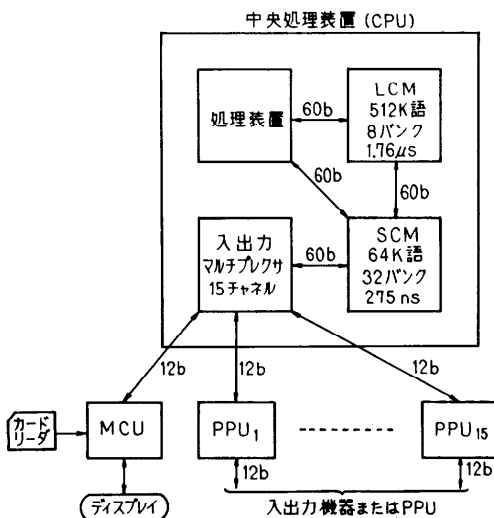
ソフトウェアとしては、UNIVAC 1100 シリーズの EXEC-8 で作ったプログラムはすべて UNIVAC 1100 OS, EXEC-8 E (Extended) にかかる。EXEC-8E は多重プロセッシング処理がすべてのデータ処理方式に能率的に行なえるよう、また従来のプログラムの互換性をそこなわないよう配慮して開発されたものである。

5. CDC 7600

CDC 7600^{9),10)} は 1963 年に開発された CDC 6600¹¹⁾ をさらに発展させたもので科学計算向きの大型高速計算機である。CDC 6600/6400 システムと CPU に関しては互換性があるが、システム・プログラムと入出力処理関係の中身は新しい機能の追加によって互換性がない。CDC 6600 は機能的に独立した 10 組の高速演算装置と 10 台の周辺処理装置 (PPU) とによる同時並列処理で有名であるが、CDC 7600 はさらにその 4 倍の性能改善を目指している。

この計算機のシステム構成を図 4 に示すが、CDC 6600 との大きな相違は CPU が 15 組のチャンネルを備えたことである。これによって CPU と PPU は直接交信することができ、CPU もシステムを制御する役割が与えられている。

CPU は 1 語 60 ビット単位で、27.5 ns のクロック・



LCM: 大容量磁心記憶装置, SCM: 小容量磁心記憶装置, MCU: 保分制御装置, PPU: 周辺処理装置.

図 4 CDC 7600 システム構成

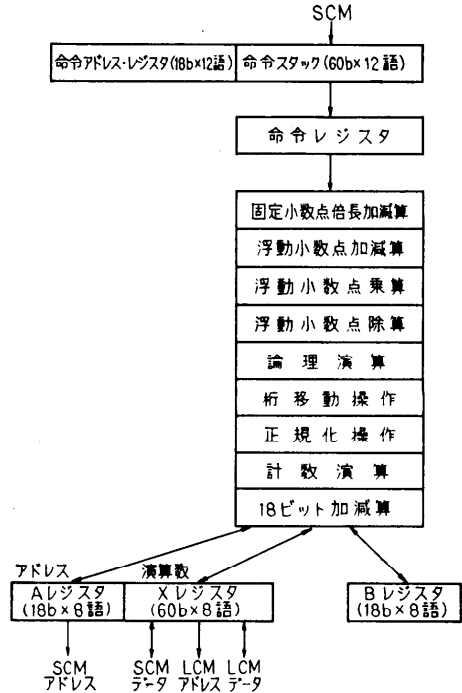


図 5 CDC 7600 処理装置

パルスに同期している。処理装置の内部は図 5 に示すように、12 語の命令先取り装置、9 台の独立演算装置、8 語の演算数レジスタ (X) とアドレス・レジスタ (A)、8 語のインデックス・レジスタ (B) が設けられている。このため小さなループ計算はレジスタ形式の高速演算だけで済むようになっている。演算装置の割当てはすべてハードウェアで管理されている。

記憶装置は小容量磁心記憶 (SCM) と大容量磁心記憶 (LCM) とから構成されている。SCM は 2K 語単位に独立したバンク 32 組から成り、サイクル時間は 275 ns である。32 バンクのうち 10 バンクが同時動作可能である。LCM は 64K 語 8 バンクから成り合計 512K 語の容量をもつ。サイクル時間は 1.76 μs であるが読み書きはバンクごと 8 語単位で行なわれる。したがって、1 語当り 27.5 ns の最大転送能力をもつ。SCM の頭 4K 語は入出力バッファならびに制御記憶として用いられ、LCM の最後 32K 語はモニタ・プログラム・オーバレイ領域、ライブラリ、FORTRAN コンパイラのために確保されている。また LCM は CPU の作業記憶としても使え、目的プログラムならびにデータ・ファイルは最初この中にアセンブルされ、実行時に SCM に移される。

入出力マルチ・プレクサは12ビット幅のチャンネル・インターフェースを15組備えており、15台のPPUを接続することができる。各チャンネルにはSCM内に128語ずつのバッファ記憶が割り当てられている。SCMとの間の転送能力は1語当り2クロック時間である。PPUは12ビットの小型計算機で、27.5nsのクロック・パルスに同期する2進固定演算機構、12b×2K語×2バンク、275nsの記憶装置を備え、8チャンネルをもっている。チャンネルの最大転送能力は12ビット語当り9クロック時間である。

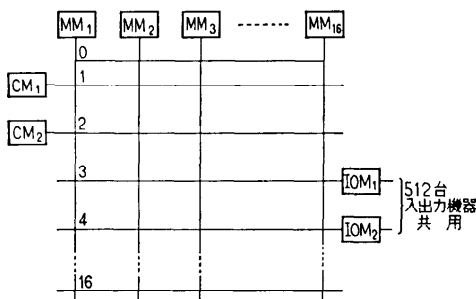
入出力マルチ・プレクサに接続されている保守制御装置(MCU)はCPUの起動、SCMへのプログラム・ロード、ならびに保守のために用いられる特別なコンソール装置である。]

ソフトウェアに関しては現在までに詳細が発表されていない。おそらくCDC 6600プログラムがそのまま通用するようなOSが開発されるものと思われるが、それにしても、並列動作する種々の装置を能率よく効果的に活用するソフトウェアを開発することは容易なことではないと考えられる。

6. Burroughs 8500

Burroughs 8500 (B-8500)¹²⁾は元々米軍の要請に応じて開発された計算機で、現在稼働中の計算機システムとしては最大規模のものである。このシステムには拡張性、信頼性、実時間・遠隔処理が特にきびしく要求され、このためにハードウェア/ソフトウェアのモジュール化を徹底させ、高信頼性システムならびに能率のよい多重処理システムの実現、入出力機器の同時動作、記憶システムの有効利用などの設計に力を注いでいる。

図6はB-8500のシステム構成を示したものである



CM_i: 処理装置モジュール, MM_i: 記憶モジュール,
IOM_i: 入出力制御モジュール。

図6 B-8500 システム構成

が、記憶装置を中心としたシステムで、独立した16バンクの記憶モジュール(MM)から16本のバスが出ており、これに対して合計16台の処理装置モジュール(CM)または入出力制御モジュール(IOM)を接続することができる。CMまたはIOMからMMへの接続はスイッチを介して行なわれ、お互いに主従関係はない。#0のバスはMM間のデータ転送のために設けられている。このような接続方式を採用すれば、システム・プログラムがジョブのハードウェア資源への割当てを動的に行なえるばかりか、並列処理も可能となる。また、モジュール単位の拡張や故障に対する信頼性を高めることができる。

MMは磁性薄膜を使用しているといわれ、モジュールは16K語の容量と0.5μsのサイクル時間をもっている。また一時に取り扱うデータの幅は4語(1語52ビット)である。各モジュールは読み/書きのほかに探索/リスト処理など7種のコマンドを自動的に処理する論理的な機能も備えており、CMやIOMの負荷を軽減している。

図7はCMの構成を示したものである。CMは10MHzのクロック・パルスに同期しているが、図に示すように各種のローカル記憶を備えている。アクセス時間35nsのLM-1は演算数レジスタで、B-5000シリーズで初めて採用された演算スタックが含まれている。同じ特性のLM-2は実行中ならびに飛越し先の命令をそれぞれ最大16語先取りするためのバッファとLM-3の連想記憶とともに用いられるインデックス・レジスタ、およびMMへの待合わせレジスタが含まれている。

演算スタックはLM-1に16語の容量をもつが、内容があふれる場合は自動的にその一部がMMに移される。演算はポーランド記法による処理ができ、2進加算は0.5μs、乗算は1μsで終了する。この他に強力な論理演算、ビット操作、制御の多重ネストなどの処理を行なう機構が準備されている。

IOMは1台当り512のサブ・チャンネルをもつことができるが、その中の16チャンネルにはそれぞれ8語、残り496チャンネルにはそれぞれ4語のデータ・バッファが確保されている。これらはIOMがもつサイクル時間0.5μsの磁性薄膜記憶装置内にあるが、その中に104ビット512語の入出力制御語(入出力記述子)を蓄える領域がある。入出力動作は28種類ある入出力制御語によって指定されるが、データ転送の標準サービス時間は1チャンネル当り1.7μsである。

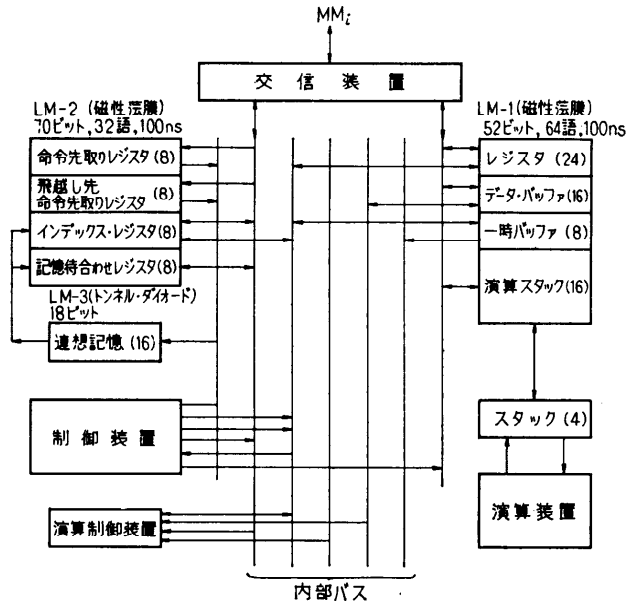


図7 B-8500のCMの構成

1トラック当たり1つずつヘッドが設けられている磁気ディスク (A Head-per-Track Disk) を B-8500 用に開発しているが、アクセス時間が短い効率のよいファイル記憶として注目を集めている。このディスクは容量 52 ビット 48 M 語、平均アクセス時間は 20 ms、8トラック並列アクセス可能、平均転送速度は 52 ビット 200 K 語/秒である。IOM は強力な機能をもつディスク制御装置を備え、複数台のディスクを効率よく制御している。

B-8500 のソフトウェアもモジュール化されており、機能の拡張、隔通性に富んでいる特徴がある。ソフトウェアのモジュール化はハードウェア・システムの拡張変更に対応できるばかりか、生産性を上げることが期待でき、しかもプログラムの実行に際して、モジュール単位に記憶領域を使うので、記憶装置の利用率がよくなる利点がある。

このように B-8500 は 1965 年に開発されたため、ハードウェア・コンポーネントにおいて若干古くさいところがあるが、方式的には大型計算機が具備すべき機能から見て、以然として興味ある話題を提供してくれる。

7. その他の大型計算機

アメリカにおいては、上述の大型機の他に、仮想記憶と 2 次元アドレスを実現した GE-645¹³⁾、最近発表

された仮想記憶計算機 RCA 7¹⁴⁾ などの汎用計算機や ILLIAC-IV¹⁵⁾、CDC STAR¹⁶⁾ などの特殊目的大型計算機がある。これらについてはここではふれない。

8. おわりに

以上、最近のアメリカにおける代表的な大型計算機システムについて概観したが、特殊目的の計算機を除いて多くのものは既存のシステムの拡張にすぎない。商用計算機については、大型計算機に要求される性格、既存のソフトウェアとの互換性を考慮すれば当然のことといえるが、それにしても最も新しい計算機技術の粋をそこに見ることができる。

最後に、これらの計算機から推察して、大型計算機の傾向といったようなものを簡単にあげれば、

- (1) LSI 化に伴い、機能のハードウェア化が目立つ。
- (2) IC による記憶装置の実用化が予想以上速く、大容量化しつつある。
- (3) 高度な先回り (パイプライン) 制御の採用が常識化し、並列・連想処理が採用されつつある。
- (4) 制御の分散化が目立ち、機能のモジュール化と論理機能の強化が見られる。
- (5) 多重処理方式、オンライン処理に対する配慮が徹底しつつある。
- (6) 記憶装置中心の仮想記憶計算機 (Virtual

Computer)がこれからの課題になりつつある。

- (7) ファイル機器の高速・大容量化が積極的に行なわれている。
- (8) マイクロ・プログラム制御方式の採用が普及し、エミュレーション機能が常識になっている。
- (9) RAS に対する重要性が認識され、診断機構やコンソール機構が充実しつつある。
- (10) 従来の OS が整理され、体系化されつつあるが、ソフトウェアの大型化が大型計算機開発の限界になっている。

ことなどであろう。

参考文献

- 1) C. J. Conti, et. al.: Papers on System/360 Model 85, IBM Systems Journal, Vol. 7, No. 1, pp. 2-29, Jan., 1968.
- 2) IBM System/360 Model 85 Functional characteristics, IBM Systems Reference Library
- 3) M. J. Flynn, et. al.: Papers on System/360 Model 91, IBM Journal of Research and Development, Vol. 11, No. 1, pp. 2-92, Jan., 1967.
- 4) J. O. Murphey and R. M. Wade: The IBM 360/195, Datamation, pp. 72-79, April, 1970.
- 5) A Guide to the IBM System/370 Model 165, IBM, June, 1970.
- 6) IBM System/370 Model 165 Functional Characteristics, IBM, June, 1970.
- 7) UNIVAC 1110 概説書・1 ハードウェア編, 日本ユニバック
- 8) UNIVAC 1108 Computer System, General Description, 日本ユニバック
- 9) Control Data 7600 Computer System, Preliminary Reference Manual, CDC.
- 10) P. Bonseigneur: Description of the 7600 Computer System, Computer Group News, 2, 9, pp. 11-15, May, 1969.
- 11) J. E. Thornton, et. al.: Parallel Operation in the Control Data 6600, Proc. FJCC, 26, 2, pp. 33-40, 1964.
- 12) B 8500 System Description, Burroughs Corp., 1965.
- 13) E. L. Glaser, et. al.: System Design of a Computer for Time-Sharing Applications, Proc. FJCC, 28, pp. 197-202, 1965.
- 14) RCA 2, 3, 6 and 7 Family Advance Report, Auerbach Standard EDP Report.
- 15) D. L. Slotnick, et. al.: The ILLIAC-IV Computer, IEEE Trans. on Computers, 17, 18, pp. 746-757, Aug., 1968.
- 16) C. J. Purcell: The Control Data STAR System—Principles of Operation, Dec., 1969.

(昭和46年6月17日受付)