

## 動的タイム・ボローイングを可能にするクロッキング方式の適用

広畑 壮一郎<sup>†</sup> 吉田 宗史<sup>††</sup> 倉田 成己<sup>††</sup>  
五島 正裕<sup>††</sup> 坂井 修一<sup>††</sup>

### 1. はじめに

近年では、半導体プロセスの微細化に伴って、素子遅延のばらつきが増大している。そのため、遅延の平均値とワースト値の差が広がっていき、従来のワースト値に基づく設計手法は悲観的になりすぎている。この対策として、ワースト・ケースよりも実際の遅延に基づいた動作を実現する手法が提案されている。このうち、動作時にタイミング・フォールトを検出し、回復する手法がある。タイミング・フォールト（以下 TF）とは、遅延の動的な変化によって設計者の意図とは異なる動作が引き起こされる過渡故障である。Razor<sup>1)</sup> は、TF を動的に検出することができる。Razor を用いた回路に、DVFS(Dynamic Voltage and Frequency Scaling) を組み合わせると、実際の遅延に応じた動作を実現することができる。

### 2. 提案手法

本稿で提案するのは、端的に言えば、TF 検出と二相ラッチ<sup>4)</sup> を組み合わせたクロッキング方式である(図 1)。これにより、ステージ間で実効遅延を融通する動的タイム・ボローイングが可能となり、単相フリップフロップの最大で 2 倍のクロック周波数が達成できる<sup>3)</sup>(図 2)。

#### 2.1 変換ツール

提案手法を一般的な回路に適用するためには、すべてのパスの遅延を考慮して、遅延素子を挿入するパスを探さなければならず、非常に手間がかかる。このため、提案手法をネットリストに自動的に適用するための変換ツールを設計している。これを用いることで、提案手法の適用を容易にすることができる。

#### 2.2 変換ツールの設計

EDIF 形式のネットリストを読み込み、回路に対して提案手法を適用して出力する。提案手法の適用には、二相ラッチ化と遅延の挿入の 2 段階の手順が必要で

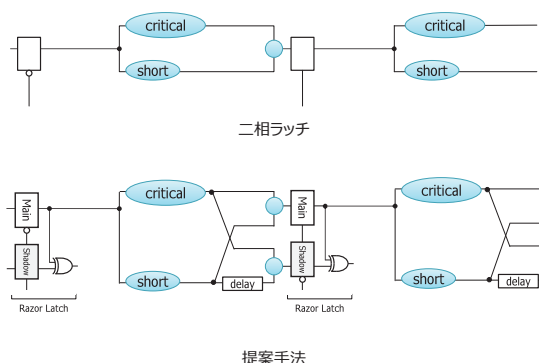


図 1 提案手法の回路

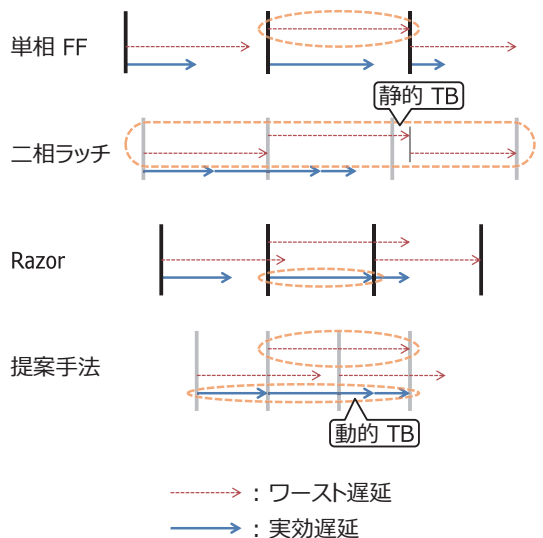


図 2 従来のクロッキング方式との比較

ある。

#### 2.2.1 二相ラッチ化

フリップフロップ間のすべてのパスにラッチを挟むことで、回路を二相ラッチ化する。最短経路を求めるアルゴリズムである Bellman-Ford 法<sup>5)</sup> を用いて、遅延のパラメータの正負を逆転することで、最大経路(クリティカル・パス)を求める。このクリティカル・パスの遅延の半分程度の場所にラッチを挟む。ラッチの

<sup>†</sup> 東京大学工学部 電子情報工学科  
Department of Information and Communication Engineering, The University of Tokyo  
<sup>††</sup> 東京大学大学院 情報理工学系研究科  
Graduate School of Information Science and Technology, The University of Tokyo

数が多くなると回路面積が増大するので、ラッチの数が最小になるようにする。二相ラッチ化した回路の中で、ばらつきによって TF を起こす可能性のある、クリティカル・パスの半分以上の遅延のパスに Razor を入れて、エラー検出を行う。

### 2.2.2 遅延の挿入

クリティカル・パスの半分以下の遅延を持つパスをショート・パスと呼ぶ。ショート・パスの活性化が原因で Razor の誤検出が起こることがある。これをショート・パス問題と呼ぶ。Bellman-Ford 法を用いて、先ほどとは逆にショート・パスを求める。ショート・パス問題を避けるために、Razor の shadow 側に入るショート・パスの遅延がクリティカル・パスの半分以上になるように最小限の遅延素子を挿入する。

### 2.3 CLA (Carry Look-ahead Adder) への適用

提案手法の適用例として、8bit の CLA に提案手法を適用したものが図 3 である。一般的に CLA はキャリールックahead・ジェネレータのトゥリー接続によって実現される。ロジックを二分する点は最上位のキャリールックahead・ジェネレータから折り返す部分である。そこで 2bit のキャリールックahead・ジェネレータを、各桁の  $g$ (generate),  $p$ (propagate) をまとめる LUT と、 $g, p$  から  $c$ (carry) を出力する LUT の 2 つに分割してトゥリー接続を開いた構造にし、折り返す部分にラッチを挿入する。ラッチの挿入位置がずれているのは、ロジックのクリティカル・パスを通る信号のサンプリングを 1 つのラッチに限定することで、余分な Razor Latch 化を抑えるためである。そして、ショート・パス問題に対処するため、Razor Latch に至るショート・パスに遅延を挿入する。図 3 では、ショート・パスの遅延をクリティカル・パスの遅延に合わせて挿入している。前半の部分においては、Razor Latch に至るパスが全てクリティカル・パスと同じ遅延を持つため、遅延を挿入する必要はない。このようにして、遅延の挿入による回路面積の増加は抑えられる。これを Xilinx 社の Virtex6 xc6vlx760-2ff1760 に実装して評価する予定である。

### 3. ま と め

製造ばらつき対策手法は数多く提案されているが、提案手法では遅延が大きくばらつく入力ばらつきを利用することで、より実効遅延に近い速度で動作し、高クロック化や低電圧化を達成できる。単相フリップフロップ方式に対して、最大で 2 倍の動作周波数が可能となる。さらに、変換ツールにより一般的な回路に対して容易に提案手法を適用することができる。

謝辞 本論文の研究は、一部 JST CREST「ディペンドダブル VLSI システムの基盤技術」「アーキテクチャと形式的検証による超ディペンドダブル VLSI」による。

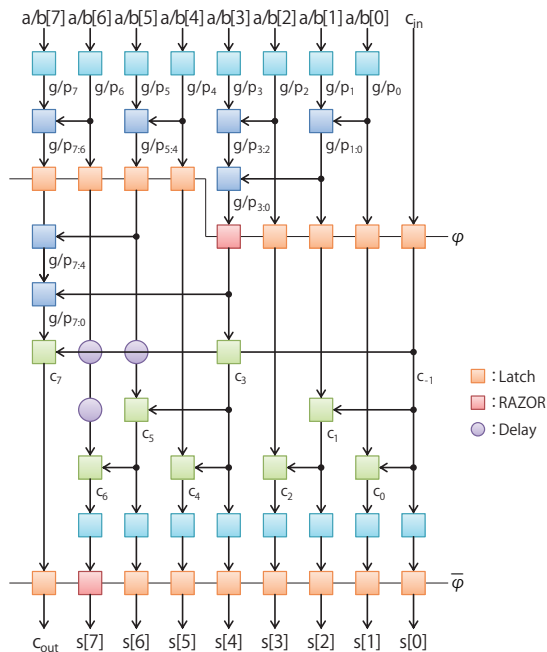


図 3 CLA への適用

### 参 考 文 献

- 1) D.Ernst, N.Kim, S.Das, S.Pant, T.Pham, R.Rao, C.Ziesler, D.Blaauw, T.Austin, and T.Mudge, "Razor: A low-power pipeline based on circuit-level timing speculation", Int'l Symp. on Microarchitecture (MICRO), pp.7-18, (2003).
- 2) 吉田 宗史, 有馬 慧, 倉田 成己, 塩谷 亮太, 五島 正裕, 坂井 修一: 動的タイムボローイングを可能にするクロッキング方式の予備実験, 電子情報通信学会技術報告 CPSY2011-7, pp.13-18, (2011).
- 3) 吉田 宗史, 広畑 壮一郎, 倉田 成己, 五島 正裕, 坂井 修一: 動的タイム・ボローイングを可能にするクロッキング方式, 先進的計算基盤システムシンポジウム SACISIS, (2012).
- 4) D. Harris, "Skew-tolerant circuit design", Morgan Kaufmann Publishers, pp.12-14, (2001).
- 5) Thomas H. Cormen, Charles E. Leiserson, Ronald L. Rivest, and Clifford Stein. Introduction to Algorithms, Second Edition. MIT Press and McGraw-Hill, 2001. ISBN 0-262-03293-7. Section 24.1: The Bellman-Ford algorithm, pp.588-592. Problem 24-1, pp.614-615.