

細粒度モード切替コントローラを用いた 可変パイプライン段数プロセッサのチップ試作と評価

中村 仁[†] 中林 智之^{††} 佐々木 敬泰^{††}
大野 和彦^{††} 近藤 利夫^{††}

1. はじめに

近年、モバイルプロセッサでは性能向上に伴う消費電力の増加が問題となっており、低消費電力と高性能の両立が要求されている。アーキテクチャレベルの低消費電力化手法の一つとして、動的にパイプライン段数を変更する手法が提案されている^{1),2)}。その中の一つとして、我々は可変パイプライン段数アーキテクチャ (VSP; Variable Stages Pipeline)³⁾ を提案している。これらの手法ではプロセッサの負荷に応じて、パイプライン段数を適切なタイミングで切替えるモード切替コントローラが重要となってくる。そこで、本研究では細粒度なモード切替コントローラを用いた VSP プロセッサの LSI 設計を行い、チップの試作を行った。本稿では、試作した VSP プロセッサの詳細と評価について述べる。

2. VSP

2.1 可変パイプライン段数アーキテクチャ

可変パイプライン段数プロセッサ (VSP) は動作周波数とパイプライン段数をプロセッサにかかる負荷に応じて動的に切替え、低消費電力と高性能の両立を実現する手法である。具体的には、多段パイプライン構成で周波数を高くした上で高速に動作させる HS (High Speed) モードと、少段パイプライン構成で周波数を低くした上で低速で動作させるが消費電力を低減する LE (Low Energy) モードを用意し、この2つのモードを負荷に応じて切替えることで低消費電力かつ高性能の実現を目指している。VSP のパイプライン構造の例を図1に示す。

2.2 モード切替コントローラ

VSP を効率的に使用するためには、実行中のプログ

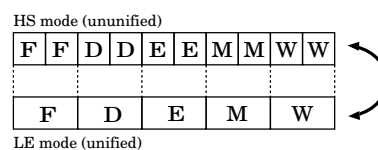


図1 可変段数パイプライン

ラムに対して最適なパイプライン段数を予測し、動的にパイプライン段数を変更する切替コントローラが必要となる。そこで、我々は細粒度 (数百命令単位) のパイプライン段数切替コントローラを提案している³⁾。一般に、プロセッサにかかる負荷と IPC (Instruction Per Cycle) には強い相関がある。そこで、提案している切替手法では、過去 32 サイクルに完了した命令の合計数を使用してパイプライン段数を変更している。具体的には IPC が高ければ、パイプラインが有効に使用されているため HS モードで動作し、逆に IPC が低ければ LE モードへと移行を行っている。しかし、現在の VSP では LE モードで分岐予測ミスが発生しないため、実際には分岐予測ミスが多発し IPC が低くなる場合であっても、LE モードから HS モードへの移行が発生してしまう。そこで、分岐予測ミスが多発すると分岐命令の出現数が多いという傾向を利用し、LE モードから HS モードへの移行には過去 32 サイクルに完了した命令の合計数と分岐命令の合計数を閾値と比較してパイプライン段数の変更を行う。コントローラのブロック図を図2に示す。

3. チップ試作

我々は現在までに、提案コントローラの最適な閾値の組合せをシミュレーション評価によって求めている。しかし時間の都合上、シミュレーション評価では多くのベンチマークを実行できない。また評価環境の制限から、大規模なプログラムを実行できないため、実チップを用いて大規模なプログラムを実行した場合、最適な閾値が異なる可能性がある。そこで、これまで

[†] 三重大学工学部情報工学科
^{††} 三重大学大学院工学研究科情報工学専攻

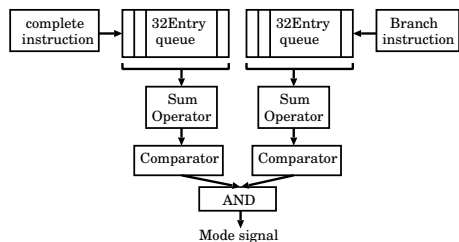


図 2 モード切替コントローラのブロック図

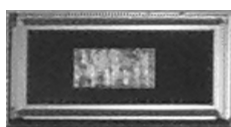


図 3 試作チップ

ハードウェアで実装していた閾値をプログラム中でソフトウェア的に変更できるように改造を行った。これにより、実チップ上においても閾値を変更することが可能となり、より柔軟な制御を行うことができる。

ROHM 0.18 μm CMOS プロセスを用い、提案している切替手法を使用したモード切替コントローラ搭載の VSP チップの試作を行った。今回試作したチップは、クロックをチップ内部で $\frac{1}{4}$ に分周することで、HS モード時の高周波数と LE モード時の低周波数に対応している。試作したチップを図 3 に示す。

4. 評価

今回試作したチップを用いて、実行時間と消費電力の評価を行った。HS モード時の動作周波数は 35MHz、LE モード時は 8.75MHz とした。Power Medusa MU300-EM にて試作チップの動作テストを行い、Agilent E3640A を用いて電力測定を行った。ベンチマークプログラムには、MiBench で配布されているものの中から、整数の 2 乗根を求める `int sqrt`、文字列をクイックソートする `quick sort` を用いた。ベンチマークで使用するデータは、評価環境の制限から数 10 万命令程度で終了するように調整した。

図 4, 5 に評価結果を示す。各図の左側の縦軸は HS モードの結果で正規化した実行時間、右側の縦軸は HS モードの結果で正規化した消費電力を表す。横軸はモード切替に用いる閾値の組み合わせを表し、それぞれ過去 32 サイクルの分岐命令数、HS モード時の完了命令数、LE モード時の完了命令数と比較する。横軸の HS, LE はコントローラを使わず HS モード、LE モード固定で動作させた場合である。横軸の両端に近づくにつれ各モードでの実行時間が増加する。

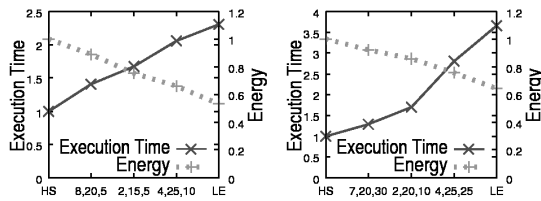


図 4 `int sqrt` の評価結果

図 5 `quick sort` の評価結果

図 4, 5 よりベンチマークの実行時間が増えるにつれ、消費電力が減少する傾向がある。このことを利用してプロセッサの外的要因に基づく最適化を OS で行うことが可能である。例えば、バッテリー残量を気にしなくても良い時には実行時間が短くなる閾値に設定し、高性能で動作させ、バッテリーの駆動時間を延ばしたい時には消費電力が低くなる閾値に設定する。コントローラには与えられた閾値に基づきプロセッサの負荷を動的に検出し、パイプライン段数を制御する。

コントローラ自体のハードウェア量と電力評価を行った結果、コントローラのハードウェア量はプロセッサ全体の 1% 程度、消費電力は最大で 1.2% 程度と、十分に小さい値であると考えられる。

5. おわりに

本研究では細粒度モード切替コントローラ搭載の VSP プロセッサを試作した。評価の結果、プログラムごとに動的に閾値を割当てることにより、より効率的な実行が行えるであろうことが分かった。また、試作チップが正常に動作することを確認した。

今後は最適な閾値の動的な決定手法の提案、より長いベンチマークによる評価が必要と考えられる。

謝辞 本研究のチップ試作は東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、日本ケイデンス株式会社、メンター株式会社、ローム株式会社および凸版印刷株式会社の協力で行われたものである。

参考文献

- 1) Koppanalil, J., et.al., "A Case for Dynamic Pipeline Scaling", Proc. of Int. Conf. on Compilers, Architecture, and Synthesis for Embedded Systems 2002, pp. 1-8, 2002.
- 2) 嶋田 創, 他, "パイプラインステージ統合: 将来のモバイルプロセッサのための消費エネルギー削減技術", SACSYS2003, pp. 283-290, 2003.
- 3) 中林 智之, 他, "イン・オーダ・パイプラインに適した可変パイプライン段数プロセッサ制御機構の実装と評価", 情処研報, ARC-196(15), 2011.