

多電源可変パイプラインルータ を用いた細粒度な電源制御

中村 武雄^{†1} 松谷 宏紀^{†1} 鯉 渕 道 紘^{†2}
宇佐美 公良^{†3} 天 野 英 晴^{†1}

メニーコアにおけるプロセッサ-キャッシュ間ネットワーク (Network-on-Chip, NoC) を低消費電力化するために細粒度多電源可変パイプラインルータ (Multi-Vdd Fine-Grained variable pipeline router: MVFG-VP router) を提案する。MVFG-VP ルータでは、トラフィック負荷に応じて個々のルータのパイプライン段数 (最大遅延) と供給電圧を、入力バッファ単位の細粒度で切り替える。Dynamic voltage and frequency scaling (DVFS) ルータとは異なり、すべてのルータは同じ動作周波数で動作するため、異なる周波数ドメイン間の同期を考慮する必要がない。ルータ単位で電圧を切り替える多電源可変パイプラインルータに比べて、ルータの利用していない部分で高い電圧を使う必要がなく、さらに低い電圧を用いることのできる範囲を増やすことができる。本論文では、MVFG-VP ルータを 65nm プロセスを用いて設計し、さらに CMP シミュレータ上で評価した。その結果、全て高い電圧を用いた場合に比べて、31.1%の電力を削減した。その際、性能のオーバーヘッドは 5.2%であった。

Fine-grained power control using a multi-voltage variable pipeline router

TAKEO NAKAMURA,^{†1} HIROKI MATSUTANI,^{†1}
MICHIMIRO KOIBUCHI,^{†2} KIMIYOSHI USAMI^{†3}
and HIDEHARU AMANO^{†1}

We propose a Multi-Vdd fine-grained variable pipeline (MVFG-VP) router in order to reduce the power consumption and improve the reliability of Network-on-Chip (NoC) designed for many-core processors. MVFG-VP router adjusts its pipeline depth (i.e., communication latency) and supply voltage level of input buffers whether the packet is coming or not. Unlike Dynamic voltage and frequency scaling (DVFS) routers, MVFG-VP routers share the same operating frequency, and thus there is no need to synchronize neighboring routers working

at different frequencies. Compared with MV-VP (Multi-Vdd Variable Pipeline) router which applies multiple voltage control to the whole router, MVFG-VP router increases the area and possibility to apply low voltage, as the voltage control is applied to each input buffer. An MVFG-VP router is designed by using a 65nm process, and evaluated using a full-system CMP simulator. Evaluation results show that 31.1% power is reduced with 5.2% performance overhead.

1. はじめに

マルチコアプロセッサのコア数は年々増大し、バスやクロスバススイッチを用いた接続は限界に達しつつある¹⁾。これに代わりチップ上のネットワークによりパケット転送を行う方式である Network-on-Chip (NoC)²⁾ が注目されている。NoC の問題点の一つとして、ルータを動作させるのに必要な消費電力が大きいことが挙げられる。MIT RAW CMP³⁾ では NoC の消費電力はチップ全体の 36 % であり、Intel TeraFLOPS プロセッサ⁴⁾ では 28 % である。一般に NoC の電力の多くはルータによって消費されることから、チップ全体に対してルータが占める消費電力を無視することはできない。プロセッサの低消費電力化技術として一般的な Dynamic Voltage and Frequency Scaling (DVFS) は、オンチップルータにも応用されており、実チップでも動作が報告されている⁵⁾。しかし DVFS では動作周波数を変えるため、隣接する 2 つの電源ドメインで違った電圧を用いるばあい その動作周波数を整数比にしななければならない、選択可能な周波数 (電圧) に制限が生じる。とりわけ NoC では通信負荷に偏りが生じやすく、ルータ単位で独立に電圧および周波数を調整することが望ましいため、既存の DVFS 手法は向いていない。NoC 全体を非同期化して DVFS を用いた試み⁶⁾ も報告されているが、非同期回路は設計が困難な点がある。

一方、負荷に応じてパイプライン段数を最適化する手法⁷⁾ や それに加えて Time Borrowing によって各パイプラインステージの最大遅延を平均化することによって周波数を上げる手法⁸⁾ も提案されているが これも動作周波数を変化させることが前提である。

そこで、我々は、個々のルータの動作周波数ではなく、パイプライン段数を切り替えると

^{†1} 慶應義塾大学大学院 理工学研究科
Graduate School of Science and Technology, Keio University

^{†2} 国立情報学研究所 / 総合研究大学院大学
National Institute of Informatics / The Graduate University for Advanced Studies

^{†3} 芝浦工業大学 情報工学科
Department of Information Science and Engineering, Shibaura Institute of Technology

ともに電圧制御を行う可変パイプラインルータ (MV-VP router) を提案した⁹⁾。負荷が高い場合、電圧を上げてパイプライン段数を減らすことで通信サイクル数を減らしレイテンシを下げ性能を上げる。一方、負荷が低い場合、電圧を下げると共にパイプライン段数を増やしてクリティカルパスを減らし、低電力動作を実現する。この手法は周波数を変えずに、電圧とパイプライン段数を制御することで、性能に対する悪影響を抑えながら負荷の低いルータの電力を削減できる点が特徴である。

文献⁹⁾では、電圧の制御の単位としてルータ1個のみを考えていた。しかし、例えばルータごとに高い電圧で駆動していても、使われていない入力仮想チャネル、入力物理チャネルがあるため余分な電力が消費されている可能性があった。そこで文献¹⁰⁾では 入力仮想チャネル 入力物理チャネル ルータのそれぞれの単位で最適な電圧切り替えドメインのサイズを検討した。その結果 入力物理チャネルごとに電圧を切り替えることが最適であることが分かった。

そこで本報告では 従来のルータごとに電圧を供給する方法ではなく パケットが通る入力 (物理) チャネルと出力チャネルの電圧を下げることで、更なる電力最適化を行う多電源細粒度可変パイプラインルータ (Multi-Vdd Fine-Grained Variable Pipeline router: MVFG-VP router) を提案する。

本報告の構成は以下のとおりである。2 節で MVFG-VP ルータの構造を説明する。3 節で MVFG-VP ルータの電源電圧切り替えポリシーを示す。4 節で MVFG-VP ルータの回路レベルの評価 並びに CMP シミュレータを用いた各ベンチマークの評価結果を示す。最後に 5 節で本報告をまとめる。

2. MVFG-VP ルータ

2.1 ベースラインルータ

最初に基本となるルータ構造について述べる。ここではフリット幅 64-bit のワームホールルータを用いる。物理チャネル数 5 本、仮想チャネル数 4 本、仮想チャネルごとに 4-flit 分の入力バッファを持つものとした。ルータ内のパケット処理は、1) 経路計算を行う routing computation (RC), 2) 出力仮想チャネルの割り当てを行う virtual-channel allocation (VA), 3) 出力ポートの割り当てを行う switch allocation (SA), 4) クロスバ上のフリット転送を行う switch traversal (ST) の 4 ステージに分割される。さらに、5) リンク上のフリットを転送を行う link traversal (LT) に 1 サイクル必要となる。LT を含め、以上の 5 ステージから成るルータをここでは 5-cycle ルータと呼ぶ。

表 1 切り替え可能なパイプラインモード

Mode	Pipeline	Vdd	Freq
2-cycle	[RC/VA/SA] [ST,LT]	1.00V	386.5MHz
3-cycle	[RC/VA/SA] [ST] [LT]	0.78V	386.5MHz

この基本的な 5-cycle ルータは パイプラインステージが多いためレイテンシが大きい。このため ステージを並列実行することによりレイテンシを小さくする構成が一般的である。表 1 にここで用いる二つのパイプライン方式を示す。ここでは、括弧は 1 サイクルの処理, “/” は並列実行, “,” は逐次実行を示す。VA と SA の投機実行¹¹⁾により両者は並列実行できる ([VA/SA])。また、1 つ手前のルータにおいて該当ルータの RC を実施する技術である先読みルーティング¹¹⁾を行うことで RC と VA/SA を並列に実行することができる ([RC/VA/SA])。2-cycle mode では出力チャネルにあるレジスタを迂回して ST を LT にマージして逐次実行しているため、[ST,LT] がクリティカルパスとなり、最大動作周波数が落ちるため 2-cycle mode では高い電圧を与える必要がある。

2.1.1 パイプラインモード

3-cycle ルータと 2-cycle ルータの構造上の差はわずかであるため 簡単な切り替えハードウェアにより動作を切り替えることができる。ただし 2-cycle ルータの場合 同一電源を用いると動作周波数が低下する。そこで ここでは二電源を持ち これをパイプラインモードの切り替えと共に切り替えることで 同一の周波数でパイプラインステージを変える手法を用いる。表 1 には 二つのモードを切り替える場合の動作周波数 電圧を併せて示す。この数値は後に示す Fujitsu e-shuttle のライブラリを用いて回路シミュレーションにより決めている。

2.2 MVFG-VP ルータの構造

図 1 に MVFG-VP ルータの構造を示す。

多電源可変パイプラインルータ (MV-VP router) は、ルータ全体の電圧を一括して制御していた。NoC においては一部のリンクが負荷が高く、一部のリンクは空いていることが良くある。このような場合でもルータ全体は 2-cycle mode で高い電圧で動作しなければならない。したがって、ルータの中で大きな面積を占める入力バッファ単位で電圧を切り替えることができれば、より細かい単位で消費電力を削減できる。幸い、仮想チャネル、入力バッファの動作は mode に依存せず、パケットが到着すればスイッチ、ルータ制御を 2-cycle mode にして電圧を上げ、それ以外の場合は、低い電圧を用いれば良い。このようにルータ内の要素単位で電圧を制御する方法をここでは細粒度制御と呼ぶ。図 1 に示す通り X+

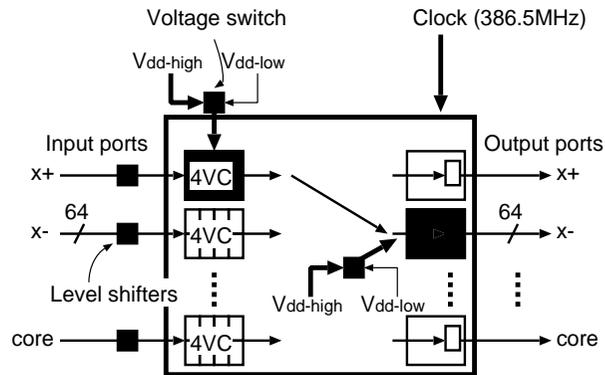


図1 MVFG-VP ルータの構造

方向から X-方向にパケットが転送される時には X+方向の入力チャンネルと X-方向の出力チャンネル部分のみを 2cycle-mode にし 残りの部分は 3cycle-mode で動作させる制御を行った。このように 細粒度で電源制御を行っても 全てルータの構成部分においてもの動作周波数が同じであるため 非同期通信を行わずに済むのが特徴である。

MV-VP ルータでは入力ポートと出力ポートを繋ぐためにクロスバスイッチを用いていたが 今回提案する MVFG-VP ルータではパケットが通過する部分 (パケットが通る入力チャンネル クロスバ 出力チャンネル) のみに高い電圧を与えるため クロスバを各出力チャンネルに分解して実装した。これにより 供給電圧の制御が入力チャンネルと出力チャンネルだけに絞られるため 制御が簡素化するという利点がある。

上述の 2 段可変パイプライン方式の MVFG-VP ルータを Verilog-HDL で設計し, Fujitsu 65nm 高速ライブラリを用いて Synopsys Design Compiler で合成, Synopsys IC Compiler で配置配線した。配置配線後の静的タイミング解析の結果, 電源電圧が 1.0V のとき 3-cycle mode の最大遅延は 1679.3 psec, 2-cycle mode の最大遅延は 2587.4 psec となった。ST と LT はマージされているため, 2-cycle mode では LT ステージ分の時間を足す必要がある。ルータ間の通信はルータ間距離に依存するがクリティカルパスにはならないため, 今回は 1000ps かかると想定した。また, 2-cycle mode の [ST, LT] がクリティカルパスになるため, タイムスチーリング¹²⁾ という手法を用いることで, このクリティカルパスを軽減することができ周波数を更に高くすることができる。

2.3 MVFG-VP ルータの設計

MVFG-VP ルータでは, 動作周波数は変えずに, 負荷に応じてパイプライン段数と供給電圧を切り替える。2-cycle mode を 1.0V (Vdd-high) で 386.5MHz で動作させるとき, 3-cycle mode は 0.78V (Vdd-low) まで落としても 386.5MHz で動作可能である。切り替え可能なパイプラインモードを表 1 にまとめる。パイプラインモード切り替えは以下の手順で行う。

- 3-cycle \leftrightarrow 2-cycle : Vdd-low から Vdd-high に電圧が上がったのち, 2-cycle mode に切り替える。
- 2-cycle \leftrightarrow 3-cycle : 3-cycle mode に切り替えたのち, Vdd-high から Vdd-low に電圧を下げる。

この手順に従わないと, 切り替え時にタイミング違反が生じ, 通信データの値化け等が生じる恐れがある。逆にこの順番を守れば切り替え自体は 1 クロックサイクルで可能でありパケット転送を止める必要はない。

3. スタンバイ電力削減ポリシー

今回の設計では, 4 章において検討するようにパイプラインモードを切り替えるのに要する時間は 1 クロックサイクル (2.58nsec) 以内である。ここでは, 現在の条件でアプリケーションの実行時間をなるべく増やさないで電力を減らす切り替えポリシーを検討する。

スタンバイ電力を減らすためのポリシーは, MV-VP ルータ⁹⁾ と同じく以下の通りである。

- パケットを処理していない状態 (もしくは, 負荷が非常に低い状態) では, 可能な限り 3-cycle mode @ Vdd-low にしてスタンバイ電力を減らす。
- パケットを処理している状態では, 可能な限り 2-cycle mode @ Vdd-high にして通信遅延を減らす。

ルータの先読み機能により, 事前にパケットが送られる入力チャンネルと出力チャンネルが分かる。それに従い, 該当するルータの構成部分の電圧を昇圧する。low-to-high の電圧切り替えに要す遅延は 386.5MHz 動作時で 1 サイクルに設定すると, パケットが到着する 1 サイクル前に電圧を low-to-high に切り替え, パケットが通過したら high-to-low に戻せばよい。

今回提案する入力バッファごとの電圧制御の電圧切り替えポリシーを説明する。ここでは, 図 2 に示す通り, 分かりやすくするためにクロスバを描画しているが, 実際は電源コントロールの簡単化のため, クロスバは各出力チャンネルに組み込まれている点に注意されたい。

以下に図 3 に各サイクルで行われる処理について記述する。

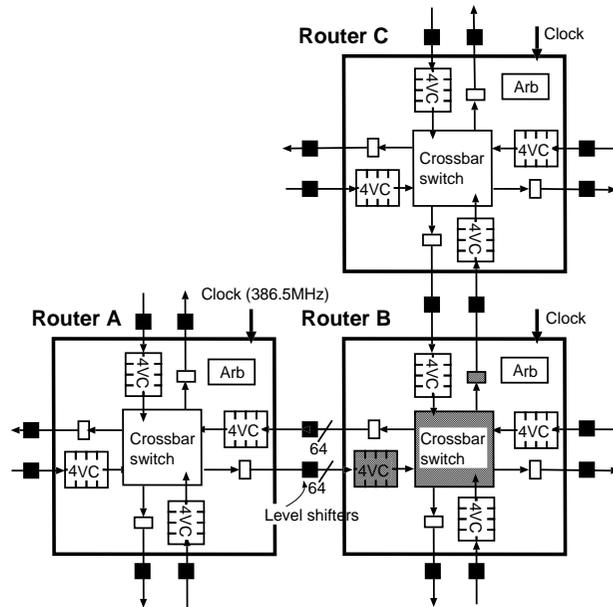


図2 Router A から Router C にパケットを転送するときの切り替えの様子

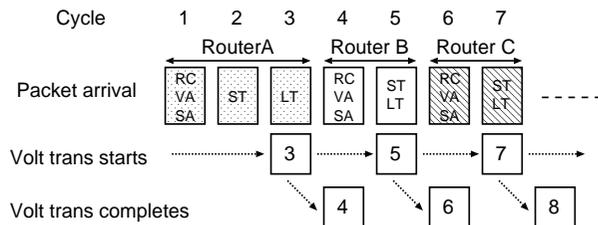


図3 切り替えスケジューリング

- 1 サイクル目で, 次ホップの Router B の入力チャネル (X-方向), 出力チャネル (Y+方向) を計算する.
- 2 サイクル目で, Router A の入力チャネルから出力チャネルにパケットが移る.
- 3 サイクル目で, Router B の X-方向の入力チャネル, 入力チャネルと出力チャネルを結ぶクロスバ, Y+方向の出力チャネルの供給電圧を高くする. 同時に Router A から Router

表2 ハードウェア量の内訳 (単位は kilo gate) .

Router	1 Level shifter	1 Voltage switch
63.13	4.11	0.54

表3 ハードウェア量の内訳 (単位は kilo gate) .

	Router	Level shifter	Voltage switch	Total
Original	59.41	0.00	0.00	59.41
Proposed	63.13	4.11	0.68	67.92 (+14.3%)

B にパケットが転送される.

- 4 サイクル目で, 次ホップの Router C の経路を計算する. (1 サイクル目と同じ)
- 5 サイクル目で, Router B の入力チャネルから次ホップの Router C の該当する経路の電圧を高くし, Router C にパケットが転送される.

というプロセスを繰り返す.

また, 以下の通りに制約を設ける.

- パケットがルータ内に来ないときには全ての入力物理チャネル, クロスバ, 出力チャネルは 3-cycle mode @ Vdd-low のままにする.
- パケットがルータ内に入ってきたとき, パケットを転送しなければならない入力物理チャネル, クロスバポート, 出力チャネルのみを 2-cycle mode @ Vdd-high に設定する.

4. 評価

最初に MVDF-VP ルータの回路レベルの評価を行い, そこでも得られた回路パラメータをもとに CMP のフルシステムシミュレータを用いたシステムレベルの評価を行う.

4.1 回路レベルの評価

まず, 2 節で実装した多電源可変パイプラインルータのレイアウト結果 (GDS ファイル) から Cadence QRC Extraction を用いて SPICE ネットリストを抽出する. これを Synopsys HSIM を用いて回路シミュレーションすることで, 電圧スイッチを操作してからルータの電圧が切り替わるまでの遅延, 電圧切り替えに要すオーバーヘッドエネルギーを求める.

4.1.1 ハードウェア量

DVFG-VP ルータでは, 電圧を切り替えるための電圧スイッチセル, 電源ドメイン間の電圧レベルの違いを吸収するためのレベルシフタセルが必要となる (図1). 電圧スイッチの個数を増やすことで, 電圧切り替えに要す遅延は小さくなる. ここで, レベルシフタセ

ルと電圧切り替えスイッチの面積を比較する。表 2 より、全ての入力ポートに挿入された 5 つのレベルシフタセルは、電圧切り替えスイッチよりも十分小さい。レベルシフタ 1 つの面積が 0.822[kilo gates] に対し、電圧切り替えスイッチ 1 つの面積は 6.75×10^{-3} [kilo gates] であり 100 分の 1 以上も小さいため、電圧切り替えスイッチの個数を増やすことによる面積増加は気にしなくてもよい。

ここで、入力バッファと出力バッファ 1 個を 1 クロック以内で Vdd-low から Vdd-high または Vdd-high から Vdd-low に切り替えられるようにするため、電圧切り替えスイッチの数を、それぞれ 16 個と 4 個と設定した。これにより、1 ポートで 20 個のスイッチが必要となり、ルータ 1 個あたり 100 個のスイッチが必要となる。既存の 3 サイクルルータと提案ルータの面積を比べると、ハードウェア量が 14.1%増加した。

4.1.2 切り替えレイテンシ

図 4 に high-to-low および low-to-high の電圧切り替え時間（折れ線グラフ、目盛は Y 軸右側）を示す。Vdd-high が 1.2V、Vdd-low が 0.8V のとき、high-to-low の遅延は 5.3nsec、low-to-high の遅延は 3.1nsec となった。つまり、3-cycle から 2-cycle のモード切り替えでは、まず、電源電圧を切り替えてから 3.1nsec（392.2MHz 駆動では 2 サイクル）待ち、パイプラインを 2-cycle mode に切り替える必要がある。

4.1.3 切り替えオーバーヘッドエネルギー

提案ルータの電圧切り替え時に、一定のエネルギーが消費される。図 4 に high-to-low 切り替えおよび low-to-high 切り替え時の消費エネルギー（棒グラフ、目盛は Y 軸左側）を示す。low-to-high 切り替えでは、切り替え直後に、Vdd-high からルータ回路へ電荷が流れ込み、オーバーヘッドエネルギーが消費される。一方、high-to-low 切り替えでは、ルータ回路内にたまった Vdd-high の電荷が、切り替え後に、Vdd-low 側の電源に流れ込む。この電荷は Vdd-low 側のキャパシタンスに蓄積され、電圧切り替え後に徐々に消費されていくため、電圧切り替え時のオーバーヘッドエネルギーはマイナス（つまりチャージされる）となる。入力バッファにおいて、Vdd-high が 1.0V、Vdd-low が 0.8V のとき、low-to-high の消費エネルギーは 44.5pJ、high-to-low の消費エネルギーは -16.7pJ となった。つまり、1 回の電圧切り替え（low-to-high + high-to-low）で消費されるエネルギーは 27.8pJ である。同様に、出力バッファにおいては 1 回の電圧切り替えで 3.13pJ のエネルギーが消費される。従って、入力バッファ、出力バッファに与える供給電圧を同時に切り替えると、30.9pJ の消費エネルギーとなる。

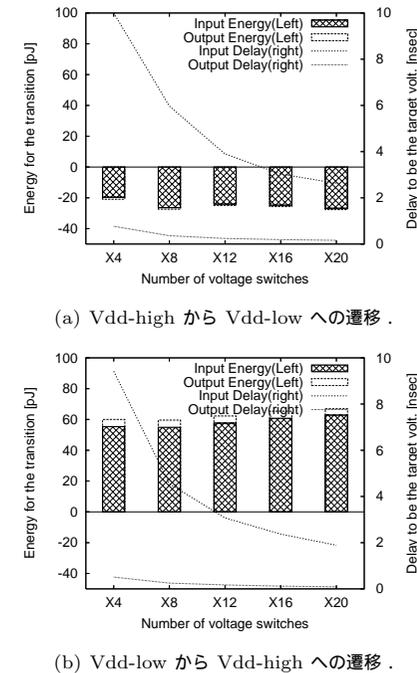


図 4 電圧切り替え時の遅延とオーバーヘッドエネルギー（Vdd-low を変えた評価）。

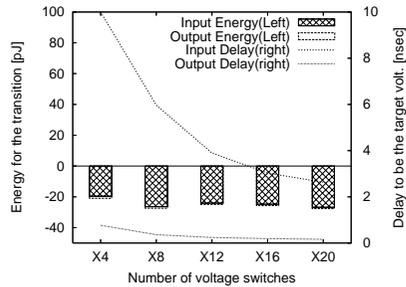
4.2 システムレベルの評価

3 章で提案したスタンバイ電力削減ポリシを実際の CMP を想定したフルシステムシミュレータ上で評価する。

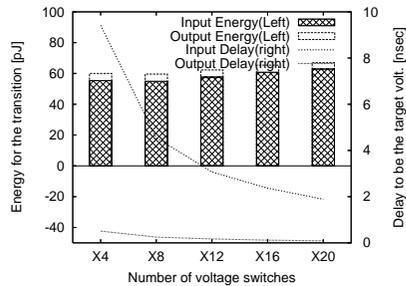
4.2.1 シミュレーション環境

CMP アーキテクチャ

16 コア CMP で使われる NoC をシミュレーションする。本報告では共有 L2 キャッシュを持った CMP アーキテクチャに MVFG-VP ルータを適用する。つまり、各タイルの L2 キャッシュバンクを全タイルで共有し、チップ全体として 1 つの大きな共有 L2 キャッシュを形成するアーキテクチャである。キャッシュのコヒーレンスを取るため、ここではディレクトリベースのコヒーレンスプロトコルを用いる。end-to-end のプロトコル（要求・応答）デッドロックを防ぐため、仮想チャンネルを 3 本（もしくは 4 本）用いる。共有 L2 ではネット



(a) Vdd-high から Vdd-low への遷移 .



(b) Vdd-low から Vdd-high への遷移 .

図 5 電圧切り替え時間とルータ面積 (電圧スイッチの個数を変えた評価) .

トワーク上のトラフィック量が多いことに注意されたい。

シミュレーションモデル

このような CMP のフルシステムシミュレータとして GEMS¹³⁾ と Wind River Simics¹⁴⁾ を組み合わせて使用する . NoC モデルとして GEMS に付属の Garnet¹⁵⁾ を拡張することで , MVFG-VP ルータを cycle-accurate でシミュレーションできるようにした . 表 4 にプロセッサとメモリ関連 , 表 5 に NoC とオンチップルータ関連のシミュレーション条件を示す . ここでは主記憶アクセスの影響を排除するため , 各ルータにメモリポートを持たせている .

ベンチマークプログラム

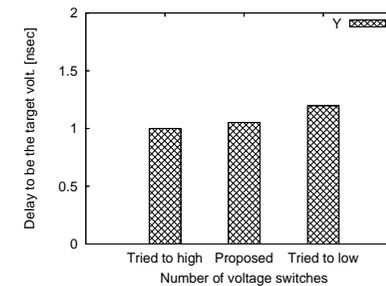
MVFG-PV ルータの性能とスタンバイ電力を評価するため , OpenMP 版の NAS Parallel Benchmark (NPB)¹⁶⁾ から IS を用いる . OS として Sun Solaris 9 を 16 コア CMP のう

表 4 シミュレーション条件 (プロセッサ , メモリ関連)

Processor	UltraSPARC-III
L1 I-cache size	16 KB (line:64B)
L1 D-cache size	16 KB (line:64B)
# of processors	16
L1 cache response	1 cycle
L2 cache size	256 KB (assoc:4)
# of L2 cache banks	16
L2 cache response	6 cycle
Memory size	4 GB
Memory response	160 (± 2) cycle
# of memory ports	16

表 5 シミュレーション条件 (NoC , オンチップルータ関連)

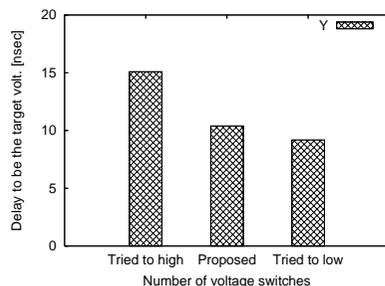
Topology	4×4 mesh
Routing	dimension-order
# of VCs	4
Buffer size	4 flit
Flit size	64 bit
Control packet	1 flit
Data packet	9 flit



(a) 16 コアタイル (L2 共有) .

図 6 NPB アプリケーションの実行時間 (完全 2 サイクルルータの実行時間を 1.0 として正規化) .

えで動作させる . NPB ベンチマークプログラムを Sun Studio 12 でコンパイルし , Solaris 9 上で動作させる . 問題サイズは S , スレッド数は 16 とする .



(a) 16 コアタイル (L2 共有) .

図 7 IS 実行時の NoC のスタンバイ電力 (オーバーヘッド電力を含む) .

4.2.2 アプリケーション実行時間

CMP 向け NoC に多電源可変パイプラインルータを適用する . そのうえで IS のプログラムを走らせ , その実行サイクル数を求める . ここでは以下の 3 つのルータモードを比較する .

- **All 2-cycle transfer** : 常に 2-cycle mode @ Vdd-high に固定
- **Proposed** : スタンバイ時は 3-cycle mode @ Vdd-low だが , パケットが来たらできただけ 2-cycle mode @ Vdd-high で転送
- **All 3-cycle transfer** : 常に 3-cycle mode @ Vdd-low に固定

図 6 に IS の実行時間を示す . 図 6(a) が L2 共有の場合である . 実行時間 (グラフの Y 軸) は All 2-cycle transfer の実行時間を 1.0 として正規化してある . グラフより , 提案手法は常に 2-cycle mode @ Vdd-high の場合と比べて 1.0% ~ 2.1% 性能が落ちている . これはパケット転送の 1 ホップ目は Vdd-low から Vdd-high への昇圧が間に合わず , 3-cycle 転送が生じたためである . 次節では , 常に 2-cycle mode @ Vdd-high の場合と比べて提案手法がどれだけスタンバイ電力を減らすことができたか評価する .

4.2.3 スタンバイ電力の削減量

4.1 節で述べたとおり , 1 回の電圧切り替え (low-to-high + high-to-low) で消費されるエネルギーは 30.9pJ である . また , ルータ単体のスタンバイ電力は 2-cycle mode @ Vdd-high 時で 15.1mW , 3-cycle mode @ Vdd-low 時で 9.19mW である . 今回提案した手法を用いることで , 実行時間は 5.2% 増えたが , 消費電力は 10.4mW になったため , 可変パイプライン機構を何も実装しないときと比べて , 31.1% 削減できた .

5. ま と め

MV-VP ルータは , 電源電圧と共にルータのパイプライン構造を変更することで同一の周波数のクロックを全ルータで利用することを可能とする . MVFG-VP ルータはこの考えをさらに発展させ , 切り替えの単位を入力バッファ , 出力バッファにすることで , さらに電力を削減することができる . MVFG-VP ルータを 65nm プロセスを用いて設計し , さらに CMP シミュレータ上で評価した . その結果 , 全て高い電圧を用いた場合に比べて , 31.1% の電力を削減した . その際 , 性能のオーバーヘッドは 5.2% であった .

今回は単一のアプリケーションのみで評価したが , より多くのアプリケーションでの評価が必要である . また , ルータ全体を制御する MV-VP ルータとの比較についても今後の課題である .

謝 辞 本研究では株式会社半導体理工学研究センター , (株) イー・シャトル , 富士通株式会社の協力で半導体設計ライブラリを利用させていただいた . また , 本研究で使用した電圧スイッチおよびレベルシフタセルを提供して下さった芝浦工業大学 馬橋雄祐氏に感謝致します .

参 考 文 献

- 1) Pande, P.P.: Performance evaluation and design trade-offs for network-on-chip interconnect architectures, *Computers, IEEE Transactions on*, Vol.54, No.8, pp.1025–1040 (2005).
- 2) Dally, W.J. and Towles, B.: Route Packets, Not Wires: On-Chip Interconnection Networks, *Proceedings of the Design Automation Conference (DAC'01)*, pp.684–689 (2001).
- 3) Kim, J.S., Taylor, M.B., Miller, J.E. and Wentzlaff, D.: Energy Characterization of a Tiled Architecture Processor with On-Chip Networks, *Proceedings of the International Symposium on Low Power Electronics and Design (ISLPED'03)*, pp.424–427 (2003).
- 4) Leon, A.S., Tam, K.W., Shin, J.L., Weisner, D. and Schumacher, F.: A Power-Efficient High-Throughput 32-Thread SPARC Processor, *IEEE Journal of Solid-State Circuits*, Vol.42, No.1, pp.7–16 (2007).
- 5) Howard, J. et al.: A 48-Core IA-32 Message-Passing Processor with DVFS in 45nm CMOS, *Proceedings of the International Solid-State Circuits Conference (ISSCC'10)*, pp.108–109 (2010).
- 6) Beigne, E., Clermidy, F., Lhermet, H., Miermont, S., Thonnart, Y., Tran, X.-T., Valentian, A., Varreau, D., Vivet, P., Popon, X. and Lebreton, H.: An Asynchronous Power Aware and Adaptive NoC Based Circuit, *IEEE Journal of Solid-State Circuits*, Vol.44, No.4, pp.1167–1177 (2009).
- 7) Hirata, Y., Matsutani, H., Koibuchi, M. and Amano, H.: A Variable-pipeline On-chip Router Optimized to Traffic Pattern, *Proc. of the 3rd International Workshop on Network on Chip Architectures (NoCArc'10)*, pp.57–62 (2010).

- 8) Zhou, P., Yin, J., Zhai, A. and Sapatnekar, S.S.: NoC frequency scaling with flexible-pipeline routers, *ISLPED*, pp.403–408 (2011).
- 9) Hiroki Matsutani, Y.H.: A Multi-Vdd Dynamic Variable-Pipeline On-Chip Router for CMPs, *Proc. of the 17th Asia and South Pacific Design Automation Conference (ASP-DAC'12)*, pp.xx–xx (2012).
- 10) 中村武雄, 松谷宏紀, 鯉淵道紘, 宇佐美公良, 天野英晴: 多電源可変パイプラインルータにおける電源ドメインサイズの解析, 電子情報通信学会技術研究報告 CPSY2011-62, Vol.111, No.398, pp.49–54 (2012).
- 11) Dally, W.J. and Towles, B.: *Principles and Practices of Interconnection Networks*, Morgan Kaufmann (2004).
- 12) A.K., M., R., D., S., E., R., I., N., V. and C.R., D.: A case for dynamic frequency tuning in on-chip networks, *Microarchitecture, 2009. MICRO-42. 42nd Annual IEEE/ACM International Symposium on*, pp.292–303 (2009).
- 13) Martin, M. M.K., Sorin, D.J., Beckmann, B.M., Marty, M.R., Xu, M., Alameldeen, A.R., Moore, K.E., Hill, M.D. and Wood, D.A.: Multifacet General Execution-driven Multiprocessor Simulator (GEMS) Toolset, *ACM SIGARCH Computer Architecture News (CAN'05)*, Vol.33, No.4, pp.92–99 (2005).
- 14) Magnusson, P.S., Christensson, M., Eskilson, J., Forsgren, D., Hallberg, G., Hogberg, J., Larsson, F., Moestedt, A. and Werner, B.: Simics: A Full System Simulation Platform, *IEEE Computer*, Vol.35, No.2, pp.50–58 (2002).
- 15) Agarwal, N., Peh, L.-S. and Jha, N.: Garnet: A Detailed Interconnection Network Model inside a Full-system Simulation Framework, Technical Report CE-P08-001, Princeton University (2008).
- 16) Jin, H., Frumkin, M. and Yan, J.: The OpenMP Implementation of NAS Parallel Benchmarks and Its Performane, *NAS Technical Report NAS-99-011* (1999).