

## 文 献 紹 介

### 1. 人間の心理過程のモデル

Herbert A. Simon: Modeling Human Mental Processes [Proc. W.J.C.C. Vol. 19, May 1961, pp. 111~119]

人間の情報処理, たとえば問題を解くこと, 認識, 思考などを計算機でシミュレートするプログラムがいくつか発表されている。これらのプログラムは人間の心理過程の一つのモデルであるわけで, 実際の心理的な実験の結果と照し合せてその妥当性を調べることができる。本報告は心理学研究の手段としてのシミュレーション・プログラムの総説である。

まず現在までのプログラムを四つに分類している。

- (1) Adaptive, goal seeking, learning machine のシミュレーション
- (2) 視覚的, 聴覚的記号の認識のシミュレーション
- (3) 神経回路の自己組織化能力のシミュレーション
- (4) 暗記, 概念構成, 問題解決における symbol manipulation.

次に現在までこの種のプログラムに用いられる手法として, 数によらない計算, 情報処理法, ヒューリスティックをあげ, 例により説明している。

情報処理については, メモリのアドレッシングがリスト構造になっていること, プログラムが階層的構造をもっていることが特色である。

ヒューリスティックを用いたプログラムは, 記号認識のプログラム, チェス, チュカのプログラム, 証明のプログラムなど種々発表されており, 万能形のプログラムとして, General Problem Solver というプログラムが開発されている。

最後に最近および将来の研究テーマを心理学において議論されているトピックと関連づけて二, 三並べている。

(戸田 巖)

### 2. 単語学習のシミュレーション

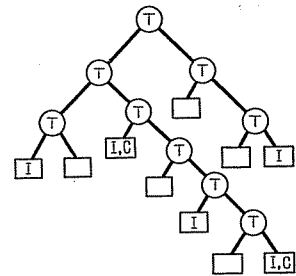
E.A. Feigenbaum: The Simulation of Verbal Learning Behavior [Proc. W.J.C.C. Vol. 19, May 1961, pp. 121~132]

無意味な単語を暗記する学習をシミュレートするため Elementary Perceiver and Memorizer (E.P.M) というプログラムを作成した。このプログラムの目的はすぐれた学習機械を作るよりむしろ, 単語学習の機構の説明に主眼がある。その特色は

- (1) 心理学的なモデルであること
  - (2) 脳を情報処理装置と見ていること
  - (3) 処理装置が直列形であること
  - (4) データは Information symbol に一旦変換されて貯えられること
  - (5) 決定論的なモデルであること
- などである。

プログラムは応答プログラムと学習プログラムの部に分れる。

応答プログラムは入力が増えられるとこれを符号し, 学習プログラムによりすでに構成されている識別ツリー (Discrimination tree) で探して, 対応するメッセージと出力の符号 (cue) を見つける。出力符号再びツリーで探して, 対応するイメージを求め, これを応答発生器に加えて外界に応答を与える。



第 1 図

学習プログラムは前述の識別ツリーを作る。識別第 1 図に示すようなツリー構造のプログラムによろ行うので, 図中 T は, 二者択一を行う適当なプログラムで, 枝の先端はイメージと呼ばれるデータを符号したものと, キューと呼ばれる出力の符号である。習は, すでにできている識別ツリーを拡大することある。このプログラムは IPLV でかかっている。

これにより単語学習を行わせた場合と, 対応する験を人間に行った場合の比較は後に詳しい報告がきようであるが, 今まで行った二, 三の例でも, 一般

進行抑制, 忘却などの心理学的な現象が観察された.

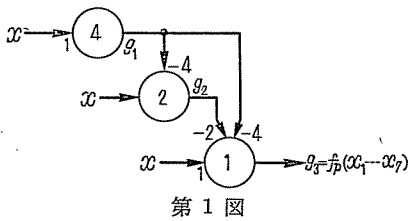
(戸田 徹)

3. 線型入力素子による対称接点関数の実現

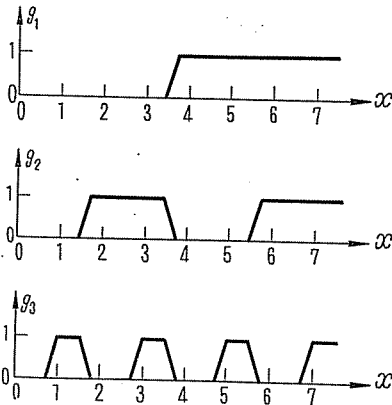
W.H. Kautz: The Realization of Symmetric Switching Functions with Linear-Input Logical Elements [IRE Trans. EC-10, No. 3, Sept. 1961, P. 371]

線型入力素子は, しきい値素子, 多数決素子とよばれ,  $n$  個の 2 進入力の重み平均が, しきい値をこすか否かによって出力し, 0 を与える. この種の素子を用いて,  $n$  変数の対称論理関数を実現する問題は, 室賀, Minnick によりすでに取扱われている. 本論文はこの問題を, 最小の素子数を用いて実現するという立場で扱っている.

まず回路の一般形として, 第 1 図のような Feed Forward 形を考えればよい. この回路は  $r$  変数のパ



第 1 図



第 2 図

リティ関数 (奇数個の 1-入力に対して, 出力 1) である. 第 2 図に, 1- 入力の個数と, 出力値の関係を示す. この図からわかるように,  $r$  個の素子の回路の出力は, 高々  $2^n - 1$  回値を変化しうるだけであるから,

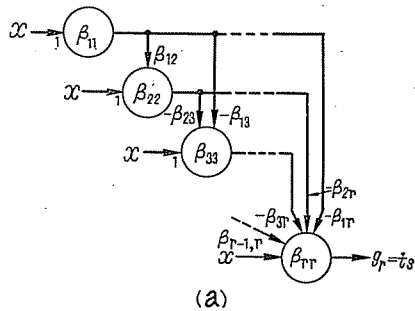
$n$  変数のパリティ関数は

$$r \geq 1 + \lceil \log_2 n \rceil$$

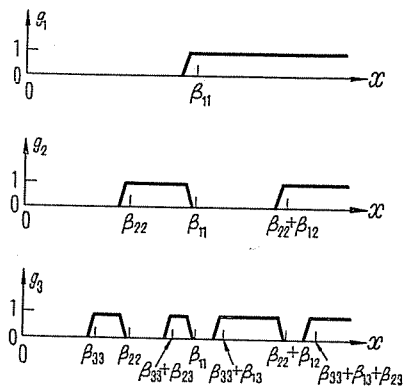
の素子数でなければ実現できない. その具体的な構成は簡単に求まる. 一般に  $\tau$  を出力値の変化の個数,  $r_{\min}(\tau)$  をその関数実現に要する最小素子数とすれば

$$r_{\min}(\tau) \geq 1 + \lceil \log_2 \tau \rceil$$

またこの種の回路の表現として, 次のような多項式表現を導入している. 第 3 図の回路に対し, 図中の記号を用いて,



(a)



(b)

第 3 図

$$g_j : \psi_j(x) = z^{\beta_{jj}}(1+z^{\beta_{j-1,j}})(1+z^{\beta_{j-2,j}}) \dots (1+z^{\beta_{1,j}}) = \sum_R z^{c_{k,j}}$$

とする.  $\beta_{j,k} > \beta_{j-1,k}$  が成立すれば,  $c_{jk}$  が  $j$  番目の素子の出力値が 0 から 1 へ変化する  $1-k$  入力の個数を与える. さらに,  $P_r(x)$  と  $\sum_j P_j(x)$  の exponent が互いに他を分離すれば, 出力値の変化は最大値  $2^r - 1$  個となる. 以上の条件がくずれると, 一般に出力値の変化個数は減少する. 以上の表現から, 一般の回路に対して, 出力値を簡単に求める手順を与えている.

また、上記の考察から  $r$  個の素子からなる回路では、出力値の 0 から 1 への変化点のうち、独立に指定できるのは  $r$  個であることがわかり、Minnick の与えた  $r_{\min}(\tau)$  の上限

$$r_{\min}(\tau) \leq 1 + \lceil \tau/2 \rceil$$

は、これ以上改善できない。

以上の上、下限値と、変数の個数  $n(n \leq 11)$  と  $\tau$  を定めた時の  $r_{\min}$  を、個別的な考察から求めた値を表に示している。またその際の考察もいくつか述べている。(戸田 巖)

#### 4. 有限オートマトンの縦続接続

A. Gill: Cascaded Finite-state Machines [IRE Trans. EC-10, No. 3, Sept. 1961, p. 366]

簡単のため入出力端子がそれぞれ一対の有限オートマトンを考える。このようなオートマトンの出力を同種の他のオートマトンの入力端子に結合することにより、さらに同種のもう一つのオートマトンをうることができる。これをオートマトンの“縦続接続”と名付け、この接続において生じるいくつかの問題を論じている。

まず容易にわかるように、状態数  $n_1, n_2$  のオートマトンの縦続接続を作れば、状態数  $n_1 n_2$  のオートマトンが得られる。

オートマトンは Shannon 線図または、それと等価な接続行列 [connection matrix: 第  $i, j$  成分が  $i$  状態から  $j$  状態に遷移させる入力信条と対応する出力の組である行列] で記述できる。この行列表現を用いれば、2 個のオートマトンの縦続接続は、行列のクロネッカ積として求められる。ただし行列要素間の乗算はやや特殊である。

逆にある行列表現が与えられた時に、これがいくつかのオートマトンの縦続接続として表わすことができるかという問題を考察している。この問題はかなり困難であって、一つの必要条件と一つの充分条件を求めている。必要条件は  $n_1 n_2$  状態の機械が、 $n_1, n_2$  状態の 2 個のオートマトンの積に分解できるための手順で potential decomposability と名付けているが、ぼう大な手数を要する。充分条件をみだすオートマトンが実際に分解可能であるか否かを構成的に調べる方法である。(戸田 巖)

#### 5. 連立常微分方程式に対する Runge-Kutta 法のプログラム

W. Kuzenko: Das Verfahren von Runge-Kutta für Systeme von Differentialgleichungen, Elektronische Datenverarbeitung [No. 4, 1961, pp. 161~162]

$n$  元連立常微分方程式の数値解法の一つである Runge-Kutta 法を Siemens 2002 についてプログラムするに当り工夫した所をのべている。独立変数: についての方程式  $y_i = f_i(y_1, y_2, \dots, x)$  ( $i=1, 2, \dots, m$ ) を解くに当り、 $x_0$  での値  $y_{0i}$  から次の手順によって RK 法の計算を行なうと記憶装置の量が少なくてすむというのが工夫した点である。

1.  $y_{0i} \rightarrow y_i, h/2 f_i(y) \rightarrow \bar{k}_i, \bar{k}_i \rightarrow k_i,$
2.  $y_{0i} + \bar{k}_i \rightarrow y_i, h/2 f_i(y) \rightarrow \bar{k}_i, k_i + 2\bar{k}_i \rightarrow k_i,$
3.  $y_{0i} + \bar{k}_i \rightarrow y_i, h f_i(y) \rightarrow \bar{k}_i, k_i + \bar{k}_i \rightarrow k_i,$
4.  $y_{0i} + \bar{k}_i \rightarrow y_i, h f_i(y) \rightarrow \bar{k}_i, 2k_i + \bar{k}_i \rightarrow k_i,$   
 $y_{0i} + k_i/6 \rightarrow y_{0i}$

ただし  $h$  はきざみ幅、必要な記憶装置数は  $3m+1$  ( $y_i, \bar{k}_i, k_i$ ) と他に 7 個だけ必要であるという。し、著者は  $y_{0i}$  に必要な  $m$  個に言及していない。またこの程度の記憶装置の節約なら他にも方法はある。Runge-Kutta-Gill 法では全部で  $3m$  個 (他に若干の記憶装置数ですみ、丸め誤差のフィードバックもえてあるから余程すぐれている。そういう意味では録の価値は少ないが、これからプログラムする向き対して R-K-G 法をすすめる意味でのべたわけである。流れ図もついている。(高田 勝)

#### 6. 計数型計算機との音声通信の一方

S.R. Petrick, H.M. Willett: A Method of Voice Communication with a Digital Computer [Proc. IRE, 1960, pp. 11~24]

空軍の Cambridge 研究所にある 1600 語の磁気ラム計算機 (UNIVAC Solid State Computer の身) を用いた音声認識の実験結果をのべてある。

マイクrophonからの音声出力は 18 個の帯域フィルターを通り、その各々の出力は 1/50 秒ごとにサンプリングされて 3 ビットの 2 進数になり、計算機に入れられる。実験は 5 通りあり、まず第 1 は同一人が計算に前以って覚えこました言葉を認識させるものである。はじめ何回か発声した後機械の要求に対して今を話したかをタイプして教えてやる。その間に機械識別に必要なパラメータを計算し記憶している。各ごとに区切って発音しこの手続をくりかえす。そうてできた語彙中の言葉をその人が話してやるとそ

から出したパラメータと記憶したパラメータより認識に必要なある数値を出して判定し、答を出すか、不明の場合は再び問合せを出すかする。1語の識別に約1.5秒かかり、一度に83語記憶できる。こうしてほぼ100%近い認知が得られるという。なお、波器は18個から適当に隣合うものを平均して9個くらいにしてもよい成績を上げている。女性の方が識別はよい。

他にドイツ語で null から zehn まで発音し、それを英語でプリントさせることや、発音者が機械の覚えている人か否か識別させたり、0から9までの十進数値、'plus', 'minus', 'times', 'bracket' の組合せで四則演算をいえば 'equals' の声で答を出すという実験、また話す人が違った場合に機械中の判定パラメータをその人に適合するように変更するプログラムもテストもされている。

この方法では、各単語を覚えこませねばならないし個差も大きいので実用の音声タイプにはほど遠いがなかなか楽しそうな実験である。

## 7. 大約した走査処理で命題論理の問題をとく新型計算機

C. Cherry & P.K.T. Vaswani: A New Type of Computer for Problems in Propositional Logic, with greatly Reduced Scanning Procedures. [Information and Control 4, 1961, p. 155].

$n$  箇の変数でかかれた沢山の命題が成り立つような変数の論理値を知るために全数検査すると、全ての命題が成り立つかどうかという検査を  $2^n$  回くり返さなければならぬ。そこで、ある変数論理値の組がいくつかの命題を成立たせることを知って、検査回数をへらそうという試みが述べられている。

たとえば、時間表作成などのように、多くの変数が参加して数少ない解を得る問題は実際に多くみられるが、多変数論理を2値問題に帰すことは、案外面倒な手続きを踏まなければならぬきらいがある。

この論文が工夫しているのは、多変数の論理値の組を  $n$  桁の2進数で表すときの、変数の並ぶ順序である。変数を並べる順序の決め方と、どの命題から順に検査を進めると手続きを簡単にすませることができるかという点については、一般的な方法はないが、統計的な結論としては、次のことがあげられる。

1. 命題は変数の少ないものから、少しずつ新しい変数が増えるように並べる。

2. 命題の論理的形式の似つかない特殊のものは後に並べる。

3. 先に並べられた命題に表れた変数を優先的に先に並べる。

次に、検査を進めるには、2進数の小さいものから順に行なうことにする。したがって、もし数少ない変数からなっている命題が、ある2進数に対して成り立たなければ、その変数に対応する上位の桁の部分に1が加わるまで、下位の桁のいかにかわらず検査を省略することができる。その命題がある2進数に対して成り立ったときは、上位の桁の部分に1が加わるまで、この命題を検査する必要はない。

こうして、2進数カウンタの任意の桁に、各命題別的一致回路からの出力を加えることにより、検査回数をへらすのである。なお、全数検査に対してどのくらい回数がかかるかという点について一般的な説はないが、 $n$  を16とすると約1/100になったという。(川合英俊)

## 8. リスト構造の操作のためのデジタル計算機のシステム上の要件に関するノート

Herbest Gelernter: A Note on the System Requirements of a Digital Computer for the List Structures [IRE Trans. EC-10 No. 3, Sept. 1961 pp. 484-489]

Newell-Shaw-Shimmon の associative list memory は non-numerical な複雑なデータの処理に有効な技術を提供するが、計算機速度と能率の低下の弱点を伴う。これを補うため普通の計算機の hardware に多少の変更を加えて高能率なリスト・プロセスを行なうことを示唆している(7090に関する具体例を附録で述べている)。

その第1は間接番地指定の一般化。間接番地指定のプロセスは任意の深さ継続することを許し、1語の decrement 部と Address 部が対照的に取扱われていずれも次の実効番地となり得る。そしてこのプログラムが間接番地の連鎖の中の仲介レジスタの内容で済まらなくてはならず命令で完全に規定されるようにする。7090級の計算機ではこれだけでリスト・プロセス能率を倍加できよう。

第2に実効番地の探索。長い連鎖の終端の探索はリスト操作には便利であり、特に list element が1語以上にわたる時には必要となる。理想的には effective address register (EAR) を設ける。命令の2ビット

を EAR 用に割当て、i) 実効番地を指定の EAR に格納する。ii) EAR の内容を命令の番地に加えるかを指示する。7090 では EAR として特定の index register を用い、特殊命令で指定する。命令の 1 ビットを EAR 用とし、上述の i) の目的に使用する。ii) は普通のインデックス命令で行なわせる。

第 3 Field Logic. list element の分割がきまればその個々の sub field に対して論理または演算操作が行なえればよい。

第 4 に List search の操作を金物にもたせ能率向上をはかる。操作は情報を有する list element が得られたとき、または link field に終記号が現れたとき、終りとする。プログラムミスまたは機械エラーでリスト内の巡回が起こるのを防ぐため、計数がある限度を越えたら“list check”状態とすることが必要である。

第 5 にリストをコアとテープの間で移動する場合、リスト名称(番地)の変更を行なう必要がある。このためかなり多くの計算が必要であり、リストの出し入れを計算と同時に進めるには主計算機とほとんど同じ論理操作を行なえる buffer computer を要するであろう。(中村 彰)

### 9. 多相併合分類——進んだ一方法

R.L. Gilstad: Polyphase Merge Sorting——an Advanced Technique [Proc. EJCC, Dec. 1960, pp. 143~148]

磁気テープに適した分類の一方法を示している。テープの分類には普通併合法 (merge sorting) が用いられる。この方法も細部においては併合の手法を用いるが、その適用法を改良したのでずっと分類の能率が高められた。テープ装置 4 台を用いる併合分類は普通テープ 2 本を入力として併合した結果を、他の 2 本のテープに書くという操作を繰返すものであるが、ここに示された方法では第 1 表に例示したようになる。表中の数字は各テープ上の連糸の数であり各段は処理の段階を示している。最後に全体が一つの連糸になれば分類が完了したことになる。連糸は 3 本のテープに分配し、これを併合して残りの 1 本に出力する。まず A, B, C から連糸を一つずつとって来て併合し、D に出力することを 13 回繰返すとテープ A が空きになる。この時 B, C にはそれぞれ連糸が 7, 11 だけ残っていることになる。この状態が次の段階では B, C, D を入力テープとして併合した結果を A に出力すると

第 1 表 多相分類

| テープ A | テープ B | テープ C | テープ D |
|-------|-------|-------|-------|
| 13    | 20    | 24    | —     |
| —     | 7     | 11    | 13    |
| 7     | —     | 4     | 6     |
| 3     | 4     | —     | 2     |
| 1     | 2     | 2     | —     |
| —     | 1     | 1     | 1     |
| 1     | —     | —     | —     |

第 2 表 分類の能率

| テープ台数 | 普通の併合法 | カスケード分類 | 多相分類 |
|-------|--------|---------|------|
| 3     | 1.5    | 1.61    | 1.80 |
| 4     | 2      | 2.30    | 2.79 |
| 5     | 2.5    | 2.94    | 3.44 |
| 6     | 3      | 3.62    | 3.86 |

いう操作を繰返す。

分類法の能率は、分類されるべきファイルを全部むごとに連糸の数が何分の一になるかということである。第 2 表は 3~6 台のテープ装置に対してこの能率を示したものである。この中のカスケード分類というものは多相分類法の原形となったもので、多相分類の方が能率は高いが逆読みのできるテープでは効な方法である。本文ではこの分類法についても詳しく述べられている。(石井 治)

### 10. 冗長度を用いることによる電子計算機の信頼度の改善

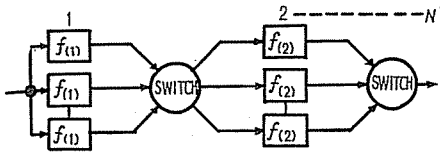
W.G. Brown, J. Tierney, R. Wasserman: Improvement of Electronic-Computer Reliability [IRE Trans., EC-10, No. 3, Sept. 1961, pp. 4~416]

複雑で大きなデジタル方式ではその方式信頼度問題になる。よい方式信頼度をうるためにはもちろん個々の構成素子の信頼度を上げることも必要ではあるが、これだけでは限度があり、本質的には冗長な素子を適正に附加して冗長回路構成にすることがのぞましい。本論文ではこのような目的で種々の冗長回路構ならびにそれらの信頼度についての検討が行なわれている。

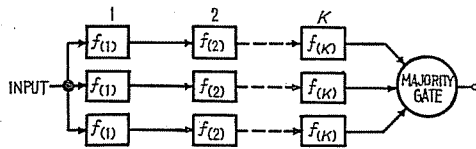
まず考えられる手段は第 1 図に示すように同じ素子を複数個 (=M) 並列において構成するもので、出スイッチに正しい出力を判別して取出す機能を仮定すれば、このような合成素子 N 個からなる方式の信頼度は  $[1-(1-P)^M]^N$  (P は 1 個の素子の信頼度) になって M を増せばいくらかでも 1 に近づけうる。実

上は出力スイッチの構成法、信頼度を考えなくてはならない。

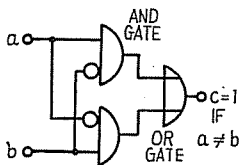
出力ゲートとしては多数決ゲートを考えその信頼度を  $P^L (0 \leq L \leq \infty)$  とし、 $M=3$  として  $N$  個の素子からなる方式の信頼度を考えるとき、これを最大ならしめる多数決ゲートの配置を見出すため、第2図のよ



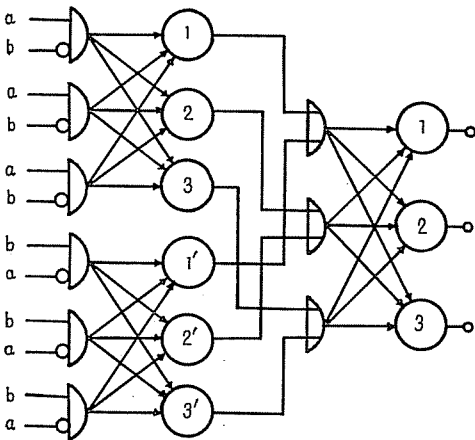
第1図



第2図



第3図 (a)

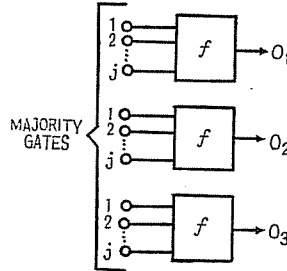


第3図 (b)

うな回路  $N/K$  個を考える。方式信頼度を  $R_2$  とすれば  $R_2 = [P^{(K+L)} (3-P^K)]^{N/K}$  で、 $R_2$  を最大にする

$K$  について、 $[R_2]^{N/K}$  が  $P$  の関数として示される。つぎに考えられる方法は多数決ゲートを並置して信頼度を上げることで、たとえば第3図 (a) のビット比較器を同図 (b) のように構成する。

この回路は右の三つの OR ゲートの入力に多数決ゲートがある回路構成と考えられ、この場合を一般的に



第4図

取扱うため第4図のように入力線に多数決ゲートがある配置を考える。各素子の入力数を  $j (=一定)$  とし、このような素子  $K$  個から構成される回路の  $N/K$  個から方式ができあがっているものとし、一つの回路への全入力線数  $i$  を計算するのに適当なパラメータ  $S$  を導入すれば、前の計算と全く同様にして、このような方式の信頼度をもっとも大きくするような  $K$  をきめることができる。

さらに素子信頼度  $P$  がきわめて1に近いときの各種の冗長回路構成に対する信頼度の比較を示す図表ならびに出力線につけられた三重多数決ゲートの信頼度について評価が行なわれている。(別所照彦)

### 11. データ処理に2進法計算機を用いること

G.H. Redmond, D.E. Mulvihill: The Use of a Binary Computer for Data Procening [Proc. EJC-C, 1960, pp. 149~152]

事務処理には2進法計算機械は向かないというのが今までの通念であり、いろいろ議論されているが、これは著者の一人がいるクライスラー社での使用経験例である。ここには IBM 7090, 709 各1台が主に事務処理用として設置され、近く H-800 と4台の 1401 が入れられるという。主な仕事として、隔月に 17,000 件の売買契約 (Vendor releasing), 週ごとの 65,000 人の従業員の時間給計算, 毎日 20,000 件の生産報告書作製, 毎月 100,000 の保険請求や支払等を行なってい

る。そしてクライスラー社では二進法の機械をうまく使って極めて能率よく事務処理が行なわれているとのことである。

二進法の機械を用いるのに最も大切なことは首尾一貫して二進法的に考えることで、中途半端に十進で考えたりしないことである。機械にとって外部のものである磁気テープはもちろん、カードについても二進法的に考えて利用することにより非常に密な情報が能率よく処理できる。機械内部の処理は二進法の方が種々の点ですぐれており、十進法で簡単にできないようなプログラムも可能である。一つの顕著な例としては、もと帳が十進法のものでは IBM 709 で7時間かかったある製表作業が二進法を用いて可変語長の表をもとにするようにしたため 65 分ですむようになった。また著者は、十進法の変語長の機械といっても二進的に見れば6ビットの定語長であって、709 や7090 の方はもっと語長に柔軟性がある。

次にプログラマーについていえば、はじめに二進法で教育された方が十進法にもすぐ適応できるが、逆は必ずしもそうでない。そして、習熟の度合ははじめ時間がかかるが、効率のよいプログラムができるようになる。またこのプログラマーはほとんど事務組織向きで、特に数学的背景を必要としていない。

著者ははじめ十進法との優劣を論ずるつもりはないといっているが、結局二進法が徹底してよいといっているようだ。コンパイラなどもあまり重視していないようだし、名人芸的な考えが強いが、事務計算には十進法でなくてはならぬという迷信の持主は特に一読の必要があろう。なおオペレーションズリサーチへの利用についてもべている。(高田 勝)

12. B-5000 システムの設計

W. Lonergan and P. King: Design of the B 5000 System [Datamation Vol. 7, May 1961, pp. 28~32]

従来の“金物から考える設計”と異って、B-5000 の設計はハードウェアとソフトウェア全体を総合する立場からなされた。設計の基本目標は、まず予備の処理も含めた全計算時間の短縮におかれ、次いでシステムの組みかえ、プログラムの変更が容易になされることが目指されている。そのために、機械語へのコンパイル速度の向上、システムを組みかえたばあいに再プログラミングが容易になされること、などが具体的に配慮されている。全システムに電話交換機のクロスバ

・スイッチを利用して独特のモジュール化に成功している。多くの仕事を最大限の能率で処理するために master control program とよばれる監視ルーチンがあって、種々の場合これが割りこみを起こす。語は48ビット定長と特殊なデータ操作のための可変長との二つの型が許される。定長型の場合、数の表示は第1図のとおりである。一演算命令は12ビットで綴(syllable)とよばれ、二つの演算レジスタ A, B に働いて結果を B におく番地部分のない演算命令や、各種の転送命令等が含まれる。A, B および番地レジスタ S に支配される穴式記憶装置の組はスタックとよばれ、演算と中間結果の処理にあてられている。実際には、計算したい数式たとえば  $P \times (Q - R)$  を、Polish notation とよばれている標準形  $PQR - \times$  . になおしてから、第1表のようにして計算されるのである。(表中の P, Q 等は P, Q をメモリからとりだしてスタックにおく、“綴”(転送命令)をあらわす)なお A, B はそれぞれ空席かどうかを示すインジケータの一つづつもっている。

|   |    |          |    |           |
|---|----|----------|----|-----------|
| F | SE | 指数部分 (6) | SI | 整数部分 (39) |
|---|----|----------|----|-----------|

F: Flag (1ビット)  
SE, SI: 符号部分, 各1ビット  
括弧内はビット数, 指数の底は8である。

第1図

第1表

| 実行される綴 | 実行後のレジスタの内容 |        |     |     |
|--------|-------------|--------|-----|-----|
|        | A           | B      | S   | 101 |
| P      | P           | 空 席    | 100 | -   |
| Q      | Q           | P      | 100 | -   |
| かきこみ   | 空 席         | Q      | 101 | P   |
| R 実行   | R           | Q      | 101 | P   |
| -      | 空 席         | Q-R    | 101 | P   |
| よみだし   | Q-R         | P      | 100 | -   |
| x 実行   | 空 席         | P(Q-R) | 100 | -   |

S の初期値を仮に 100 とした

プログラムおよびデータの場所割付、場所変更を容易にするためにプログラム参照表 (PRT) が用意されている。サブルーチンやデータの起点、データのサイズ等はここに記録されていて、間接によびだしを行なうので変更のプログラムへの影響は PRT のその部分だけに止まる。この方法は多重処理をしようとするプログラマーには著しい助けとなるものである。

(野崎昭弘)

### 13. ストアド・ロジック計算機: R-W の AN/UYK-1

H.M. Searne and R.E. Porter: A Stored Logic Computer (R-W's AN/UYK-1) [Datamation, May 1961, pp. 33~36]

計算機にかける問題の種類によって、それぞれ最適の命令方式というものが存在する。命令方式の定まった機械を用いて、好みの命令形態を採用しようとするインタプリティブの手法を用いざるを得ない。ところが、直接機械語を使うのに比して時間が長くなる。速度をあまりおとすことなく、しかも好みの命令体系を使えるようにしたいという要求に答えて、ストアド・ロジックという考え方が生じてきた。機械の動作中、もっとも単純な仕事をするマイクロ指令を組み合わせて命令を作れるが、この組み合わせ法を外部から自由に変えられればこの目的を達し得る。

Ramo-Woolidge の AN/UYK-1 という計算機はこの線に沿って製作された機械である。この機械ではマイクロ指令の組み合わせを半固定記憶で可変にすることより、さらに進めて、この組み合わせを使用者が読み込めるようにし、プログラムの途中でも、記憶装置内の数語を変更すると命令体系の変更が可能ないようにしてある。

また、大抵の命令は“logand”と称する基本操作の組み合わせサブルーチンの“logram”であり、ルーチンの遂行は、この“logram”を移り歩くことによつてできるので、インタプリティブと同じ効果を、速度の低下をきたすことなく行える。(伊吹公夫)

### 14. ソ連の電子計算機

A.И.Китов и Н.А.Криницкий: (Электронные Цифровые Машины и Программирование, ГИФМЛ, Москва, 1961 より抄録)

1. ベスム (БЭСМ) ソ連が自分の考えで独自に開発したと称する大形機で、名称は高速電子計算機の頭文字をひろって付けられたのである。この機械はソ連科学アカデミーにおいて1953年エス・エー・レビエルフの指導のもとにつくられ、彼は社会主義アカデミー労働英雄の称号を得た。

ベスムは3アドレス方式の命令を、1秒間に1万回実行する。機械は二進法を採つていて、43桁をもつが、二進化十進数としても利用でき、そのときは9桁になる。作動メモリーには磁心を使って2,048語

の容量をもつ。

ベスムは外部メモリーとして4基の磁気テープをもっている。各基は3万語の容量をもつから、全体で12万語の容量になる。外部メモリーとの情報交換は1秒当り4,000語の速度でなされる。

この他ベスムは中間メモリーに1秒あたり800語の速さで動作する、5,120語の容量をもつ磁気ドラムを利用している。

データを機械に入れるには、さん孔紙テープと光電式テープリーダを使う。この速さは1秒当り20語である。

計算結果は磁気テープに取られる。そして特殊な光学的印刷機を使って、このテープの内容を十進数でテープ上に作表する。この速さは200語/秒である。この他に電磁的印刷機を持っているが、この速さは1.5語/秒にすぎず、出力データが少ないときだけこれを利用する。

ベスムは約5,000本の真空管を使っていて、全体を一つのスタンドに組んでいる。ただし制御盤だけは別になっている。本体の方は真空管2本および4本をそれぞれふくむトリガ(フリップ・フロップ)、ゲート、アンプなどの標準ユニットを使って構成されている。長期間ベスムを使った経験から、時間にして稼働72%、故障8%、保守20%の割合が示されている。

2. ストレラ(矢) ストレラは同じく労働英雄称号の与えられたユー・ヤー・バジレフスキーの指導下に1953年に作られた。ソ連の科学研究の種々の方面に使われている大形計算機である。

ストレラはII形に組立てられている。すなわち左側に外部メモリーといくつかの補助構造、中央部に作動メモリーと制御部、右側に算術部が据えられている。この外部の中央にデータ入出力テーブルが置かれている。

ストレラは3アドレス方式で1秒2,000から3,000回の命令を実行する。作動メモリーにはウィリアムス管を43個利用して、容量は2,048語、1語は二進43ビットよりなり、1語の各桁に各1個のメモリー管が対応する。この機械は浮動小数点方式の並列機で十進数にして $10^{-19}$ から $10^{+19}$ の値をとらせうる。

外部メモリーには幅の広い125mmの磁気テープを使っていて、長さは1巻で100mある。この全容量は20万語ある。データの出し入れはさん孔カードを通じて行なう。このカードを通じて、結果は十進数の形で三つの写しをとって紙面に印刷される。



ストレラは約 6,000 本の真空管と 1 万個の半導体ダイオードを使っている。所要電力は 150 kW で、このうち本体に 75 kW が使われ、25 kW が通風に、50 kW が冷却用に使われている。

ストレラは 1 日平均 15~18 時間有効に利用されている。

3. ウラル 1954年ペー・イー・ラムイエフ技師指導のもとにつくられた科学用小形計算機である(抄訳者注: 現在ではこの装置をウラル-1 とよび、記憶容量を 2 倍にしたウラル-2 も利用されている)。

この機械は工場生産品として流されている。二進方式の機械で 1 語 18 ビットよりなる。しかしこの 2 倍を 1 語として 9 桁の十進方式の機械としても使える。1 アドレス方式を採り、1 秒間に 100 の命令を実行する。メモリーは 6,000 rpm の磁気ドラムで、容量は 1,024 語、平均アクセスは 10 ミリ秒である。

外部メモリーとして 35 mm 幅の磁気テープをもち、これの容量は 4 万語である。このテープ速度は 1 秒あたり 2 m、したがって 1 分間に 4,500 語の書き込み、もしくは読取りができる。

データを入れるには幅 35 mm のさん孔紙テープと光電式読取器を使う。出力は作動メモリーから 1 秒あたり 100 語の割合で十進数の形でテープに印刷されて出る。

ウラルは 800 本の真空管と 3,000 個の半導体ダイオードを使っている。消費電力は 8 kW で、全体が一つのスタンドに組まれている。床面積は 60 m<sup>2</sup> いる。入力さん孔テープは機械の電子部と無関係に作られ、別室を使うこともできる。

4. M-3 これはソ連科学アカデミー通信会員イー・エス・ブルーク指導のもとにつくられた。この機械の特長は小容積、取扱簡便、低価格にもかかわらず、広範囲の数学的処理能力をもっているところである。

1 語は二進 31 ビットと符号からなる。固定小数点方式の非同期 2 アドレス並列機で、メモリーは、2,048 語の磁気ドラムを使っている、その回転数は、3,000 rpm である。これで 1 秒間に 30 の算術演算をする。磁心メモリーに切換えると 1 秒間 1,500 の演算をさせる可能性をもっている。データの出し入れには標準テレタイプ装置を利用しているが、高速光電読取器も備えている。この速さは 1 秒あたり 300 語である。M-3 は 4 則演算の他に一連の論理および補助演算をする。

M-3 は非同期機であるため調整点検が容易である。

欠点は外部メモリーに磁気テープをもたぬことである。

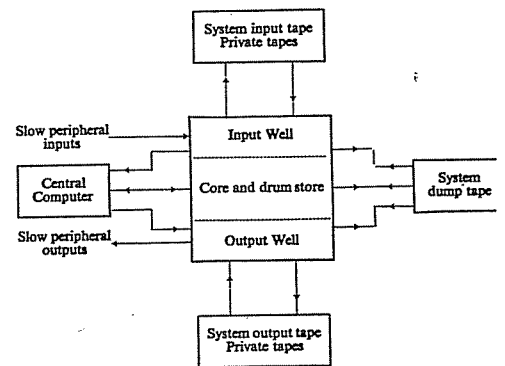
装置の消費電力は 10 kW、所要床面積は 30~40 m<sup>2</sup> である。使用真空管は 770 本、その他硫化ダイオード 3,000 個を利用している。全体は三つのスタンドに組まれている。(安達彦一)

## 15. マンチェスタ大学 Atlas の動作方式

### (第 1 部 内部の構成)

T. Kilburn, D.J. Howarth, R.B. Payne and F.H. Sumner: The Manchester University Atlas Operating System, Part I: Internal Organization [Computer Journal, Vol. 4, 1961, pp. 222~225]

Atlas 計算機の入出力方式について、主としてその磁心と磁気ドラムにまたがる主記憶装置をバッファを用いる方式を述べている。Atlas の主記憶装置はページ式アドレス方式と呼ばれる独特のもので、記憶情報は磁気ドラムに本籍を有し、その 512 語を 1 ブロックとした 32 ブロックの写しを磁心記憶装置にもっててその中でプログラムを実行することにより、磁心記憶装置の容量が磁気ドラムの容量だけあるのと同じに使えるものである。



第 1 図

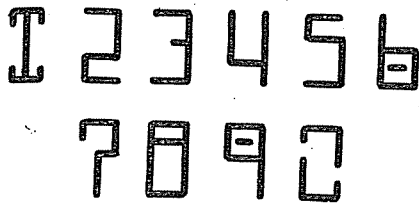
入出力方式のブロック図を第 1 図に示す。主記憶装置の一部を入出力のバッファに使い(これを I/O well と称している)、低速度の入力装置から与えられる報が計算機にとって必要なだけこの中に作られて計算に用い、また種々の速さで作り出される計算機からの出力情報を一時記憶して出力装置に与えるものがある。これらの I/O well の容量はそれぞれ固有の気テープによってバック・アップされており、主記憶装置内の I/O well の容量を越えた場合には自動的

これらのテープに情報が移される。主計算機は多重のプログラムを切り替えて、それらの入出力および計算を最も能率よく実行するようになっており、切替えの際種々の情報を保持するために system dump tape が用いられる。

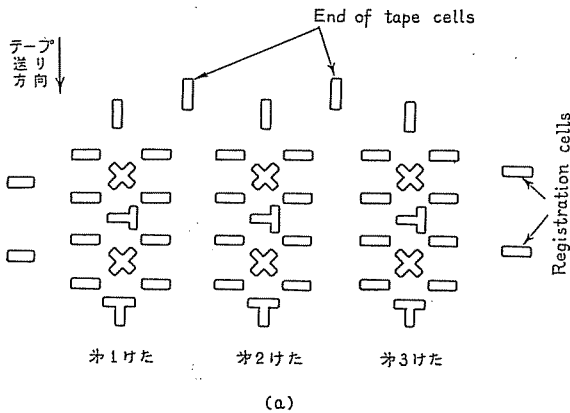
以上に挙げた種々の操作は、主記憶装置のページ式アドレス方式も含めてすべてが、固定記憶装置と呼ばれる高速度の読み出し一方の記憶装置に収容されたサブルーチンによって実行される。(石井 治)

16. 高速度数字よみとり機

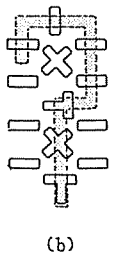
G. Fongere, J. Preston and R. Farnsworth: A Fast Numeral Reading Machine [Electronic Engineering Sept. 1961, pp. 562~565]



第1図



第2図 セルの配列



印刷してある数字をよみとって、これをデータ処理装置への入力しようとするものであって、数字は特殊なプラスチックテープに印刷してあるものを、十進数3桁を同時によみとるようになっている。プラスチック

テープは不透明な緑色をしているが、これはうすい特殊な紙の芯に、一方はポリエチレンの層を、もう一方は、緑にそめたニトロセルローズのラッカーの層をかぶせたものである。この面が活字で打たれると、ラッカー内の細胞状の空気泡がつぶれて、そこが透明になり、活字があたらなかった面に対して1:30から1:50くらいの透過率をもつようになる。これに光をあてて、その下に太陽電池の素子をならべ、その電池のオン・オフにより、数字を認識するのである。テープ上の数字の位置や、読み取り素子上のテープの位置などが、多少ずれてもよいように第1図のような四角ばった字にしてある。そしてこれをうける電池の素子は、第2図(a)のようになっており、それに数字がのると、(b)図のようになって、13個の素子のくみあわせて、10個の数字を認識するのである。よって  $2^{13} = 8,192$  であるから、冗長度は十分であり、文字の変形として部分的に脱落したり、余分のものが加わった場合でもある程度読取りができる。現在のものは1秒間150字のよみとり速度で0.01パーセント以下の誤字率で十分動作し、将来もっと高速になしうる可能性がある。回路は主としてトランジスタで構成され太陽電池からの出力は、NOR回路によって、識別用のマトリクスがくまれており、最後の出力回路では、silicon controlled rectifierによりIBMのキイパンチを駆動する。(伊藤俊彦)

17. 高速印字作図機

F.T. Innes: High Speed Printer and Plotter [Proc. E.J.C. C. 1960 pp. 153~160]

Model 1063 High Speed Printer and Plotter という機械を紹介したものである。これは、始め IBM 7090 用の印字機として開発したものに、一寸した工夫を付け加えて作図機を兼ねさせたものである。

制御部は印字部と作図部からなり、随時切りかえて文字入りの図を書くことができるようになっている。出力部は Hogan Laboratories Model HPP-110 という多針記録機で、縦に 5 in/s または 10 in/s の速さで走る記録紙の幅 11 in に対して、横に 1,024 本の針金が並び、適当なものを紙の上に突き立てて印字作図する。記録部は 150 in/s, 200 ビット/in の磁気テープから 71 点または 1 行分つまり 100 字分の情報を読み、記録する。

作図のとき、その10ビットは解読されて図上の1点を与えるが10点を同時に、また20 $\mu$ sごとに針金を駆動でき、記録紙上での最短点間隔は0.2ミルとなる。1点の大きさは径0.01inで、その密度は16点/sまで小さくすることができる。

回路カードは、針金5本分を1枚に組んであり、情報を処理して針金のそれぞれに対応する出力増幅器を駆動するのに10 $\mu$ sを要する。印字のとき、一つの字は、回路カード2枚のうち針金7本分が字数カウンタで選択され、縦方向に11回駆動されてできる7 $\times$ 11のマトリックスによって印字される。縦方向には100字分同時に駆動され、跡カウンタで数えられる。字発生器は56種の字をつくることができ、印字の速度は4,000行/分である。

なお、3万ftの記録紙を印刷したくらは針金の磨耗が悪くなることはなく、保守は非常に容易である。部品はトランジスタが、9,000箇、ダイオード1,200箇、その他の要素約40,000箇を使用しているが、故障は300時間の運転でトランジスタ1箇をとりかえた例があるだけである。(川合英俊)

## 18. Associative Memory の概念を使った分類装置

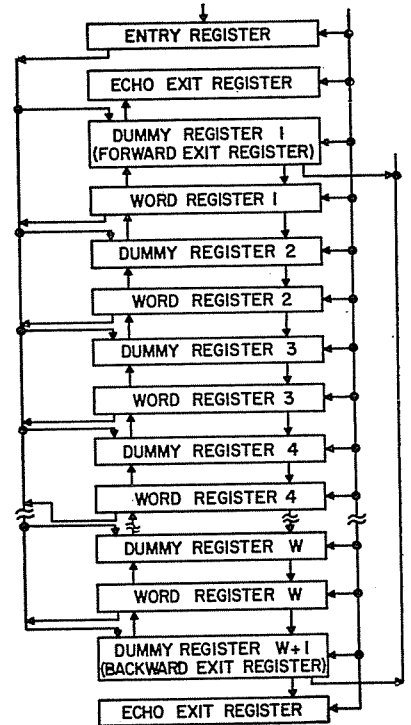
Robert, R. Seeber, Jr.: Associative Selfsorting Memory. [Proc. E.J.C.C. Dec. 1960, pp. 179~187]

計算機で大量のデータを分類しようとする時、プログラムが長くなって困ることが多い。この論文は、この問題を金物で解決するためのアイデアを述べたものである。

第1図が Self-Sorting Memory (SSR) のブロック図であって、データを大きいものから順にならべかえる分類は次のようにして行なわれる。

1. 分類さるべき語が Entry Register (ER)に入る。
2. この ER 中の語は、以下に述べると同じ手続きですでに大きさの順に並んでいる Word Register (WR) 中に入っているすべての語と同時に比較され、それらの各々との大小関係がわかる。
3. ER 中の語は、この大小関係をみださないようにして Dummy Register (DR) に入る。同時にこの DR より上のすべての WR 中の語はそれに対応する DR に移る。
4. 新しい語が ER に入り、DR 中の語は一つ上位の WR に移る。

5. この新しい語について、1から4までの手続きをくり返す。



第1図 メモリーシステム

6. SSR から溢れ出た語は、DR 1 を介して記憶装置に送られる。この時 ER 中の語が WR 1 すべての語より小さければ最下位の DR に入り、新しい連糸が始まる。

7. SSR 中の語は上から下にうごくことも可能である。

次に筆者は、SSR のように沢山の論理回路が的に用いられている装置にはクライオトロンが適していることを主張し、クライオトロン・フリップロップを記憶素子とした SSR の構成について触れている。(渡辺定)

## 19. 起伝導素子による計算機

Thomas Maguire: Superconductive Computation—Commonplace in Ten Years? [Electro Nov. 24, 1961, pp. 45~51]

Massachusetts 工科大学で行なわれた夏季セミナーでの超伝導研究会の結論によると、全超伝導導

よる計算機が10年以内に市場に現われるだろうという。

R.C.A. の J.A. Rajchman によると、超伝導装置には液体ヘリウムが必要なので、イニシャルコストは非常に高くなるが、エレメントの数が $10^5$ 以上では他の素子よりも経済的になり、それから先のエレメントの増大に伴う経費の増加はずっとゆるやかである。

また高速度領域で非常に大容量のものができることが大きい利点である。

G.E. の V.L. Newhouse によると、1立方フィートに1,000万~2,000万のクライオトロンを入れることができるようになるだろう。

現在のクライオトロンの速さの限界はそれを駆動するトランジスタの速度で押さえられているが、これをトンネルダイオードを使うことによってもっと上げることができ、さらにクライオーザを使うことも考えられる。クライオーザは超伝導体ではなく、液体ヘリウム内で使う一種の半導体であるが、これをクライオトロンを駆動するのに使う。M.I.T. の Lincoln 研究所の A.L. McWhorter によれば10 n sec 以下の速度で働かせることができるという。

超伝導素子は非常に魅力的なものであるが、そこには非常に多くの問題があることも事実である。I.B.M. 研究所の N. Rochester によると、256ビットの記憶装置に2,435のクライオトロンが要り、リセット用にさらに1,118で合計3,553箇が必要である。しかし所要電力は24 mW である。記憶装置のサイクル時間は10~20 ns で、6ビット幅の線を使って4 in 四方の層内に入れることができるという。

なお、本文には超伝導素子の基本的な原理が詳述されている。(海老原浩一)

## 20. サイクル時間 2.18 $\mu$ s, 容量メガビットの磁心蓄積ユニット

C. A. Allen, G. D. Bructe, E. D. Councill:  
A 2.18-Microsecond Megabit Core Storage Unit  
[IRE. Trans. EC-10 No. 2, June 1961, 233/237 pp. 233~237]

IBM STRETCH 計算機の高速記憶に用いられる IBM 7302 磁心蓄積ユニットが説明されている。これはトロイダル型フェライト磁心を3次元に配列し、容量は各72ビットを持つ16,384語(総容量1,179,648ビット、サイクル時間2.18  $\mu$ s. 接近時間1  $\mu$ s の一致電流型の無作為接近蓄積装置である。論理、読取お

びよ駆動には傾斜ベース・トランジスタを用いている。

磁心の特性は、(1)寸法30×50×12ミル(0.76×1.3×0.3 mm) (2)選択電流1.17 A,  $T_r=0.1 \mu$ s (3)デルタ雑音1.0 mV/pair (4)スイッチ時間0.43  $\mu$ s (5)最小「1」=110 mV (6)最大「0」=33 mV で、各記憶平面は128×128のマトリクスに組まれた16,384個の磁心からなっていて、平面の大きさは約20インチ(25.4 cm)平方である。

四つの別々のセンス巻線と禁止巻線がインターロックするように巻かれており、特にセンス巻線は一般に用いられているような対角的でなく四角形に分割して雑音の減少化を計り、これによって50%も半選択雑音が減少している。

大容量による長いXY選択線(約72フィート=22 m)は電磁的、静電的結合により雑音を生ずるおそれがあるが、交叉により小数の平面を除きどのスタックでも二つの線が並ばぬようにされており、このほか種々の方法で接近を避け漏話を駆動電流の10%以下にしている。

各スイッチ磁心は42 mW の電力を消費し、これによる温度上昇が磁心の特性を変えるから全体をトランス油に漬して熱放散を計り空冷のものよりコンパクトにしている。この場合の各線の特性インピーダンスと遅延時間は以下のようである。(括弧内に空中の値を記す)

|      |                              |                 |
|------|------------------------------|-----------------|
| X, Y | 100 $\Omega$ (150 $\Omega$ ) | 220 ns (150 ns) |
| 禁止   | 90 $\Omega$ (120 $\Omega$ )  | 80 ns (60 ns)   |
| センス  | 130 $\Omega$ (185 $\Omega$ ) | 65 ns (52 ns)   |

磁心の駆動として半選択に0.585 A を要し、かつX, Y線の特性インピーダンスは100  $\Omega$  だからトランジスタの破壊電圧の高いものが必要となるのでload-sharingマトリクス・スイッチを用いている。これは駆動スイッチの巻線を16分割し、希望するものだけに1極性の全電流が集中し、それ以外は相殺し合うものである。

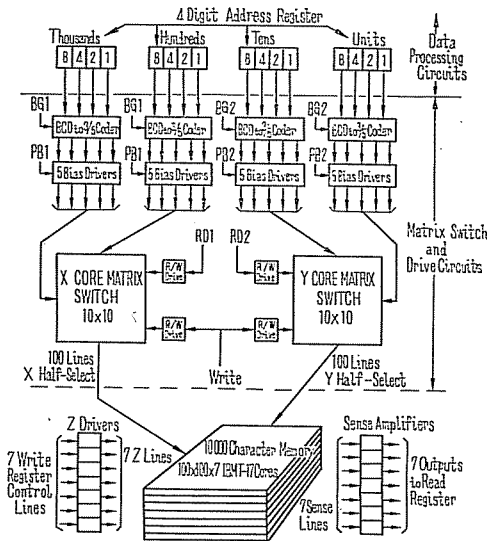
禁止線のタイミングもスタガーさせ、雑音の減少とサイクル時間の短縮を計っている。

センス線は前にも述べたように分割されて雑音を減ずるようにされているが、さらにセンス増幅器には普通のストローピングとクリップによる時間弁別と振幅弁別を行う以外に周波数弁別も並用して高周波雑音も減少させている。またセンス線のストローピングの時刻もスタガーさせて各記憶平面の磁心出力の尖頭時刻と一致するようにされている。(沢辺 弘)

### 21. 低廉な磁心記憶用マトリックススイッチおよび駆動方式

W.A.Christopherson: Matrix Switch and Drive System for a Low Cost Magnetic-Core Memory [IRE. Trans. Vol. EC-10, No. 2, June 1961, pp. 238~246]

機能を犠牲にすることなく磁心記憶装置の単純化と低廉化をおこなうことができた。記憶平面は IBM 7070, 1620 等に用いられたものと同じで、標準の電流一致方式を採用し、記憶容量はビット万語である。速度は読み書きサイクルに 13  $\mu$ s, 計算サイクルに 7  $\mu$ s あわせて 20  $\mu$ s である。単純化に役立ったのはマトリックススイッチと駆動回路の独特の設計にある。マトリックススイッチは 100 個の独立した出力のうちの 1 個を選択するのにわずかに 2 個の駆動回路を必要とするだけである。駆動回路には異例の 3 out of 5 の符号を用いている。記憶方式のブロック図を第 1 図に示す。



第 1 図 記憶方式のブロック図

読取時には 250~300 mA の半選択電流パルスが立上り時間 0.3  $\mu$ s で記憶磁心に送り込まれ、書込時には 1.2  $\mu$ s の立上り時間をもった電流パルスが逆方向に流れる。駆動電流の新しいタイミングの方法によって読取パルスは低電圧の電源と誘導負荷にもかかわらず 0.3  $\mu$ s の立上り時間を得ている。電流駆動回路はすべて比較的廉価な合金接合トランジスタを使流

用している。電源電圧を制御することによって駆動の温度補償がおこなわれ、その動作範囲は 10V (4C)~12V(10°C) である。全消費電力は最大 60W である。

特にマトリックスと駆動回路および符号化回路の作について詳細に解説し、マトリックススイッチに用いる磁心の巻線の設計をおこない、製作された本置とその電流波形の写真をしめしている。装置は 36 46x14 cm のシャーシに収められている。使用したもな部品はつぎのとおりである。

|           |       |
|-----------|-------|
| ダイオード     | 214 個 |
| トランジスタ    | 209 " |
| 抵抗        | 748 " |
| コンデンサ     | 71 "  |
| フィルタコンデンサ | 33 "  |
| パルストランス   | 14 "  |

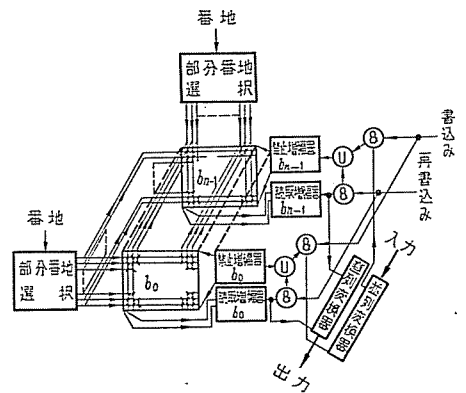
(楢山泰久)

### 22. 直列型マトリックス蓄積方式

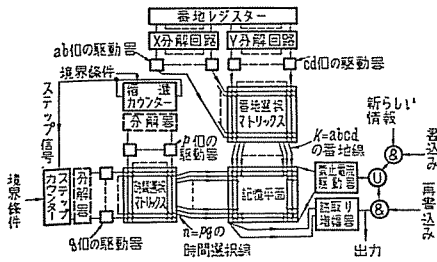
M. Lehman; Serial Matrix Storage System [IRE. Trans. EC-10, 2, June 1961, pp. 247~25

電流一致記憶駆動技術は通常並列型フェライトコ記憶で用いられているが、直並列型または完全な直列の記憶装置にも用いられる。直列計算機用に從の電流一致並列記憶装置を利用する方式を第 1 図に示す。

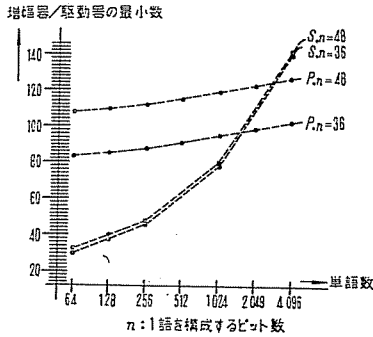
本論文で述べられている電流一致直列記憶方式は 2 図に示されているが、その特徴は記憶平面内で番信号電流と時間信号電流との一致によって記憶操作行なわしめる点である。第 1 図に示されているように、番地選択マトリックスは 1 個にまとめられて記



第 1 図



第 2 図



第 3 図

平面のY線の一つを選択する。相つづくビットの直列時間選択、すなわちX線を順次選択することは、計算

機のクロックパルスを利用して図示のように時間選択マトリクスで行なわれるが、これを制御するカウンタは“読み書きサイクル”のはじめで0である必要はないので、初条件と終条件とを適当にカウンタにセットすることで、1からnまでの任意の大きさのビットグループが直列的に利用できる。この非同期部分読出し特性はこの方式の特徴で計算機の柔軟性を非常に大きくする。

$K=abcd$  語で各語が  $n=pq$  ビットの容量の電流一致記憶で、並列、直列の場合の駆動装置数を比較すると、前者では  $a+b+c+d$  個のスイッチングコア駆動器とそれぞれ  $pq$  個の読取り増幅器と禁止電流駆動器とが要る。よって

$P=a+b+c+d+2pq$  (1) とおき、同様な算定を2回の方式について行なうと

$S=ab+cd+p+q+2$  (2) となる。語長36ビット、48ビットをパラメーターとし、横軸に単語の数、縦軸に  $PS$  の値をとったものが第3図に示されている。さらに各駆動線に通されているコアの数、半選択されたものの数が記憶容量の関数として表示されている。

その他、上にあげた本記憶方式の特徴にもとづく計算機使用上からみた種々の利点が説明されている。

(別所照彦)