

## マイクロプログラム用記憶装置†

滝沢 克彦†

## 1. はじめに

マイクロプログラム記憶装置に記憶される情報は論理設計の段階でマイクロプログラムによって設計、コーディングされ、計算機の製造段階でハードウェア的に（機械的）に書き込まれていたために初期の頃は固定記憶装置、ROM (Read Only Memory) あるいは ROS (Read Only Storage) と呼ばれていた。この記憶装置は write 動作を伴わないこと、主記憶装置の 2～4 倍の高速性が要求されること、高信頼性を要求されること、などの理由から当然のことながら主記憶装置とは少々異った Hardware Technology が適用されていた。

本稿ではマイクロプログラムを格納するハードウェアに焦点を絞り、(1) ROS に要求される特性は何か、(2) 現在使われている ROS はどのようなものがある、その特徴は何か、(3) 今後の ROS の動向はどうかという点について述べてみよう。

## 2. ROS に要求される基本的特性

(i) アクセスタイムおよびサイクルタイムの高速

性、ROS が使用される装置のマシンサイクルとの相対的な関係において高速性が要求される。マシンサイクル内に ROS のサイクルタイムが入っていれば、1つの演算ループ内に1つのマイクロ命令の実行が可能であり、このような ROS が入手可能であれば設計は大変やりやすくなる。そのような高速 ROS が入手できないときは多少強引であるが ROS を2つのバンクに分けて構成させ交互に半サイクルずらして読み出し、等価的にサイクルタイムを半分にする2バンク制御方式がとられるが、制御が複雑になることは避けられない。

一方アクセスタイムが速ければアドレス決定論理に十分な時間がとれるので設計上有利である。ただしここでいうアクセスタイムとは、ROS そのもののアクセスタイムと ROS が実装されているパネルから論理実装パネルまでの伝はん遅れを含んでいるので、この間の往復遅れ時間を含めてアクセスタイムを短縮するよう、種々の工夫がこらされている。CPU のマシンサイクルと ROS のサイクルタイムの関係を、IBM 360, 370 を実例にして表 I に示す。

(ii) 書き換え可能性を有すること

表 I CPU と ROS のサイクルタイム

MODEL	CPU-サイクル	MM サイクル	MM 語長	ROM サイクル	ROM 語数	ROM 語長
360-20	( $\mu$ s) 0.600	( $\mu$ s) 3.6	(bits) 8	( $\mu$ s) 0.625	(w) 4,096	60
25	0.900	0.900	16	0.900	16	16
30	1.000	2.000	8	1.000	8,064	50
40	0.625	2.000	16	0.625	4,096	56
50	0.500	2.000	32	0.500	2,816	88
65	0.200	0.800	64	0.200	2,816	100
85	0.080	0.96 (MM) 0.08 (BM)	144	0.080	2,048	108
370-158	0.115	1.035 (READ)	72	0.115	3,072	72
168	0.080	0.880 (READ)	72	0.080	2,560	108

† (株)日立製作所神奈川工場部品設計部

この特性は前述の固定記憶の概念とはいささか矛盾するものであるが、最近の設計技術の動向を見ると、この書き換え可能性 (Writability) に対する要求が次の3つの理由から強くなりつつあるように見える。

その第1は、計算機の開発段階においては、論理変更にもなうマイクロプログラムの変更があり、この場合ハードウェアに機械的に書き込まれた ROS ではその変更にかかる時間が却って不便であるが、電気的に書き換え可能なものがあれば大変便利である。2番目の要求は、ある計算機を特殊な用途に用いるとか、ユーザの仕様によっては標準的なマイクロプログラムに変更あるいは追加をする場合があり、この場合も ROS が Writable であれば大変便利である。

3番目はマイクロプログラム制御方式をとる計算機において、マイクロ命令による論理機能の自己診断 (マイクロ診断) があり、そのために書き換え可能性を有することは重要かつ必要な条件である。

すでに市場に出て使われている計算機の ROS はほとんどが固定式で書き換えは不可能なものが多いが、3.5世代以降の計算機には固定 ROS の他に書き換え可能な ROS を備えたものが多い。

しかしこの Writability は、現在のところあくまで計算機メーカーの便利さのためであり、ユーザマイクロプログラミングを目的としてははいない。

### (iii) 高信頼性でかつ安価なこと

ROS 内部のエラーは計算機の制御に大きな混乱をひきおこし、完全なシステムダウンをもたらす。今までの固定記憶、あるいは半固定記憶装置はこのような点も配慮して十分な信頼性を確保すべく、書き換え不能という不便さを承知の上で安全な機械的な書き込みを行なってきたともいえる。しかしかほど信頼度が高いといってもコストがあまり高くついてはメリットが半減する。

## 3. 現在使われている ROS の諸特性

今日まで使われている ROS、今後とも使われるであろうと思われる ROS の中から代表的なものを選び、その Technology の特徴と問題点をあげてみた。断っておくがその範囲は、処理装置あるいは周辺機器のマイクロプログラムを格納する ROS に限定する。

ROS のハードウェアは普通の内部記憶装置と同様一定の語数を持ち、各語とも必要なビット長を有する。語数はマイクロ命令数とサブルーチンのステップ数をカバーすることが必要であり、一方ビット長は、

論理の複雑さによって長くなったり、短くなったりする。すなわち大型機においては並列に何種類もの論理動作をするのでビット数が大きくなり 72~144 ビットにもなる。一方、中小型機では比較的単純な論理動作であるから 30~60 ビット程度のデプスで十分である。

マイクロ命令を実行することは、この ROS のアドレスを指定してその内容を読み出すことから始まる。

選択された語線はビット線との交点に配置された結合素子を経由してビット線の上にセンス信号を誘起させるわけであるが、固定記憶の場合にはこの結合の状態があらかじめ、幾何学的、あるいは機械的に定められており、これによって誘起される電流、電圧の振幅、極性が異なることを利用してこれを増幅し、“1”あるいは“0”の信号として出力レジスタにセットする。

ROS そのもののアクセスタイムとは ROS のアドレスレジスタにアドレス情報がセットされてから、出力レジスタにデータがセットされるまでの時間を定義し、さらにサイクルタイムとは読み出し信号の回復時間も考慮してこの ROS を繰り返す refer できる最短周期をいう。

ROS への情報書き込みは機械的な書き込み、電気的な書き込み等、いろいろな方法があるが、特に前者では非可逆な現象を用いているものが多いので人手の介入をさせた自動書き込みを行なって書き込みミスを避けている。

各種の ROS はこの結合素子に何をを使うかによって分類することもできるし、書き込み情報が固定であるか、Writable であるかによっても分類することができる。表 II に大まかな分類を示す。

### 3.1 誘導結合型 ROS

この ROS は 360/40 に使われて以来、数多くの計算機に使われてきたが、原理としては、図 1 に示すように語線がトロイダルコアを貫通するかしないかで、二次巻線としてのセンス線に信号があらわれるか、あらわれないかを利用する。

初期の装置では一次巻線、二次巻線ともディスクリートワイヤで配線する方法が取られたが、これはコアに線を通す作業が大変であり保守性もよくない。そこで最近使用されている変成型 ROS には、図 2 に示すように、複数体の語線を1枚のマイラーシート上に印刷配線によって作り、語線が磁心を貫通する場合は外側のパタンを、貫通しない場合は内側のパタンをパンチして切断することにより情報を書き込む方法がとられている。このようにしてできた flexible なシ-

表II ROSの機能による分類

書き込み方法		具体的なROSの例
書換え不能なもの 記憶マトリクスに直接機械的幾何学的な書き込みを行なうもの	L結合素子	変成器 ROS
	C結合素子	キャパシタ ROS
書換え可能なもの 磁気的な書き込み	R結合素子	抵抗 ROS
	マスクパターン	キャラクタジェネレータ, カスタム ROM コードコンバータ
	ヒューズ, 破壊(ダイオード)	PROM
情報保持板に書き込みしてマトリクスに重ねるもの		キャパシタ-ROS メタルカード ROS
書換え可能なもの 電氣的な書き込み	FAST READ SLOW WRITE	NDRO ワイヤメモリ 不揮発性 MOS メモリ
	Rサイクル =Wサイクル	バイポーラ IC-RAM

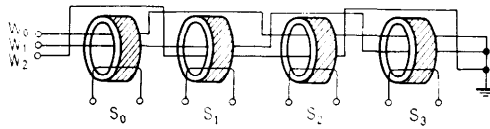


図1 変成器型 ROS の動作原理

トをワードシートと呼び、これを積層してあらかじめあけられたマス目の中央の孔に U コアを挿入し、2次巻線(センス線)を巻いた I コアを密着させると1つの ROS モジュールが形成される。

この ROS モジュールの容量は  
 語線=ワードシート枚数×ワード数/シート、  
 ビット数=UI コアの数

であらわされる。

このモジュールの容量を増すには積層するワードシート数を増してもよいが、漏洩インダクタンスが増すので、このサブモジュールを並列に並べて出力を OR する方法が取られている。

変成器形の ROS の特徴は構造が比較簡単な上磁路が閉じているので低駆動電流(50 mA~100 mA)で大きな出力(1 V~1.5 V)が得られることである。

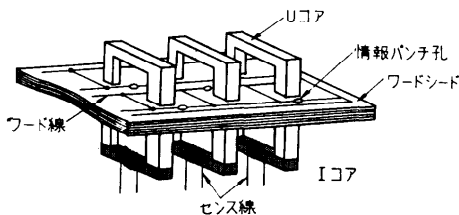


図2 変成器 ROS の構造

速度の点では UI コアのフライバック減衰特性が悪いためアクセスタイム 100 ns, サイクルタイム 200 ns が限界であろうと思われる。

情報の変更は情報孔明けを変更したワードシートをモジュールに入れかえてやることによって可能であるが、この場合モジュールの分解が必要であり、一般には容易でない。保守単位はこのモジュールと考えるべきであろう。容量、スピードからいっても、この変成器型 ROS は、中小型機の ROS として適している。

3.2 静電結合型 ROS

直交する語線とセンス線の交点に静電容量が存在するか、しないかによって情報の“1”, “0”を識別することを利用した ROS である。すなわち語線とセンス線はすべて一様に作っておき、この上に情報を書き込んだ Coupling Electrode を重ねることによって静電結合の有無を形成するタイプがあり、この分類の一例として、IBM 360/30 に使用されている(不平衡型) CARD-CAPACITOR-ROM(CCROS)がある。この場合、IBM 80 欄カード上に語線がプリント配線しており、この語線上、さん孔部分についている flag がパンチされているかいないかが、静電結合の“無”, “有”を示す。このカードをセンス基板上に重ねてアクセスタイム 750 ns の ROS を作っている。

この例に限らず、線型結合型 ROS に共通の欠点としてあげられるのは、情報を書き込んだマトリクスが直接負荷となり、S/N が情報によって大きく変化することである。この点を改良したものが(平衡型) capacitor-ROS である。この方式では、駆動側に駆動線と平衡線、センス側にも(a), (b) 2本のセンス線があり、駆動側とセンス側の2つの組合せで情報の“1”, “0”を記憶しているので、情報のパターンに関係なく駆動線から見た負荷が一定であり、かつ2本のセンス線から差動信号を読み取るため S/N が良く、高速である。代表的な例としては108ビット, 2.5 kW, アクセスタイム 38 ns, サイクルタイム 80 ns が報告されている。図3に平衡型静電結合 ROS の構成を示す。駆動線とセンス線は幾何学的位置関係を保つためフィルムシートの印刷配線されており、情報の変更は容易ではない。

3.3 抵抗結合型 ROS

結合素子に抵抗を使った固定記憶装置で古くから提案されているものであるが、最近になって厚膜印刷技術の進歩によりかなり大きなマトリクスができるようになってきた。原理的にはマトリクスの交点に結

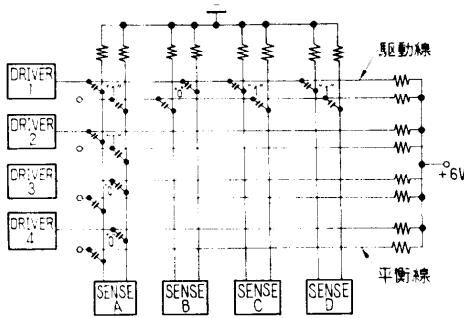


図3 平衡型静電結合 ROS

合抵抗があるか、無いかによって駆動電流がセンス線にまわり込み（あるいはまわり込まない）、これを信号として検出する。結合抵抗の値を大きくするとノイズのまわり込みは少なくなるが信号も小さくなるので、センスアンプの入力インピーダンスを小さくし、これとの関係で結合抵抗の大きさを決める必要がある。

この ROS においてはセンスアンプを AC 結合にしないと、マトリックス自身が直流結合であるための大電力を消費してしまい、信頼度、消費電力の上からも望ましくない。結合抵抗  $1.5\text{ k}\Omega$ 、 $72^b \times 1\text{ kW}$  の容量でアクセスタイム  $60\text{ ns}$ 、サイクルタイム  $80\text{ ns}$  が得られている。情報の変更は“1”→“0”は抵抗体の機械的切断をすればよいが、その逆につながることは容易ではない。図4に抵抗結合型 ROS の構成を示す。

### 3.4 磁気結合型 ROS

各種の磁性結合 ROS が提案されているが、その中

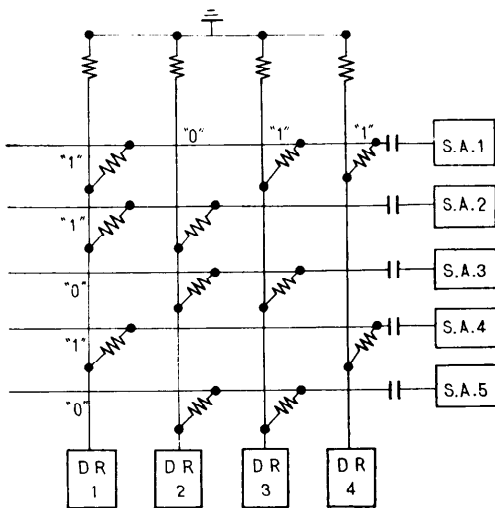


図4 抵抗結合型 ROS

でも商用機に実際使われているのは非破壊読み出し法ワイヤメモリである。ワイヤメモリの利点は、その高速性と、無限回読み出しにも耐える非破壊読み出し特性、電源 OFF 時の情報発揮性がないこと、電気的書き換えが可能なことなどである。

一方駆動電流が  $500\text{ mA}$  程度  $\sim 1\text{ AT}$  必要なため論理信号レベルからの増幅が必要であり、それにもかかわらず出力電圧が小さい（数  $\text{mV}$ ）なのでここにも高利得のセンスアンプが必要である。従って周辺回路がどうしても他のメモリに較べてコスト高になること、駆動系、センス系回路の遅れがアクセスタイムの中で大きな割合を占めてしまう点が短所といえよう。

図5に  $16\text{ kB}$  のワイヤメモリにおける遅延時間を示すが、周辺回路の遅れが大きいことがわかる。今後技術的に改良が加えられて高速化されたとしても商用機に実際使われる場合には  $80\text{ ns}$  のアクセス  $120\text{ ns}$  のサイクルが限度と思われる。

ワイヤメモリは IC メモリの出現によってあたかも

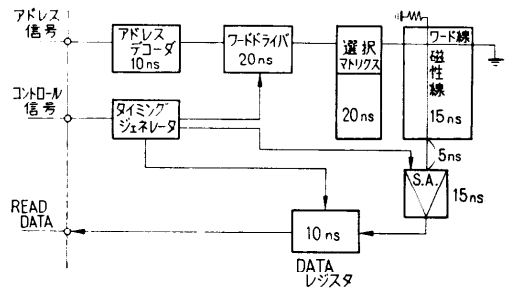


図5 ワイヤメモリ ( $16\text{ kB}$ ,  $\text{TA}=\text{ns}$ ) のアクセスタイム分析

前途が閉ざされたように見えるが、高密度化、低価格化が実現すれば、a) 書き換え可能性、b) 情報の不揮発性、c) スタンドバイパワーが小さいなどの点で小型機、周辺装置の制御部の ROS などには適しているメモリといえよう。

### 3.5 IC メモリ

IC メモリのメリットをあげれば、論理ゲート類と同一の電源を使って済ませられること、メモリカードを1つの単位としてメモリを構成あるいは増設できるためメモリ独特の実装系が不要であること、そのため論理部パネル内に ROS カードを混在させるような flexible な実装が可能になったことなどである。

次に各種タイプの IC-ROS の特徴を示す。

#### i) Mark-ROM

語線とセンス線の交点にあるダイオード、あるいは

トランジスタへのアルミパタンをあらかじめマスクを作る段階でカットして書き込みとするもので、情報の揮発性はあり得ないし、外部ノイズ、環境条件による情報の反転、変化という点では最も安定で、高信頼度を持つといえる。しかし当然のことながら情報の変更、書き換えはマスクの作りなおしから始まるので、そのターンアラウンドタイムとして約2ヵ月は覚悟しなければならない。

### ii) P-ROM

この素子の特徴は半導体メーカから白紙の状態（全部“0”、または全部“1”）のROMを購入し、これを手許の情報書き込み機を使って書き込みすることができることである。すなわち1回（のみ）書き込み可能なROMで、書き換えはできないが予備品を用意しておけば新しく書き込みを行なって変更部分を交換できること、入出力レベルが論理レベル（TTL）で、デコーダ内蔵、高密度（256 bit～1 kbit）、高速（ $T_A=50\sim70$  ns）に注目されて最近広く使われはじめてきた。Field Programmable ROMと呼ばれているが、半導体メーカによってはこのP-ROMとマスクROMをペア（外部から見た特性が同じ）で売っており、開発段階ではP-ROM、製品として安定した時期、あるいは固定した部分にはMask-ROMを使うというのも一つの方法であろう。ただし難点としては

- (a) 半導体メーカは出荷時に、ユーザは受入検査時に検査できない項目がある。  
(特に書き込み特性)

(b) 現在のところ技術的に100%の書き込み率が期待できない。(90～98%)

(c) 電気的特性が同じであってもメーカにより書き込み方法が異なるために、各種の書込機を用意しなければならない。

(d) LSI化が進む程、実装密度は上がるけれども少数ビットの情報変更により多数ビットを無駄にしなければならないリスクがある。

などがあげられる。現在 available な P-ROM を語数、ビット数で分類すると表Ⅲのようになる。

この構成のうち何れが好ましいか簡単にいえないが、ROSとして使う場合は、1ワード上のビット数が多いものの方が便利であろう。

### iii) R/W メモリ

Writable なメモリ素子を使った場合 ROS という名称がふさわしくないこともあって Control Storage (C/S) などと呼ばれている。高速性が要求されることから一般に高速バイポーラメモリが用いられている。Writable-ROSを持つメリットは、同一のハードウェアを持つ計算機を容易にその目的に応じた性能を有する機械、あるいはユーザの要求に応えた機械に変身させられることであり、ファームウェア化の1つのあらわれである。欠点としては電源 OFF 時の情報揮発性の問題があり、電源 ON と同時にその都度カセット、あるいはカートリッジから情報をロードしてやらねばならない。

今のところ R/W メモリ素子は P-ROM Mask-

表Ⅲ C/S として使われる半導体メモリ素子

	容量 (bit)	構成	パッケージ	T <sup>2</sup> L	ECL	アクセスタイム (ns)	消費電力/ビット
P-ROM	256	(W)(bit) 32×8	PIN 16	○	○	T <sup>2</sup> L ECL 50 20	2 (mW/bit)
		265×1	"	○		50	5
	512	64×8	24	○		60	1.5
	1025	256×4	16	○		60～70	0.5
	2048	512×4	16	○		70	0.3
R/W メモリ	256	256×1	16	○		50	2
	"	"	"		○	35	2
	1024	1024×1	19	○		80～100	0.5
	"	"	"		○	50	0.5

ROM より高価なので、これら書込用の付属設備も含めるとビット単価は高くなることを覚悟せねばならない。C/S に使用されている半導体メモリとしては表Ⅲに示すようなものがある。応用例としては H 8250 が  $4\text{ kW} \times 36\text{ b}$  の Writable C/S を持っており一方 IBM 370/145 は主記憶装置 (IC メモリ) の一部を領域可変で C/S として使用している。

その他 MOS を用いた書き換え可能な不揮発性 IC メモリがあるが、スピードが遅く ( $500\text{ ns} \sim 1\text{ }\mu\text{s}$ ) マイクロプログラム用の ROS として商用機では例を見ないのでここでは省略することにする。

以上、各種 ROS の特徴を表にすると表Ⅳのようになる。

#### 4. 今後の ROS の動向

ROS に対する基本的な要求である高速性、Writability は ROS の IC 化をますます推し進めるものと予想される。IC 化が進むにつれて ROS モジュールという概念はなくなって、ROS の構成単位は 1 枚ごとのメモリカードとなり、このメモリカードは自由に BPU の論理パネルの中に実装されるようになると思われる。これを妨げる理由はないし、無駄な伝搬遅延時間がなくなるだけ、アクセスタイムも速くなる。IC の種類についても開発期においては R/W メモリを使い出荷時の機械では、ピン互換性のあるメモリカードを R/W メモリと ROM で作っておき、固定部分には ROM カードを、ファームウェアとして残しておきたいところには R/W メモリカードをそのまま残

しておくという使い方が一般的になると思われる。

R/W メモリを使う限り情報の揮発性は避けられないが、C/S としての容量は多くてもたかだか  $16 \sim 32\text{ kB}$  程度であろうし、その load 時間も 1 分以内であれば、我慢できない時間でもない。

コストの点では、IC メモリの技術の進歩と使用量の増加によってビット単価が急減することを期待できると考えており、結局は標準品を使うことが得策であろう。

ただし主記憶装置に較べて容量が小さいために、数かまとまらず、そのため C/S のビット単価が主記憶用の場合にくらべていくぶん高目になることは避けられないと思うが、主記憶の速度より数倍速いという ROS のパフォーマンスを加味して考えれば決して価格が不当に高いということはいえないであろう。

具体的な問題としてどのような素子が常用されるであろうかという点の予測は難しいがバイポーラでは ECL, TTL とも  $256 \sim 1024$  ビット、アクセスタイムが素子レベルで  $25 \sim 70\text{ ns}$  程度のものが主として使われるようになるであろう。一方最近ではアクセスタイムが  $100\text{ ns}$  以下の n チャネル  $1024$  ビットメモリ素子 (スタティック) も発表されており、価格の点と消費電力の点から n-MOS が採用される可能性も十分あると考えられる。いずれにしても、ファームウェアの分野がますます重要性を増すことが予想されその場合、ROS の高速性、高信頼性、低価格はさらに必要になってくるものと思われる。

(昭和 48 年 3 月 23 日受付)

表Ⅳ 各種 ROS の性能比較

種類	アクセス/サイクル(ns) (容量)	情報書込法	情報変更の 容易さ	情報の変更法	消費電力/ ビット	揮発性	論理用電源以外 の電源	
線型結合 ROS	変成器形 ROS	$100 \sim 200 \sim (12\text{ kB})$	パンチング	難	ワードシートの 交換	$\approx 0.5$ mW/bit	NO	要
	キャパシタ ROS	$40 \sim 80 \sim (24\text{ kB})$	パンチング エッチング	比較的容易 難	情報カード差換え 交換	—	NO	要
	抵抗 ROS	$60 \sim 80 \sim (8\text{ kB})$	機械的書込み	難	マトリクスの交換	$< 3$	NO	要
磁性体 ROS	NDRO ワイヤメモリ	$100 \sim 160 \sim (16\text{ kB})$	電氣的書込み	容易	電氣的書換え	$< 3$	NO	要
半導体 ROS	マスク ROM	$90(50^* \sim 128(80)^* \sim 16\text{ kB})$	マスク	難	マスク変更後 交換	—	NO	不要
	P-ROM	" "	ユーザーでの 電氣的書込み	難	新情報 ROM と交換	$\approx 2.5$	NO	不要
	R/W メモリ	" "	電氣的書込み	容易	電氣的書換え	$\approx 3$	YES	不要
	MNOS MAS	$500 \sim 1000 \sim$	"	電氣的書込み	容易	電氣的書換え	—	NO

\* ( ) 内は ECL のスピードを示す。