

デジタル集積回路

中 川 圭 介†

集積回路は「2つまたはそれ以上の回路素子のすべてが基板上または基板内に集積されている回路で設計から構造、試験、運用に至るまで各段階で一つの単位として取扱うもの」である(日本工業規格)。そして現在我々は、集積回路を使って作られた第3世代の計算機を利用している。

計算機で用いられる回路にとって、最も大切な条件は、Cost performance がよいことである。そして、トランジスタが真空管に変わったように、集積回路にトランジスタがおきかえられたわけである。しかし、集積回路が単純な論理回路ではなく、複雑な機能をもっているため前2者と、やや異なる面を感じる。

ここでは、利用者の立場から、集積回路に関する基本的な事実と問題について考えることにしよう。

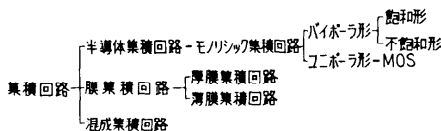


図1 集積回路の分類

まず、集積回路の種類の説明をしよう。図1のように、半導体、膜、混成集積回路に大別される。

半導体集積回路は、集積回路の現在の本命であり、半導体の小片の上にトランジスタ、抵抗などの回路素子を作り、相互接続したものである。実際には、半導体片としては、シリコン単結晶から切出された1枚の薄い板を用い、その上に多数の素子を作り、接続するモノリシック (Monolithic) 集積回路であり、この中に能動素子として通常のトランジスタをつかうバイポーラ形と、MOSをつかうユニポーラ形とに分れる。

膜集積回路は、セラミック等の基板上に薄膜または厚膜によって素子とその相互接続を行なうものであるが受動素子 (抵抗、コンデンサ) を作るのに用いられる。

混成集積回路は、二種以上の部品、集積回路などを組合せて作ったものである。とくに、モノリシック集

積回路では、抵抗、コンデンサの値を正確に作ること、広範囲の値のものを作ることが難かしいので、その欠点を膜集積回路で補うことができる利点がある。

また集積回路は、扱う信号により、デジタル集積回路とアナログ集積回路に分れるが、ここでは、前者を扱う。

1. バイポーラ形集積回路

計算機の CPU など用いられる論理回路は、すべてバイポーラ形と言ってよい。バイポーラ形集積回路は、その基本のトランジスタ回路¹⁾の形成によって、RTL, DCTL, DTL, TTL, CML に分けることができる。しかし、現在でも使われるのは、

DTL: Diode-Transistor-Logic の略。論理演算をダイオードで行ない、トランジスタで増幅を行なう。

TTL: Transistor Transistor Logic の略。論理演算をマルチエミッタトランジスタで行ない、別のトランジスタで増幅を行なう。

CML: Current Mode Logic の略。差動増幅回路に似た不飽和回路で、高速スイッチングに用いる。の3種である。また現在の状況では、DTL は TTL によっておきかえられることが予想されるので、TTL と CML が重要である。

1.1 TTL 集積回路 (飽和形)

ここで、TTL の基本的な性質と、後につかう言葉の定義をしよう。

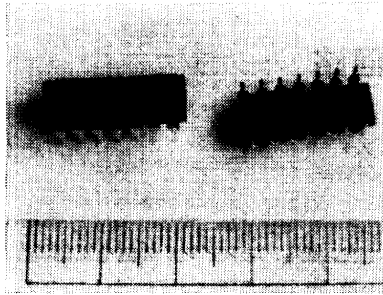
普通に入手できる TTL は、図2 a に示すような形のパッケージに封入されている。ピンの数は、14, 16, 24 などのものがあり、このピンを通して情報を中の回路と交換する。

(a) ゲート回路

論理演算を行なう TTL で最も簡単なものは、2入力 NAND ゲートであり、1個のパッケージに4回路が入っており、ピンとは内部で図2 b のように結合されている。

2入力 NAND ゲートは図2 c の回路で実現されて

† 電気通信大学



(デュアルインラインパッケージ)

図2 a 集積回路

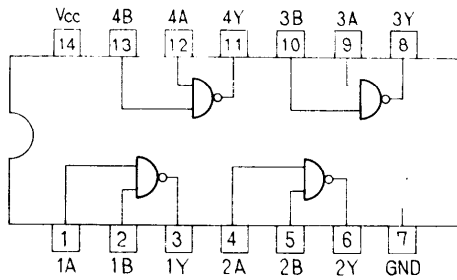


図2 b 2入力 NAND 結線図

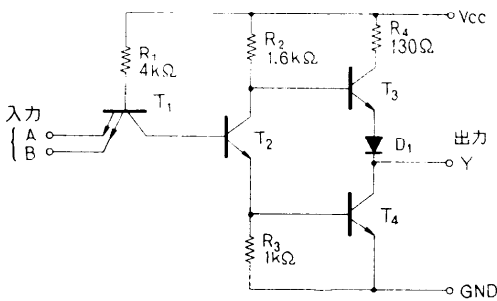


図2 c 2入力 NAND 回路

いる。T₁ はマルチエミッタをもつトランジスタで、論理演算を行ない、T₂, T₃, T₄ が増幅を行なう。

(b) 論理値“1”と“0”の表現²⁾

V_{cc} 5V の電圧を加え、入力を 0~5V に変えたときの出力電圧を測定し、入力との関係をグラフにすると、図3が得られる。論理値“1”と“0”は、

高レベル出力電圧 V_{OH}

低レベル出力電圧 V_{OL}

によってあらわす。V_{OH} で“1”，V_{OL} で“0”をあらわすことを正論理といい、逆を負論理という。TTLのカatalogでは、正論理によって論理機能を書いているのが普通である。

図2 cの回路で、入力の何れか1つが0(V_{OL}) であ

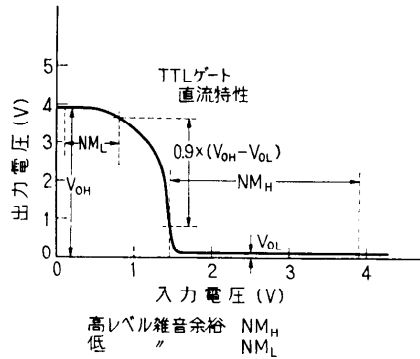


図3 ゲートの直流特性

ると、電流が、R₁, T₁ のベース→エミッタと流れてベース電位が下り、T₂, T₄ がオフ、T₃ がオンとなり、出力は1(V_{OH})となる。入力がすべて1ならば、R₁ から T₁ のベース→コレクタと電流が流れ、T₂, T₄ がオン、T₃ がオフとなり、出力は“0”となる。すなわち、

$$Y = A \cdot B$$

であり、NAND 回路として働く。

(c) 雑音余裕 (noise margin)

ゲートなどの論理回路の出力は、他の論理回路の入力となる。一方、V_{OH}, V_{OL} は、個体ごとに少しずつ異った値をとる。さらに、信号は、必ず外部の雑音によって、電圧が変動する。このような原因によって入力信号の電圧が変動しても、出力が正しい値をとりうる入力信号の変動幅を雑音余裕という。図3に於ては、V_{OH} と V_{OL} の差の 90% の範囲を危険な領域として雑音余裕を定義した。雑音余裕の定義は、いろいろあるが、出力電圧が V_{OL} から V_{OH} へ急激に変化する

高レベル雑音余裕 NM_H

低レベル雑音余裕 NM_L

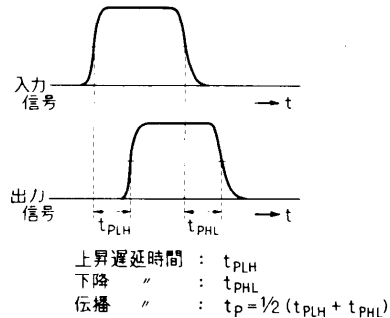


図4 信号の流れ

(d) 伝搬時間 (propagation time)

回路に与えられた入力信号の影響が出力に現われるまでには、有限の時間がかかる。図4は、ゲートの入出力信号の関係を示すものであり、次のような量で伝搬時間を示す。

上昇遅延時間 t_{pLH}

下降遅延時間 t_{pHL}

伝搬遅延時間 $1/2(t_{pLH} + t_{pHL}) = t_p$

ふつう、 t_p によって速さを示す。

(e) 出力分岐数 (Fan Out)

論理回路の1つの出力から2つ以上の回路の入力に信号を与える場合が多い。信号を与えることのできる入力数の上限を出力分岐数といい、回路の構成によって異なる。図2の回路は、出力分岐数が10である。10以上の相手(これを子供ということがある)に信号を送る場合には、送る側(親)を2つにするか、分岐数を大きくとれるパワーゲートを使う。一般に、子供が多くなると、 t_p は大きくなる。

(f) 消費電力 (power dissipation)

消費電力 pd は、出力が V_{OH} であるときに回路を流れる電流 I_H と出力が V_{OL} のときの電流 I_L とから

$$pd = V_{CC} \times \frac{1}{2}(I_H + I_L)$$

によって与える。図2の回路は $pd = 10 \text{ mW}$ である。

消費電力は小さい程よいが、一般に、回路形式が同じならば、高速な回路ほど消費電力は大きい。

(g) 温度

半導体製品は、温度によって特性が変化し、また劣化することもある。このため、使用に適した温度がきめられている。

工業用 $0^\circ \sim 70^\circ\text{C}$

軍사용 $-55^\circ \sim 125^\circ\text{C}$

(規定されるのは、周囲温度であり、パッケージ内の温度ではない。)

(h) フリップフロップ

論理回路内で情報を記憶するフリップフロップとしては、主に J-K マスタスレーブフリップフロップが用いられる。これは、マスタ、スレーブの2つのフリップフロップを内蔵し、クロックの立上りで入力をマスタフリップフロップに入れ、下りでスレーブフリップフロップに転送することによって、レーシングがおきないように作られている。

表1³⁾は、(飽和形) TTL の特性表である。

表1 TTL ゲート、フリップフロップの特性

機 能	回路数	ゲート数	$t_p(\text{ns})^*$	$p(\text{mW})$	価格**	面 積 (mil^2)
2入力 NAND ゲート	4	4	9	10	1	50×60
3入力 NAND ゲート	3	3	9	10	1	50×60
4入力 NAND ゲート	2	2	10	10	1	45×45
8入力 NAND ゲート	1	1	10	10	1	40×40
4入力 NAND パワーゲート	2	2	10	25	1.1	50×50
J-K フリップフロップ	1	8	20	50	1.4	55×60

* $\text{ns} = 10^{-9} \text{ sec.}$

** 価格は2入力 NAND を1としたもの。(1は150~200円)

1.2 回路の高速化、低電力化

1.1 の回路よりも速い回路、あるいは、低電力で動くものが要求されることがある。このときのためにいろいろなシリーズの TTL が作られている。

1.1 で説明した回路は、トランジスタを飽和させた状態にして動作させる。しかし、一般に、

(1) トランジスタを飽和させないで使う方が高い速度で動作させることができ、

(2) 同じ形式の回路ならば、高速にすると、消費電力が大きくなる

という性質がある。また、

(3) 高速論理回路を用いて装置を作る場合には、その装置の動作がおそい場合でも、論理回路の立上り時間に対応する高い周波数の信号を扱う回路技術が要求される

ので、場合に応じて、シリーズを使い分けるのがよい。これらの理由から、次のような数種のシリーズが市販されている。

(1) 飽和形、低速。

(2) 飽和形。

(3) 飽和形、高速。

(4) ショットキーダイオードクランプ形、低速。

(5) ショットキーダイオードクランプ形。

(4)、(5) はショットキーダイオードによって、トランジスタが飽和する程度を減らすことによって、高速化をはかっているものである。これらのシリーズのゲートの特性比較表を表2³⁾に示す。

1.3 CML

CML は、飽和形の論理回路と考え方を変え、エミッタを結合し、適当な回路常数をえらんで、トランジスタを飽和させずに利用して高速度を得るもので、ゲート遅延時間が 2 ns 以下のものは、CML によるものと言ってよい。

CML 集積回路は、 $t_p \approx 2 \text{ ns}$ 程度のものが市販されている。CML は、電力の利用率が、TTL にくらべ

表2 論理ゲートの特性

特性	DTL	TTL				
		(1)	(2)	(3)	(4)	(5)
Vcc (V)	5	5	5	5	5	5
NMH (V)	2.5	2.4	2.4	2.4	2.7	2.7
NML (V)	0.5	0.3	0.4	0.4	0.5	0.5
Pa (mW)	8	1	10	23	2	20
tPHL (ns)	20	31	8	6	9	3
tPLH (ns)	60	36	12	6	10	3
pb · tp (pJ)	200	33	100	138	19	60
ファンアウト	8	10	10	10	10	10
価格	0.8	2.4	1	1.5	2.4	4

て悪いという欠点をもつが、超高速論理回路に適しており、通産省大形プロジェクトで開発されたCMLゲートは、1.4ns以下と報告され、また、1ns以下の遅延時間を得た報告もあり、最も高速な回路の1つと考えられている。

1.4 ハイボラー集積回路の製作手順

回路を構成するトランジスタ、ダイオード、抵抗、コンデンサなどは、シリコンの薄片上に作られる。製作手順に入る前に、各素子の構造について説明しよう。

(a) トランジスタ

NPN トランジスタは、図5gの構造をもつ。大きさは、6×4mil²程度である。図のコレクタの下にある埋込層は、コレクタのバルク抵抗値を下げるために備えられる。

(b) ダイオード

ダイオードは、トランジスタのエミッターベースジャンクションまたはコレクターベースジャンクションのみを作って利用する。

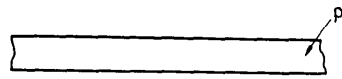
(c) 抵抗

抵抗は、トランジスタのベースを生成するときでできるp形領域をつかうのが普通であり、図7gのような構造をもつ。

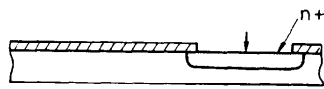
(d) コンデンサ

コンデンサは、ジャンクションを利用したものと、MOSコンデンサとがある。前者は、逆バイアスをかけたジャンクションを用いるもので、高々100pFていどのものまでしか実用的でない。

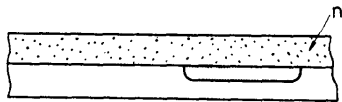
これらの素子の占める面積は、コンデンサが一番大きく、次いで抵抗、トランジスタと小さくなる。一方集積回路の価格は、面積が大きい程高い。したがって、個別の部品を作っていたときの価格の順序が、トランジスタ、コンデンサ、抵抗の順であったことにくらべて、全く違う事情にある。すなわち、できるだけ、トランジスタを増した回路設計が、集積回路には望まし



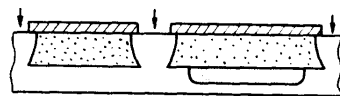
(a) p形シリコンウェハ



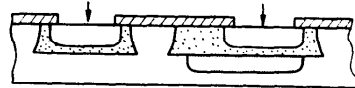
(b) 埋込層の生成



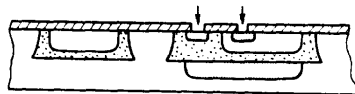
(c) エピタキシャル生長



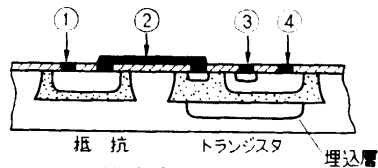
(d) p形分離拡散



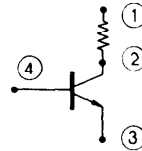
(e) p形ベース拡散



(f) n形エミッタ拡散



(g) 結合配線



(h) 回線図

図5 トランジスタ、抵抗の製作手順

く、昔は、ぜいたくであった直結回路が使われるようになってきている。

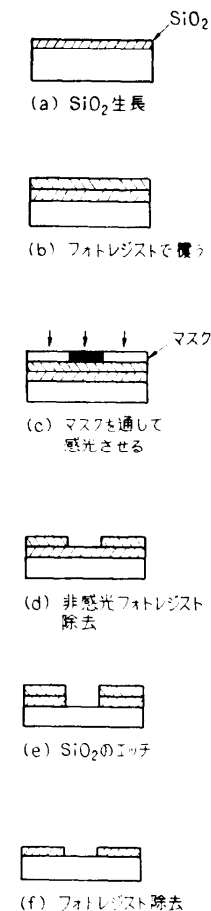


図6 フォトレジスト工程

(d) 抵抗とトランジスタを含む回路の製作手順

手順は、図5に示すようなものがあるが、順を追って説明して行こう。

まずシリコンの薄片を準備する。

表面に酸化層を生長させる。マスク1を使ったフォトレジスト工程により埋込み層の場所の酸化層に穴をあけ、埋込層を作る。マスクを使ったフォトレジスト工程は、図6に示すような手順で行なわれる。(以下この工程を、マスク1をつかって埋込層をえらぶ、というように表現して説明する。)

酸化層をすべて取り去り、薄片上に、N形層を(エピタキシャル法で)生長させる。

表面に酸化層を生長させ、マスク2によって分離領域をえらび、分離拡散を行い、素子を分離する。分離領域は、2つの逆方向を向いた p-n 接合によって、となり合う素子を分離するために作る。

表面に酸化層を生長させ、マスク3によってベース領域をえらび、ベース拡散を行なう。

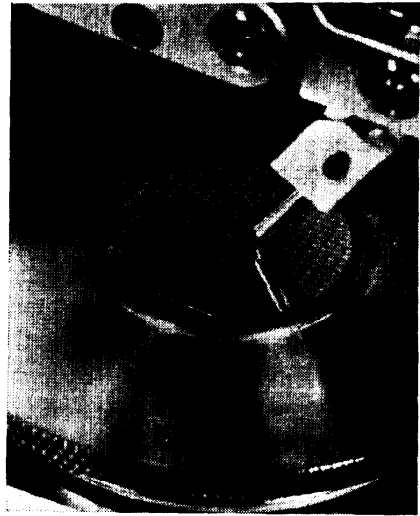
同様に、マスク4によりエミッタ拡散を行なう。最後に、マスク5により回路間の結線に必要なオーム接点をえらび、金属を蒸着する。

マスク6によって、結線に必要な部分を残して、金属をとり去る。

(e) 製作の全手順

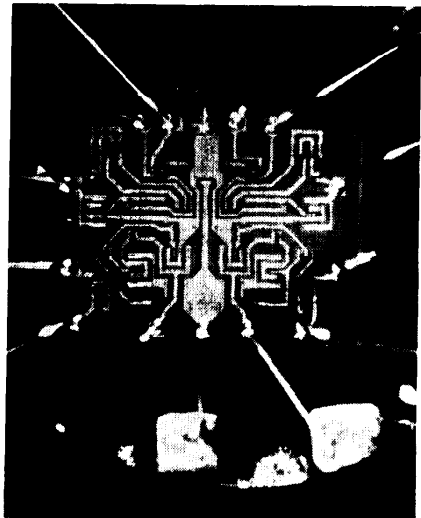
集積回路を作る全手順は、次のようなものになる。

- (e-1) 回路設計。
- (e-2) 集積回路としての設計。
- (e-3) マスクの製作。
- (e-4) シリコンウェーハの準備。
- (e-5) (d) の手順の実行。これまでの手順によって、1枚のシリコンウェーハ上に多数の同じ集積回路を作る。



(テキサスインストルメントアジアリミテッドの好意による。)

図7 集積回路の分割



(TI社7400. テキサスインストルメントアジアリミテッドの好意による。)

図8 2入力 NAND 回路の内部

(e-6) プローブテスト、ウェーハ上の多数の回路の特性を自動的に1つずつ検査する。

(e-7) 個々の回路に切離し、良品のみをとり出す。(図7の写真参照。)

(e-8) パッケージに組み込み、ピンと回路間の配線を行なう。回路にリード線を溶接することをボンディングという。

(e-9) パッケージを完成する。

(e-10) 最終検査.

なお、図8の写真は、2入力 NAND を4回路含む IC である。

(f) 価格、歩止り、信頼性.

製作手順などから、次のようなことがわかる。

(f-1) 集積回路の製造価格には (e-1)~(e-3) の手順に含まれ、同種のもの全体にかかる費用と (e-4)~(e-10)に含まれる、個々の製品にかかる費用とがある。前者は、製造個数が大きくなると小さくなるが、ふつう、同種ものを非常に多く作るので、1個の集積回路の価格は、後者によってきまる。そして、シリコン片の大きさ、パッケージが同じならば、集積度を上げる程、機能当たりの価格は低くなる。

(f-2) 集積回路の欠陥は、そのシリコン片の面積によってきまる。したがって、同じ面積上に多くの素子をつめる程、信頼性が上がり、歩止りもよくなる。

(f-3) 集積度が上がり、機能が複雑になると、設計、検査にかかる費用が上昇する。したがって、この費用を小さくすることが重要になる。このために、計算機を利用した設計、検査が必要になる。

1.5 MSI と LSI

表1に性能を示したような集積回路は、含まれる素子の数が少なく、小規模集積回路 (Small Scale Integration, SSI と略す) と呼ばれている。そして素子数が多くなるにつれて、中規模集積回路 (Middle Scale Integration, MSI), 大規模集積回路 (Large Scale Integration, LSI) と呼ばれる。ゲート数により

SSI ゲート数 10 以下のもの、

MSI " 10~99 のもの、

LSI " 100 以上のもの

のように区別される。

市販されている MSI, LSI の代表的なものの特性をまとめたものが表3³⁾である。

これらのものは、すでにある機能をもった単位であるが、さらに、同じ機能をもつより大きなブロックを作り得るような拡張性をもたせてある。

例えば、4桁加算回路や ALU は、桁上りの入、出力ピンが備えられ、それらを順次つなぐことによって、4n桁の演算回路を容易に作るができる。さらに、ALU は、高速桁上げ回路を併用することによって、16桁の加算を 36ns、32桁の加算を 60ns で行なうこともできる。

また、乗算回路は、2進数 $A=(A_3A_2A_1A_0)$ と $B=(B_3B_2B_1B_0)$ の積 $P=(P_7P_6\cdots P_0)$ を 40ns で計算す

表3 MSI の特性

MSI	ゲート数	遅延時間 (ns)	P_d (mW)	ピン数	価格
2進4桁加算器	44	16	310	14	5
" ALU	75	24	500	22	35
4ビットシフトレジスタ	46	30	200	14	6
高速桁上げ回路	18	13	180	14	6
4ビットカウンタ	55	20	325	14	7
デコーダ	16	17	125	14	5
BCD-7 素子デコーダ	44	100	450	14	5
乗算器	—	40	500	14	27
4×4 メモリ	98	20	635	14	13
4×16 メモリ	—	33	375	14	24

る。回路は、 $P_7\sim P_4$ を計算する回路と、 $P_3\sim P_0$ を計算する第2の回路の2つを使う。乗算回路も、拡張できる。すなわち、単精度の乗算命令をつかって倍精度の乗算を行う場合と同じ方法をつかい、乗算回路と加算回路を使って16桁の積を作ることができる。

BCD-7 素子デコーダは、7素子



によって数字などを表示するユニットの入力を作るものである。

記憶装置も、デコーダとの組合せによって、より大きい容量のものに拡張することができる。

これらの例からもわかるように、よく利用されることがわかっている演算や記憶を行なう回路は、どんどん集積回路化される傾向にある。

これにたいして、これらの回路を制御する回路は、どちらかというとなんよりも多くつかって組立てなければならない。それは、制御回路に、きまった形式が考えにくいと思われる。このために、制御をできるだけ ROM (Read only memory, 読み出し専用記憶装置) でおきかえ、SSI による部分を減らす傾向にある。一方、前に説明した乗算回路も、制御回路のおきかえと考えられないわけではない。普通、乗算は、シフト加(減)算の繰返しで計算した。しかしこの集積回路は、その速度などから、組合せ回路によって実現されているものと考えられる。

また、表3の数値と、表1のSSIの数値をくらべると、ゲート当たりのピンの数、電力、価格ともに小さくなっている。さらに、MSIの機能をSSIによって実現するよりも高速である。これはMSI内部の信号が伝わる配線の長さが、プリント板上の配線の長さにくらべてはるかに短いからである。また、ゲート当たりのピンの数をへらすことは、ICの外部の配線を減

らすことになり、ICをつかって作られる装置の価格を下げ、信頼性も増すことになる。したがって、これらのMSIは、ゲート当たりのピンの数を減らすように考えて作られている。

2. MOS集積回路

MOS (Metal Oxide Semiconductor field effect transistor) は、通常の(バイポーラ)トランジスタと異り、電子または正孔の何れか1つによって動作するのでユニポーラな素子といわれる。

MOS集積回路に於ては、分離の必要がなく、図9のような簡単な構造をもつので、小さな面積内に作ることができ、さらに、作業の回数も少ないので、歩止まりもよい。このため、より高密度の集積化に適している。しかし、バイポーラ回路にくらべて、速度がおそく、また、バイポーラ回路との互換性に欠けるため、現在のところ、記憶装置などのまとまった装置として用いられることが多いようである。

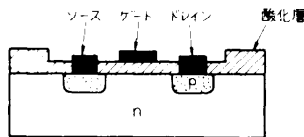


図9 MOS トランジスタの構造

MOS LSI の応用例として(というよりもLSIの使用例というべきかもしれないけれども)卓上電子計算機がある。これらの中には、既に、1個のLSIによってすべての論理機能を行なっているものがある。しかも、その価格は、電卓の価格から類推して、数千円のものを用いられると考えられる。

また、大形プロジェクトに於ては、次のような性能のMOS記憶装置を開発している⁴⁾。

容量 8 kB
アクセス時間 65 ns
サイクル時間 60 ns

実装上の問題

集積回路は、実装、すなわち、論理機械の構成方法にも関係する。

集積回路をつかうと、論理機械は、次のような段階を経て組立てられる。

- (A) 印刷配線されたプリント板上に集積回路パッケージを固定し、半田付けをする。
- (B) プリント板をまとめる。プリント板間の配線は、例えば直径0.5mm程度の銅線で行なう。

結局、信号は集積回路内、プリント基板上、基板間という3つの路を伝わる。

これらの伝送路の性質を定性的に書くと、次のようになる。

- (1) 集積回路内 距離が近いので、遅れが小さい。周囲からうける雑音も少ない。したがって、雑音余裕の小さな回路で論理回路を作ることができる。
- (2) 基板間の配線の場合には、伝送路の負荷による遅れ、伝送線の遅れが問題になる。とくに伝送線がエポキシ樹脂などを使っているため、速度は光速の半分程度となり、1m進むに要する時間は、6nsにもなる。

このようなことから、高速化だけを考えても、できるだけ多くの部分を集積回路内に収めて、外部配線を減らすことがよい。そして、これが信頼性の向上、人件費の節減などにより効果を及ぼす。

しかし、高密度に実装した場合に、最も困難であると思われるのは、発生した熱の処理である。小さな体積内に収められた、回路の発する熱を放散させることは、現在の技術ではむずかしく、大規模集積化にたいする最大の壁の1つである。このためにも、低電力・高速度の回路、すなわち電力・遅延時間積の小さい回路が望まれるわけである。

おわりに

これまでに述べてきたことから、集積度を上げる程 cost performance がよくなることがわかる。集積回路が出現以来、急激に発展したことも、これらの性質を内にもっていたためであることは明らかである。

しかし、集積度を上げることを妨げる因子も、当然存在する。それは、放熱の問題と、1.4に説明した製造過程に必要な精密工作技術の改良である。

これらの困難を解して、集積度を上げ、複雑な装置を集積回路化してゆくのであるが、現在では、約2,000ゲート程度の複雑さをもつ、ミニコンの集積回路化が期待されている。すでに、MOS-LSIとしては、電卓を1つのチップ上に作ることから進んで、4~8桁並列程度のマイクロ計算機集積回路が低価格で販売されている⁷⁾。しかしこれらのものは、MOS集積回路であり、比較的低速度であるので、バイポーラ形の高速度なミニコン集積回路に期待がもたれる。

さて、このように、複雑で、高性能な装置が集積回路化されて、低価格で入手できるようになると、集積回路の利用に際しての考え方に変化が、おきるであらう。

う。すなわち、少数の設計者によって作られた集積回路を多数の利用者が使うわけであるが、その際、利用者に要求されることは、複雑な機能を的確に把握し、使用する能力であろう。とくに、マイクロあるいはミニ・コンピュータは、万能であるため、用途も広く、その集積化の影響は、非常に大きいと考えられる。

最後に、資料の提供など、お世話頂いた電気通信大学武藤時雄教授に感謝いたします。

参 考 文 献

- 1) R. G. Hibberd: Integrated Circuit, McGraw Hill Book Co. (1970).
- 2) 電子機械工業会, 半導体集積回路委員会: 集積回路試験方法.

- 3) The Integrated Circuits Catalog, Texas Instruments Inc. NEW TTL MSI, Texas Instruments Inc. (1971).
- 4) 通産省工業技術院: 超高性能電子計算機, 日本産業技術振興協会 (1972).
- 5) H. G. Rudenberg: Approaching the minicomputer on a Silicon Chip, Proc. SJCC, vol. 40, pp. 775~781 (1972).
- 6) L. Seligman: LSI and Minicomputer System Architecture, Proc. SJCC, vol. 40, pp. 767~773 (1972).
- 7) G. Lapidus: MOS/LSI Launches the Low-cost Processor, IEEE Spectrum, vol. 9, No. 11, pp. 33~40 (スペクトラム, vol. 4, No. 2, pp. 84~94).

(昭和48年4月5日受付)