

LSI 設計自動化の現状

大柴 央† 上田 和宏†

1. まえがき

近年、半導体集積回路技術の進歩とともに大規模集積回路 (LSI) が急速に発展し、電算機分野でも世代を革新するものと期待されている。言うまでもなく、LSI の特徴は従来の IC (SSI) に比べて一層の高速化、高信頼度化、小型軽量化、低価格化等の達成が可能なことである。論理装置における LSI の主な適用分野は、①リピータビリティの大きい演算部、②大容量の主メモリ、③高速性の必要な制御メモリ、④制御部本体などである。これらの分野は LSI 化の利点の大きい所であるが、制御部については LSI 化の可否に関してなお議論がたかかわれている。論理回路ではゲート当りサブナノ秒の論理遅延のものが実現されようとしている。主メモリでは MOS を用いた 4kW/chip が発表され、また制御メモリではバイポーラトランジスタを用いた数 10ns のサイクルタイムのものが得られている。これら LSI は製造技術や設計技術の向上によりますます発展し、一方マイクロプログラミング技術と相まって今まで夢であった各種機能を実現する可能性を持っている。

しかしサブシステム程度の集積度を持つ LSI もあり、これらの特徴を十分に生かすためにはシステム構成や設計思想の変更がせまられており特に論理設計時点の正確さが以前に増して重要になってきている。LSI の設計製造に関する問題として以下の諸点があげられる。

- (1) LSI ではシステム設計と部品設計との境界が一層流動的であり密接に関連している。
- (2) 設計段階で製造上の技術的制限、検査方法、実装上の制約条件等すべての工程を見通し、100% 実現し得る保証が必要である。
- (3) LSI は IC に比べて汎用性が少なくなり、多品種少量生産となる傾向にある。
- (4) LSI では論理設計の誤りを部分的に修正することが難しく、設計や製造工程中の誤りは時間

的経済的損失をいちじるしく増加させる。

- (5) 装置設計の急速な増加に対処しシステム開発の期間を早めるには、設計製造のターン・アラウンド・タイムの減少が重要である。

このように、LSI の設計、製造には従来の技術を越える新しい概念が求められ、これらの問題点を解決し LSI の導入を可能にするためには、処理機能が高かつ経済性に優れた設計自動化 (DA) システムが必要であると考えられる。

2. LSI-DA の対象となる領域

LSI には大別して論理用とメモリ用とがある。もちろん、例えば回路シミュレーションのように両者に共通のプログラムもあるが、論理設計の複雑さから前者に関する DA が圧倒的に多い現状である。LSI がサブシステム程度の機能を持っているので、従来の IC ばかりでなくシステム設計に近い所まで LSI-DA の対象が広がっている。今までに得られている DA の成果を応用できる部分もあるが、一方 LSI に特有な問題点を含む部分もある。回路設計、論理設計、製造検査に亘る全工程で、DA の対象として以下のものがあげられる。

- (1) LSI 論理シミュレーション。
- (2) LSI 論理試験用の検査パタンの発生。
セラミック・ボード (CB) 単体の検査データの作成 (マルチ・チップ・LSI の場合)。
- (3) 基本データ回路の回路シミュレーション。
基本セル或いは機能ブロックごとに素子構造の決定および素子配列の最適化。
- (4) マスタスライス、ファミリ等の設計。
- (5) LSI チップ上の論理ゲート、機能ブロックの配置配線の自動化および最適化。
CB 上のチップの配置とチップ間接続の自動化および最適化 (マルチ・チップ・LSI の場合)。
- (6) マスクパターン作成の自動化。
- (7) LSI 試験の自動化とデータ解析。
- (8) 製造工程のシミュレーションと最適化。

† 日本電信電話公社武蔵野電気通信研究所

(9) LSI 検査結果の評価と各工程へのフィード・バック。

(10) その他、実装関係のシミュレーションなど。

基本回路設計、論理設計等はエンジニアの創造性に依存する分野であり、DA は人間と計算機間のコミュニケーションによる CAD を担当する。一方マスクパターン作成等は全面的にプログラムにより処理できる分野である。プログラムの質は大部分アルゴリズムにより決定され、以上のうち実用性と必要性とを考慮して順次開発されている。しかしながら、各プログラムは設計技術、製造技術、実装技術等と密接に関連しているため、会社ごとと或いは装置ごとと異なってしまう面がある。今後、共同開発、共同利用による汎用化、標準化と機能の向上が重要であると考えられる。

これらプログラムは互いに密接に関連し LSI DA システムとして独立に体系づけられるが、一方装置 DA システムにおけるサブシステムとして位置づけられ互いのインタフェイスが確立されるべきものである。一例として、NTL-LSI・DA システム¹⁾を図1に示す。

3. LSI の論理シミュレーションとテストデータの発生

論理設計では、検査の容易な LSI 設計が重要なポ

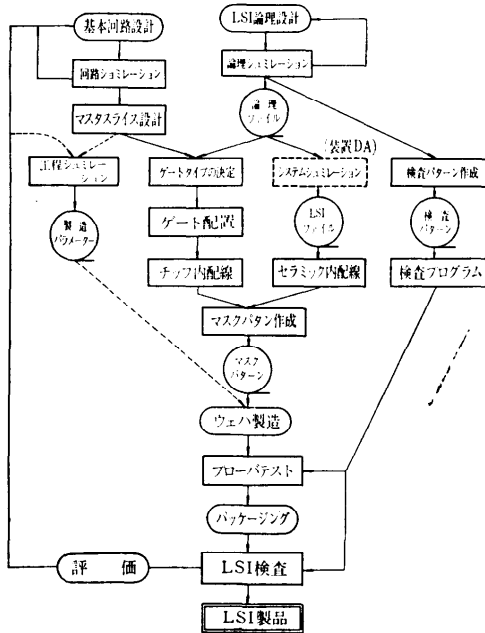


図1 NTL-LSI DA システムの流れ

イントの一つであるが、例えば端子数の制限等の理由により現在まだ充分考慮されているとは言い難い。

3.1 論理シミュレーション

LSI では製造後の論理変更や修正が難しく、論理設計の段階で設計された LSI が所期の論理機能を持つかどうかを確認することは非常に重要である。

回路の定常状態を扱う論理シミュレーションプログラムは各種作成され広く一般に実用化されている。しかし実動作状態における単位ゲートや布線の遅延時間と回路のクリティカルパスを考慮したシミュレーションは数例²⁾報告されているだけであるが、今後 LSI の一層の高速化につれて重要になるう。

3.2 テストパタンの発生

論理機能検査には、故障検出と故障箇所を指摘する故障診断であるが、LSI ではウェハチェックの段階でできるだけ能率の良い故障検出 (GNG) テストが必要とされる。

テストパタンの発生の自動化には、良く知られている様に Seshu のランダムパターンによる方法³⁾と Roth の D-アルゴリズムによる方法⁴⁾とがあり、いずれもゲートの単一縮退故障を対象としている。前者の方法は入力パターン (I_R) をランダムに選び論理シミュレーションにより正常な回路の出力パターン (f_T) と故障を仮定した場合の出力パターン (f_F) とを求め、 $f_T \neq f_F$ となる入力パターン (I_R) をテストパターンとして採用する方法であり、後者の方法は故障信号 D を故障を仮定したゲートに設定し、その信号 D が回路の出力端子に伝播するような入力パターンを forward trace および back trace により求める方法である。

したがって前者は図2に示すように 100% 故障を検出できる保証はないが、順序回路を扱えテストパターン数が少く故障診断も比較的容易であるという利点を持っている。一方後者は組み合わせ回路を対象とし 100% 検出が可能であるが、パターン数が増える面もある。

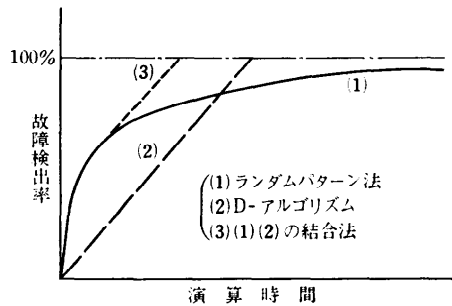


図2 テストパタンの故障検出率

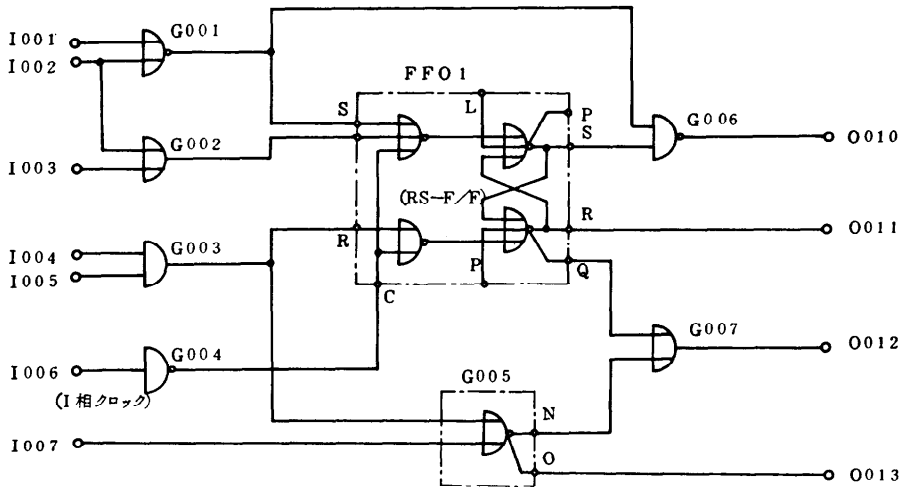


図 3a 論理回路区例

ゲート名	継続	図面位置	入出力端子	機能	素子種類	入力端子	クロック相	入力ゲート名						
								№ 1 端子	№ 2 端子	№ 3 端子	№ 4 端子			
I001		AB01	I											
I002		AB02	I											
I003		AB03	I											
I004		AB04	I											
I005		AB05	I											
I006		AB06	I											
I007		AB07	I											
G001		AB08		N R				I001	I002					
G002		AB09		O R				I002	I003					
G003		AB10		A N				I004	I005					
G004		AB11		N A				I006						
G005		AB12		O N				G003	I007					
FF01		AB13		R S	O S 1			G001	G002					
FF01		AB13		R S	(O) R (1)			G003						
FF01		AB13		R S	(O) C (1)			G004						
G006		AB14		N A				G001	FF01 S					
G007		AB15		O R				FF01 Q	G005 N					
O010		AB16	O					G006						
O011		AB17	O					FF01 R						
O012		AB18	O					G007						
O013		AB19	O					G005 O						

(注) () 内は省略してもよい。

図 3b 論理記述例

最近 D-アルゴリズムを順序回路に拡張する研究が進められ成果が報告されている。さらに両者の特徴を生かすため、まずランダムパタンの方法でパターンを作成し、検出速度が下がったところで D-アルゴリズムの方法に切替えることで、能率化をはかったプログラム

^{2), 5), 6)} が報告されている。しかし現在までのところ、順序回路に関して 100% 故障検出の可能なプログラムはまだ発表されていない。今後の問題として、(i) 故障検出の可能なゲートと本質的に検出不可能なゲートとをいかに判定するか⁷⁾のアルゴリズムと、(ii) 検出

可能なゲートについて 100% 検出する方法と能率化があげられる。また縮退故障以外の故障モードや多重故障モードや多重故障を扱う方法⁹⁾について検討が必要であろう。

3.3 プログラム例 (TPG-3)⁹⁾

Test Pattern Generator-Version 3 は前章で述べた NTL-LSI DA システムの中の論理シミュレーションとテストデータ作成を担当するプログラムである。本プログラムは論理入力データ処理部 (3I)、論理シミュレーション部 (3S)、テストパターンジェネレーション部 (3P) およびコンバージョン部 (3C) の 4 つのサブプログラムで構成されている。3I はブラックボックス形式で記述された論理入力データをチェックして論理ファイルを作成する。この論理ファイルは DA 全体のマスタファイルとなる。また、論理ソーティングを行なうとともに、論理データを計算機内部で処理できるようデータ構造に変換する。3S はシミュレーション入力パターンに基づき論理シミュレーションを行ない出力パタンの照合を行なう。3P は拡張された D-アルゴリズムに基づきテストデータを作成する部分で、フリップ・フロップを含む順序回路に適用できる。3C はテストデータを試験機別の入力フォーマットに変換する部分である。

4. LSI の方式とレイアウト設計

一口に LSI といっても、その設計方式により何種類かに区別される。現在までに国内外で発表されている主な方式を分類すると図 4 のようになる。モノリシック形とは従来の IC のように単一のチップで LSI を構成する方法であり、マルチチップ形とはセラミック基板上などにチップを積載し、チップ間配線を行なって LSI を構成する方法である。したがって、マルチチップ形 LSI におけるセラミック基板上のチップの配置、配線設計はプリント基板上の IC の配置、配線設計にかなり類似したものといえるが、プリント基板の場合のようにジャンパ線などが利用できないため、チップ上と同様必ず 100% 配線が求められるなければならない。したがって、マルチチップ形 LSI 用に

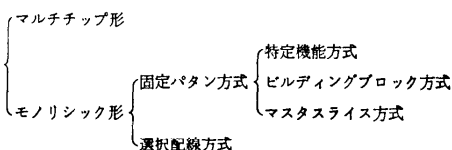


図 4 LSI 方式の分類

より配線率の高い配置、配線アルゴリズムが要望されている。

ここでは、LSI 設計上の独自の問題点をもつモノリシック形 LSI について、代表的な方式をとりあげそれぞれの方式と DA について述べることにする。

4.1 特定機能方式^{10)~13)}

この方式では素子の配置と素子端子間の配線を同時に取扱うことにより、最適な素子配置を行ない、使用チップ面積を最小化することを目的としている。この種類の設計自動化の主な前提条件としては次のような項目が与えられるのがふつうである。

- (i) 配線層数は一層とする。
- (ii) 外部接続端子はチップの最外殻に設けられ、端子位置はあらかじめ与えられている。
- (iii) チップ形状はできるだけ正方形に近く、面積を最小にする。
- (iv) 埋込み抵抗による交きを許す。

計算機処理するため、まず回答をグラフ化し、ついでグラフの平面性の判定、平面化、平面描画、方形分割の問題として取扱っている。

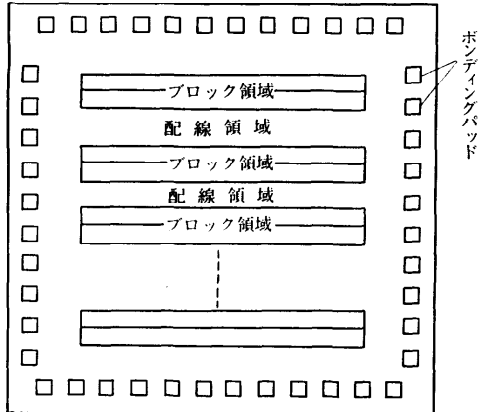
平面性の判定のアルゴリズムとしては Auslander と Parter の方法が有名である。これを Eisher と Wing が計算機で取扱えるような形に改良している。平面性判定の結果、平面化の必要が生じた場合には、半導体素子の設計の自由度を利用してこれを可能にしている。すなわち、トランジスタのダブルエミッタ化、埋込抵抗の利用などによって行なう。このとき、枝に重み付けをすることにより枝の切断における優先度を与える方法をとっている場合もある。

この特定機能方式は LSI よりむしろ MSI 程度の一層配線が可能な規模の IC において最適設計を可能とするものとして意義が大きいといえる。

4.2 ビルディングブロック方式の DA

主に MOS LSI を対象にカスタムデザイン LSI 向きの方式としてビルディングブロック方式が国内でもかなりのメーカーで採用されて、そのための CAD も何例か発表されている^{14)~16)}。

特定機能方式では素子単位に配置配線設計を行っていたが、IC の規模が大きくなるにつれて、入力情報は論理回路の形で与えられるようになり、素子単位の代わりにゲート単位で配置、配線を取り扱うことが望まれてきた。ビルディングブロック方式では、あるまとまった機能 (例えば、NAND, NOR, F/F など) をもつブロックをあらかじめ設計して、ライブラリと



*配線領域の幅は可変

図5 ビルディングブロック方式のチップパタン構成

して拡散パタンや内部配線などの情報をファイルに格納しておき、与えられた論理回路をこれらのブロックの積み重ねにより配置、配線設計を行ない、チップ面積の最小化を行なうものである。

ふつう、チップの構成は図5に示すように、チップ周辺部に外部接続端子を有し、素子の拡散領域に相当するブロック段の部分とブロック間の配線領域の部分から成っている。機能ブロックの幅は種類ごとに異なるが、高さは一定で端子位置も片端のみに規格化し、ブロック段内でのブロックの置換を行ないやすいようにしている。配線層は原則として縦方向と横方向をそれぞれ拡散抵抗と一層のアルミ配線というように割当てている。配置はブロック段単位でまず論理回路を分割して割当て、前段のブロック段中のブロック間との配線領域がもっとも少なくなるように同一ブロック段内でブロックの入れ換えを行なって最適なブロック位置を求める。同時に、そのブロック段間の配線経路パタンをブロック段間の横方向配線チャンネル数が最小になるように決定する。この操作を順次、次段ブロックとの間でくり返し、すべてのブロックについての配置、配線が決定されると処理が終る。

この方式のDAでは配線領域が可変になっているため100%配線が保証できる利点がある。また、ブロック段と配線領域を区分して何段階かに分けて順番に配置、配線を取扱うことにより配線の問題が非常に楽になっている。しかし、一方、ブロック段ごとの部分的な最適化のくり返しという性質上、全体的な最適解が必ずしも得られないという欠点も持っている。

4.3 マスタスライス方式のDA

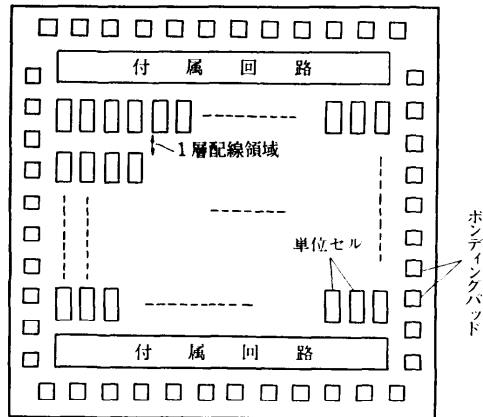


図6 マスタスライスパタン例

この方式では配置、配線をゲート単位で取り扱うという点では前述のビルディングブロック方式と同じであり、LSI向きの方式であるといえる。両者の大きく異なる点はビルディングブロック方式では配線領域の幅を可変としているのに対して、この方式では図6に示すように配線領域を固定化していることである。その上、拡散パタンも同一のセルパタンのくり返しで構成しているため、異なる品種のLSIに対して、同一の拡散パタンおよび電源・アース配線パタンが共通に利用できる。

この方式を適用したNTL-LSIのDAシステム¹⁾のレイアウト設計の概略の流れを図1に沿って説明する。論理設計を終えて、論理シミュレーションでチェックされたLSI品種当りの論理情報と、マスタスライス設計より得られる拡散パタン、電源アース配線パタンなどのマスタスライスパタン情報とが配置プログラムに入力され、マスタスライス上でゲート配置が行なわれる。ここでは、配置の評価基準として、総配線長に加えて配線重複度といういわばミクロ的な評価基準を用いている。重心法により初期配置を行なったあと、L形あるいはI形の仮配線を行ない、もっとも配線重複度の高いセル領域を配線が通過しているゲートに着目し、ゲートの入れ換えを行なって、部分的な配線の混み合いを解消するアルゴリズム¹⁷⁾をプログラム化している。

配置処理を終えるとそのゲート配置結果に基づいて配線経路決定を行なう。その際、電源・アース配線パタンとゲート内部配線パタンは障害物とみなし、配線層は二層で、原則として第一層は横方向、第二層は縦方向という使い分けを行なっている。配線アルゴリズム

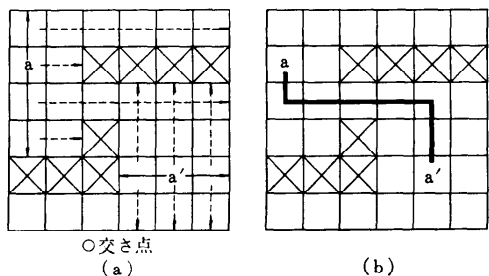


図 7 線分探索法

ムとしてはすでに IC パッケージの配線アルゴリズムとして広く用いられている線分探索法¹⁸⁾ (ラインサーチ法) と、新たに LSI 用に考案した経路変更法¹⁹⁾ という手法を併用し、前者の高速性と後者の高探索性を組合わせて効率の向上を図っている。

線分探索法というのは図 7 に示すように a, b が接続されるべき端子であるとすると, a, b の端子から順次縦, 横に探索枝をのぼしていき, 交差点が見つればその点から枝に沿ってトレースバックして配線経路を求める手法である。経路変更法は Lee のアルゴリズム²⁰⁾を拡張したともいえるもので, Lee のアルゴリズムは従来既配線を新たな完全な障害物とみなして適用されていたのに対して, 経路変更法では既配線を取除きうる障害物とみなすことにより, 配線の引きなおしを可能にして配線率を向上させるねらいを持っている。図 8 に原理的な手順を示す。いったん図 b のように引いた配線も b, b' の経路をみつげるときに邪魔になれば取除き, 最終的に図 8 (d) のように両経路が求まる。

この配線処理で求めた配線経路パターン, 配置処理で求めたゲート位置, マスタスライス設計からの拡散パターンなどの情報をマスクパターン自動作成プログラムに入力して, マスク自動作機の入力テープを作成する。

このマスタスライス方式の DA で問題になるのは配線領域が固定化されているため, 与えられた論理回路に対して必ずしも 100% 配線が保証できないという点である。しかし, 多くの拡散マスクを使用するバイポーラ LSI の製造においては, これらのマスタスライスパターンが全品種の LSI に共通利用できる利点もっているので一つの有力な設計方式である。

5. マスクパタンの作成

従来, IC のマスクパターンはマイラシート上に貼ら

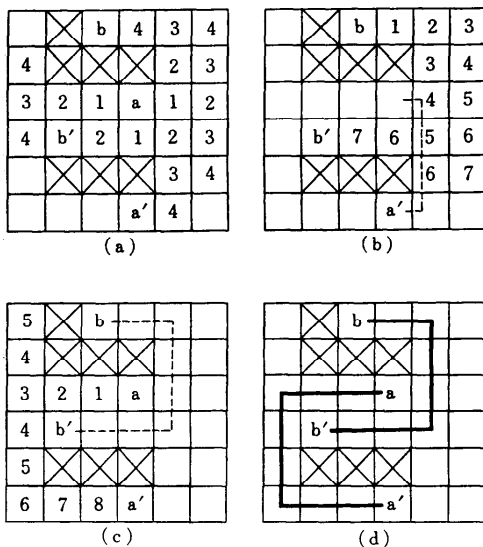


図 8 経路変更法

れた被膜をコーディネイトグラフなどを用いて人手でカッティングし, ピーリングしてその原板を作成していた。自動作機が普及するとともにカッティング作業を機械におきかえるためその入力テープの作成用のプログラムが各メーカーでレイアウト設計の自動化プログラムに先だって開発された。そのプログラムの一例としてマスク自動作成プログラム DAP²¹⁾ についてその処理内容と特徴などを述べよう。

LSI のマスクパタンの特徴はその複雑性と繰返し性にある。DAP ではこの繰返し性を有効に利用して入力データ量を極力減らすようにしている。さらに, パタンの内容により処理を分類し, 複雑性に対処している。プログラムは次のような処理からなっている。

- i) ライブラリ更新処理: 後の各処理で参照して用いられるようなデータを更新格納する。
- ii) 固定パターン処理: 電源, アース配線パターンなどの固定的なパターンデータを矩形や円などの基本的なパターンに展開し LSI マスタファイルに格納する。
- iii) 可変パターン処理: ゲート内部配線パターンをゲートの位置情報に基づいて展開する。また, 単位セルパターンをセル位置データによって展開し, LSI マスタファイルに格納する。
- iv) 論理配線パターン処理: 論理配線パターンの格子座標を絶対座標に変換し, ラインやサークルの基本パターンに展開して LSI マスタファイルに格

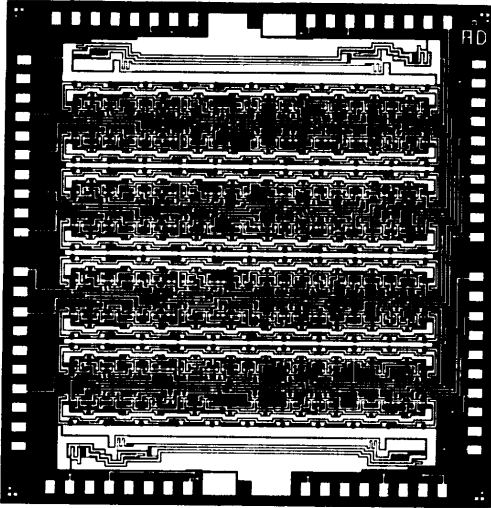


図9 LSI配線パターン例

納する。

v) 編集翻訳処理: i)~iv)で基本パターンに展開されて LSI マスタファイルに格納されているデータを受けて LSI 名, 層名, 縮尺, 出力モードなどのパラメータカードで指定されたように LSI 名別, 層別に編集し作図機用の言語に翻訳して出力テープをアウトプットする。

DAP による配線パターン例を図9に示す。

このようなアートワークプログラムの出力を受けてマスクを自動作成する方式として代表的なものを挙げると、

- (i) カuttingとピーリングによって100~200倍の原板を作る方式,
- (ii) フォトヘッドにより写真乾板に 100~200倍の原画を描く方式,
- (iii) 可変アパチャと可動テーブルにより感光板に 10倍程度の原画を描く方式,
- (iv) 電子ビームにより実寸あるいは 10倍程度の原画を描く方式

などである。この中で LSI のマスク作成には(i)の方式が依然広く用いられているようであるが、速度、精度などを考慮すると近い将来 iii), iv)などの方式が主流を占めてくることが予想される。

6. LSI の試験

LSI の試験は、試験プログラムの作成、論理試験のためのテスト系列の入力、測定系の制御、試験結果の解析と評価とを含み LSI-DA のサブシステムとして

位置づけられる。

LSI では内部の素子が非常に多く外部端子を通じて測定できる素子はごく少数に限定されてしまうので、従来の試験方法だけでは不十分であり論理機能試験が重要な役割りを果たす。しかし各種の LSI すべてについて試験法が確立されている訳ではなく、今後の標準試験法の確立が望まれている。

6.1 試験項目

LSI の試験項目は大別すると次の3つになる。

(1) DC パラメータテスト

従来の IC の DC パラメータテストと同様であり、例えば入出力電圧レベル、入出力電流、入出力リーク電流、電源電流などである。ウェア中のキーパタンによる工程管理にも重要であり、またプローバの接触を確認するにも欠かせない基本的な測定である。

(2) 論理機能試験

LSI では内部素子をなんらかの間接的な方法により推定し保証する技術が要求される。LSI をブラックボックスとみなして論理値により機能を検査する論理機能試験は有効な方法である。論理回路の場合には前述したテストパターン系列を入力し期待値パターンと測定結果との比較を行なう。メモリ回路の場合は所定の手順により READ, WRITE 動作の確認を行なう。MOS ダイナミック型メモリについては、メモリの実動作速度(数 MHz~数十 MHz)で行なうダイナミック・ファンクション・テストでなければ機能の保証ができないと考えられている。測定系にはそれぞれドライバおよびコンパレータが用いられているが、LSI と同種の論理ゲートを用いる簡易な方法も考えられる。

(3) ダイナミック・パラメータ試験

テスト項目は、信号伝播遅延時間、立ち上り時間、パルスの電圧レベルなどである。信号は何段ものゲートを通るので、テスト項目、測定点などを良く選ばないと目的が不明確になってしまう。例えば、回路のクリティカル・パスの確認とか時間領域の動作余裕度の試験が対象となる。ダイナミックパラメータ試験をすべての LSI について実施するのは実際ではなく、一部抜き取り検査とかウェア管理や DC パラメータとの相関によりテストを省略することが多い。バイポーラメモリについては各種タイミング関係を詳細に規定する擬似ダイナミック機能試験が一部提案されている。

6.2 試験プログラム

LSI は品種が多く、能率の良いプログラム作成が必

表 1 メモリ試験法の代表例

テスト種類	機能性	アドレスの組み合わせ	二重選択	DC パタン	アクセス時間	書き込み回復時間	パタン数	備考
CHECKER BOARD	△	△	△	△	△	△	4N	IC メモリではベストケースになることがある。
MARCHING	○	○	△	△	△	△	10N	最小の機能テスト。
WALKING	○	○	△	△	△	△	2N ²	広く使われている。
PING PONG WALK	○	◎	◎	○	◎	△	4N ²	Read-Read に関してすべてのアドレスの組み合わせ。
GALLOPING	○	◎	◎	○	◎	△	6N ²	同上
GALWREC	○	◎	◎	○	○	◎	8N ²	Read-Write に関するすべてのアドレスの組み合わせ。

要である。パラメータテストのためには、できるだけ測定機に依存しない汎用の測定言語^{22),23)}が試みられている。

(1) 論理用 LSI

論理試験の実行に当っては、能率の良いデータ系列と測定機の高速度性が重要である。LSI では主に故障検出に重点が置かれるが、マルチ・チップ LSI ではチップ単位の故障箇所診断も必要となろう。

(2) 集積メモリ回路

反導体メモリでは、コアメモリなどと異なり、ワースト・ケース・パタンが見出されておらず、試験方法も確立されていない。ワースト・ケース・パタンは構造、製造条件、回路設計などに依存し LSI メモリ毎に異なっていると考えられる。したがって LSI メモリの検査に当ってはメモリの動作原理、構造、使用条件などを良く理解してテスト・パタンを決定すべきである。表 1 にテスト・パタンの代表例をあげる。

(3) セラミック基板

マルチ・チップ LSI はモノリシック LSI と並んで主要な一形式であり、チップ積載前の CB 検査も今後ウェットを増すと考えられる。検査パタン作成にはコネクタ・バック・ボードや IC 積載前のパッケージのためのデータ発生と同じプログラムが適用されようが、現在測定系との適切な接続手段が確立されておらず実用されていないようである。

6.3 LSI 試験機

LSI は今後ますます大型化、高速化、機能の多様化すると思われ、LSI の開発速度にテストの性能が追従できないのが現状である。これからは、研究用エンジニアリング用の大型汎用機とプロダクション用の小型専用機とに、また用途別には論理用とメモリ用とに分化して行く傾向にある。表 2 にテストの大まかな分類を示す。

テストについては設計思想が確立されているようにも見えず、非常に多くの機種があるので、テストの導

表 2 テスタの用途別分類

機能	用途	論理		メモリ	
		バイポーラ	MOS	バイポーラ	MOS
パラメトリック	DC	○	○	○	○
	トランジェント	△	×	△	×
ファンクション	DC	○	×	○	×
	ダイナミック	×	○	△	○

入あるいは試作に当っては使用目的、拡張性と柔軟性、使用条件などを明確にすることが大切であろう。

6.4 LSI の信頼性

LSI の信頼度は IC の数倍から数 10 倍と推定されている。装置においては、LSI の導入により外部布線接続系での故障発率が大幅に減少することを考慮に列れば製置の信頼性はさらに良くなるであろう。

LSI の信頼度保証法については、品種数が多く従来の方法を用いることは困難である。LSI は、高い技術レベルと安定な工程により実現可能であり、良く管理された製造工程により作られたものは信頼度も高いと考えられる。

7. むすび

以上、LSI の設計自動化の現状について、いろいろな観点から述べた。現在、まだ LSI の設計方式自体が、最適な形を求めて暗中模索の段階にあるとって過言ではなく、したがって、それと不可分の関係にある LSI の DA システムもさらに今後の発展が期待される。製造技術などの発展を考えると、モノリシック形、マルチチップ形を問わず、今後の規模はさらに大きくなることが考えられ、ますます効率のよいアルゴリズム、およびそのプログラム開発が必要となり、LSI の開発費にしろソフトウェアの開発費の割合はきわめて大きいものとなることが予想される。その意味からも、これからは各メーカーおよび研究所間での LSI-DA システムの共同開発、共同利用がもっと本

格的な形で実施されることが望まれる。

参考文献

- 1) 大柴, 上田, 一宮他: NTL-LSI 設計自動化プログラム, 通研研究実用化報告, Vol. 21, No. 7, pp. 1217-1234 (1972-7).
- 2) M. Nagamine: An Automated Method for Designing: Logic Circuit Diagnostic Programs, Proceedings of the June 1971 Design Automation Workshop, 23, pp. 236-241.
- 3) S. Seshu, et al.: The Diagnosis of Asynchronous Sequential Switching System, IRE Trans., EC-11, pp. 459-465 (1962-8).
- 4) J. P. Roth, et al.: Programmed Algorithm to Compute Tests to Detect and Distinguish between Failures in Logic Circuits, IE³ Trans, EC (1967-10).
- 5) 北村他: NEAC-2200/700 に於る故障診断について, 昭和 46 年度電子通信学会全国大会 1151 他.
- 6) 村上他: アルゴリズムによる順序回路試験プログラム, 昭和 47 年度電子通信学会全国大会 1251.
- 7) 浪本他: 同期型順序回路のテスト発生アルゴリズム, 昭和 47 年度電子通信学会全国大会 1252.
- 8) J. W. Gault, et al.: Multiple Fault Detection in Combinational Networks, IE³ Trans, C., 21-1 (1972-1).
- 9) 一宮, 中山: 論理検査入力の作成について, 昭和 47 年度電子通信学会全国大会 1249.
- 10) K. Yoshida and T. Nakagawa: Topological Layout Design of Monolithic IC in Computer-Aided Design, ISSCC, THPM, 11.2, p. 136 (1969-2).
- 11) W. L. Engl and D. A. Mlynski: Topological Synthesis Procedure for Circuit Integration, ISSCC, THPM, 11.3, p. 138 (1969-2).
- 12) N. Sugiyama, et al.: An Integrated Circuit Layout Design Program on a Graph-Theoretical Approach, ISSCC, THAM, 7.5 (1970-2).
- 13) 西川, 岡田他: グラフ理論を応用した集積回路マスクパタン自動設計システム, 回路とシステム理論研究会資料, CT 71-28 (1971-08).
- 14) 中田, 長永, 後藤: LSI パタン設計のための CAD システム, 半導体・トランジスタ研究会資料, SSD 71-22 (1971-07).
- 15) 杉山, 川西, 平野: LSI の自動配置配線設計におけるグラフ理論的考察, 回路とシステム理論研究会資料, CT 71-21 (1971-07).
- 16) 堀野, 平野: LILAC システムの配線手法, 昭和 47 年度電子通信学会全国大会, S. 4-8.
- 17) 和田: LSI におけるゲート配置の一考察, 半導体・トランジスタ研究会資料, SSD 72-5 (1972-05).
- 18) 三上, 田淵: 計算によるプリント配線経路の決定, 昭和 42 年度電子通信学会全国大会, 974.
- 19) 杉山, 種田, 伊藤: LSI 度路設計の一試案, 半導体・トランジスタ研究会資料, SSD 70-4 (1970-05).
- 20) C. Y. Lee: An Alogorithm for Path Connection and Its Applications, IRE transactions on EC, EC-10, p. 346 (1961-09).
- 21) 上田, 山本, 川勝, 村田: LSI マスク自動作成プログラム, 昭和 45 年電気 4 学会連合大会, 1710.
- 22) 大柴, 川島, 杉田: IC 測定機の言語形式, 昭和 44 年度電子通信学会全国大会, 763.
- 23) ジーン・キアス: テスト技術者に適したプログラム言語 Getel, 日経エレクトロニクス, 11-22, p. 70 (1971-11).

(昭和 47 年 12 月 14 日受付)