

## CMA:超低電力再構成アクセラレータ

小崎 信明<sup>†1</sup> 安田 好宏<sup>†1</sup> 斉藤 貴樹<sup>†1</sup>  
池淵 大輔<sup>†1</sup> 木村 優之<sup>†1</sup> 天野 英晴<sup>†1</sup>  
中村 宏<sup>†2</sup> 宇佐美 公良<sup>†3</sup>  
並木 美太郎<sup>†4</sup> 近藤 正章<sup>†5</sup>

CMA (Cool Mega-Array) はモバイルフォンなどの組込みシステム向けの、電力効率の良い再構成アクセラレータである。CMA はデータメモリと、実演算を行う演算素子 (PE) をアレイ状態に配置した PE アレイと、メモリと PE アレイ間のデータフローを制御するマイクロコントローラから構成される。一般的な動的再構成プロセッサの PE と異なり、CMA の PE は一切レジスタを保持しておらず、PE アレイはアプリケーション実行中は再構成をしない完全な組合せ回路で構成される。動的再構成をしないことによる柔軟性低下を防ぐためマイクロコントローラのデータの入出力に柔軟性を持たせており、搭載可能なアプリケーションの幅を広げている。CMA は実演算以外で消費される電力のうち、動的再構成で消費される電力とクロックツリーで消費される電力を大幅に削減しており、PE アレイを他のモジュールと電源を分離することで DVFS を効果的に適応でき、性能に悪影響を与えないで実演算で消費される電力を削減可能である。PE アレイでの遅延時間がコントローラの処理時間より短い場合、PE アレイへの供給電圧をさげることで、性能に悪影響を与えることなく消費電力を削減する。逆に、PE アレイでの演算時間が長く、コントローラが待つ場合、PE アレイをウェーブパイプライン的に用いることで処理性能を高める。

試作として、アレイサイズ 8×8、メモリ容量 12K バイトの CMA-1 を Fujitsu 65nm CMOS プロセスでチップサイズ 2.1 × 4.2 mm 上に実装した。CMA-1 で簡単な画像処理アプリケーションを実行させた時に、最高で 2.5GOPS/11.2mW の電力性能を達成した。

## CMA: A Ultra Low Power Reconfigurable Accelerator

NOBUAKI OZAKI AND YOSHIHIRO YASUDA AND YOSHIKI SAITO AND  
DAISUKE IKEBUCHI AND MASAYUKI KIMURA AND AMANO  
HIDEHARU AND HIROSHI NAKAMURA AND USAMI KIMIYOSHI AND  
MIDARO NAMIKI AND MASA AKI KONDO AND<sup>†1,†1,†1,†1,†1,†1,†2,†3,†4,†5</sup>

CMA (Cool Mega-Array) is a high energy-efficiency reconfigurable accelerator for battery-driven mobile devices. It consists of a large processing element (PE) array without memory elements for mapping the data-flow graph of the application being executed, a small simple programmable micro-controller for data management, and a data memory. Unlike traditional coarse grained reconfigurable processors in which each PE provides registers and context memory, a CMA reduces power consumption by doing away with that for switching of hardware context and storing intermediate data in registers and their clock distribution. Although the data-flow graph mapped on the PE array is static during execution, various application programs can be implemented by making the best use of flexible data management instructions in the micro-controller. When the delay time of the PE array is shorter than the data handling time taken by the micro-controller, the supply voltage for the PE array is scaled to reduce the power consumption without degrading the performance. In contrast, when the delay time of the PE array is longer, wave pipelining is applied to enhance performance of the PE array.

A prototype CMA chip (CMA-1) with 8 × 8 PE array with 24-bit data width was fabricated on the basis of 2.1 × 4.2-mm 65-nm CMOS technology, and achieves sustained performance of 2.5-GOPS/11.2-mW. This energy efficiency is comparable to that of the most-energy-efficient accelerators that have been reported.

†1 慶應義塾大学  
Keio University  
†2 東京大学

University of Tokyo  
†3 芝浦工業大学

## 1. 結 論

バッテリー駆動するモバイル機器向けに電力性能の高いオフロードエンジンとして様々な動的再構成プロセッサ (CGDRP)<sup>1)~4)</sup> が注目されるようになった。近年では、多くの CGDRP システムが商用製品に組み込まれるようになった。例えば、ソニーの "virtual mobile engine<sup>5)</sup>"、NEC エレクトロニクスの "stream transpose engine<sup>6)</sup>" やパナソニックの "D-Fabrix<sup>7)</sup>" などがテレビゲームやビデオカメラなどに組み込まれている。

CGDRP はアレイ状に配置された複数の演算素子 (PE) から構成される。PE には、数値演算や論理演算を行う ALU、レジスタファイル、そして PE 間の接続を行う配線素子 (SE) やダイレクトリンクが含まれている。CGDRP は複数のハードウェアコンテキストと呼ばれる構成情報をもち、毎クロックもしくは数クロックおきにこれらを切り替えることで ALU や SE の構成を変え、様々なアプリケーションプログラムを実行する。アプリケーションプログラムのデータフローグラフが直接的に PE アレイに配置され、複数の PE が同時に処理を行うことで、比較的低動作周波数と供給電圧で要求性能を満たすことができるので、エネルギー効率の高いデータ処理が可能である。

しかし、これらの CGDRP には削減可能な電力が存在する。例えば、PE アレイが動的再構成で消費する電力、パイプライン処理の為に実行されるレジスタのデータの読み書きで消費される電力、そして PE アレイ全体に広がるクロックツリーで消費される電力が挙げられる。動的再構成プロセッサの試作機として 65nm CMOS プロセスを用いて独自に開発した MuCCRA-3<sup>8)</sup> を解析し、消費電力の内訳を調査した結果、全消費電力のうち、25%を動的な再構成に、15%をクロックツリーで消費していることが判明した。

そこで、これらの余剰な電力を効果的に削減するとともに、実演算で消費される電力も効果的に削減し、従来の CGDRP と同等の処理性能を発揮する極めて電力効率の優れたアクセラレータとして、"Cool Mega-Array" (CMA) というアーキテクチャを紹介する。CMA はデータメモリと、PE アレイと、マイクロコントローラの 3 つのモジュールで構成される。マイクロコントローラはデータメモリと PE アレイ間のデー

タフローを制御する。PE アレイはレジスタを排除した完全なる組合せ回路とし、アプリケーション実行中は再構成しない。また組合せ回路なのでスレッシュホールド電圧以下でも正常に動作するため、他のモジュールとは電源を分離して低電圧供給での演算を可能とした。CMA は大域的クロックゲーティングや DVFS、ウェーブパイプラインといった様々な手法が効果的に適用出来き、極めて電力性能の優れたアーキテクチャである。

## 2. CMA の概要

CMA アーキテクチャは、主にバッテリー駆動する組込みシステムで行われるマルチメディア処理をターゲットとする。これらの処理は、一定量のデータを要求時間以内に処理する必要があるが、要求時間よりも早くに処理を終わらせることには何ら優位性はない。バッテリーを長時間保持するために、一定量のデータ処理で消費される電力を最小限にすることが重要である。そのため CMA アーキテクチャは一定量の処理を最小限の消費電力で実行できるように設計されている。

消費電力 ( $P = C \cdot V^2 \cdot f$ ) は電圧 ( $V$ ) の二乗に比例するため、消費電力削減の為に電圧は可能な限り低い方が望ましい。しかし、論理回路での遅延時間は電圧  $V$  を下げスレッシュホールド電圧  $V_{th}$  に近づくほど、以下の式 (1) に従って長くなっていく。 $\alpha$  は 1.1 から 1.3<sup>9)</sup> 程度である。

$$D = \beta \cdot \frac{C \cdot V}{(V - V_{th})^\alpha} \quad (1)$$

幸い、多くのストリーム処理には高い並列性があるため、多数の PE による並列処理による処理性能の向上が可能である。

CMA では、要求性能を満たせる範囲で、PE アレイへの供給電圧を下げることで実演算で消費される電力を削減する。PE は動的再構成をせず、コントローラが必要最低限のデータフロー制御をすることで実演算以外で消費される電力も削減する。

CMA はデータメモリと、PE アレイと、マイクロコントローラの 3 つのモジュールで構成される。データメモリはデュアルバンクにすることで、一方が CMA 内部と接続している際は、もう一方は外部と接続させ、データ転送時間を隠蔽することを可能とする。PE アレイは一切のレジスタを含んでおらず、完全なる組合せ回路で構成され、他のモジュールとは電源を分離する。アプリケーションのデータフローグラフは演算を開始する前に PE アレイに直接的にマッピングし、アプリケーション実行中は再構成をしない。従って、PE

Shibaura Institute of Technology

†4 東京農工大学

Tokyo University of Agriculture and Technology

†5 The University of Electro-Communications

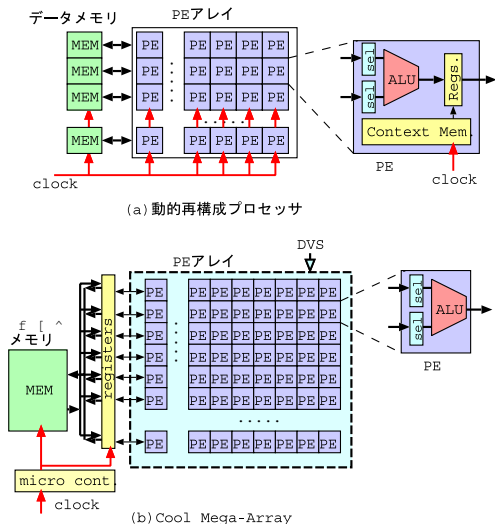


図 1 (a) 動的再構成プロセッサ (b)CMA アーキテクチャ  
Fig. 1 (a)Dynamically Reconfigurable Processors and  
(b)CMA architecture

アレイはスレッシュホールドレベルよりも低い電圧でも正常な動作が可能である。マイクロコントローラはデータメモリと PE アレイ間のデータフローの制御を行う。PE アレイを動的に再構成することなく様々なアプリケーションの実装を可能とするために、特殊レジスタやベクターオペレーションが用いられている。CMA では、(1) メモリからコントローラにデータを読み込む、(2) PE アレイで演算を行う、(3) PE アレイでの演算結果をメモリに書き込むという処理をパイプラインマナーで行う。PE アレイでの演算時間 (2) がコントローラのデータ読み出し時間 (1) より短い場合、PE アレイの供給電圧を下げることで実演算で消費される電力を削減する。反対に、PE アレイでの演算時間 (2) がコントローラのデータ読み出し時間 (1) より長い場合、PE アレイをウェーブパイプラインとして用いることで、性能の向上を図る。高速なクロックツリーを面積の大半を占める PE アレイから排除し、小さなマイクロコントローラのみを集約し、クロックツリーで消費される電力を抑えている。

図 1 に CMA の基本的なコンセプトを示す。動的再構成プロセッサ (図 1(a)) では、各 PE の出力は毎クロック内部レジスタ (図 1(a)(Regs)) に書き込み、ALU の演算内容と PE 間の接続に切り換えることでパイプライン演算を可能としている。そのため、PE は ALU や接続網用の構成情報レジスタ (図 1(a)(Context Mem.)) を持っており、この出力を切り換えることで動的な再構成を可能としている<sup>1),6),10)</sup>。従って、同期をとるためにすべての PE にクロックが入力される必

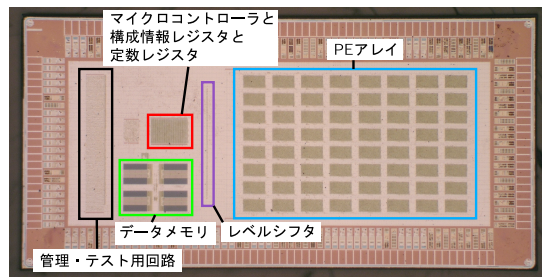


図 2 CMA-1 のチップ写真  
Fig. 2 Chip photograph of CMA-1.

要がある。

一方、CMA アーキテクチャ (図 1(b)) では、PE は一切のレジスタを排除しており PE アレイは組合せ回路で構成される。そのため、クロックのタイミングやレジスタのセットアップ時間に悩まされることなく PE アレイの供給電圧を下げて動作させることができる。PE アレイにはクロックツリーは存在しない。結果として、PE アレイで消費される電力を大きく削減することが可能である。また、レジスタやクロックツリーを持たないため、各 PE の面積は動的再構成プロセッサの物より小さく、同じ面積により多くの PE を実装することが可能である。PE アレイの入出力を保存するためのレジスタは PE アレイの外部に配置されている。マイクロコントローラはデータメモリ (図 1(b)MEM) から読み出した演算対象データをこのレジスタに読み出し、このレジスタの値が PE アレイの入出力につながっており、適切なタイミングで演算結果をメモリに書き戻す。マイクロコントローラのメモリアクセスと PE アレイの入出力に柔軟性をもたせることで、様々なアプリケーションの実装を可能としている。

大きな組合せ回路を用いるデバイスは、グリッジに悩まされる<sup>11)</sup>ことが報告されているが、CMA-1 ではオペランドアイソレーションによって余剰な値の伝搬の回避や DVFS による遅延時間の調整でこの影響を最小限に抑えている。

### 3. CMA-1

試作機として CMA-1 を、富士通 e-shuttle 65nm 12 層 CMOS プロセスを用い、4.2mm × 2.1mm サイズのチップに実装した (図 2)。論理設計には Verilog-HDL を、論理合成には Synopsys Design Compiler (2007,12-SP3) を、配置配線には Astro (2007.03-SP3) を用いた。CMA-1 チップは、データメモリのサイズは 12K バイト、マイクロコントローラは最大で 210MHz

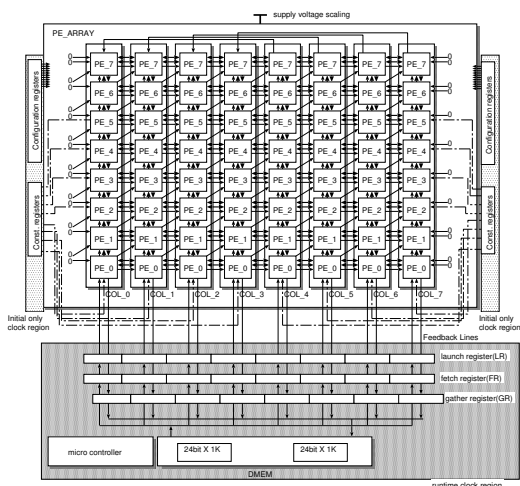


図 3 CMA-1 のブロック図  
Fig. 3 Block diagram of CMA-1

で動作し、PE アレイのサイズは  $8 \times 8$  で、データ幅は 25 ビットである。PE アレイの供給電圧を下げた際にコントローラの貫通電力を防ぐため、PE アレイとマイクロコントローラの間レベルシフタを用いている。また、動作の確認やテスト、デバックのために専用の回路を挿入している。PE アレイは回路面積全体のうち 60%，マイクロコントローラとその他のレジスタは 5%程度の面積であった。同じプロセスで実装された DRPA<sup>10)</sup> の PE と比較すると CMA-1 の PE は 25%の面積で実装することができた。これは、PE から構成情報レジスタや演算結果を一時的に保存するレジスタ、クロックツリーを排除した結果であり、PE の持つ ALU に搭載されている演算の数や種類、PE 間の配線資源は同等の機能を持つ。

CMA-1 設計のブロック図をを 図 3 に示す。

### 3.1 PE アレイ

CMA-1 の PE アレイは 0.5 ~ 1.2V という広い電圧帯で動作する大きな組合せ回路で構成される。CMA-1 で用いられている RAM のスレッシュド電圧は 0.65V であるが、PE アレイとマイクロコントローラの間レベルシフタを用いているため、スレッシュド電圧よりも PE アレイへの供給電圧が低い場合でも正確な演算結果を得ることができる。データ幅 25 ビットの PE が  $8 \times 8$  のアレイ状に配置されている。PE アレイには同時に 8 つのデータが入力されるので、最大 8 並列のデータ処理が可能である。このアレイサイズはコンセプトのわりに小さいが、テストプログラムを動かすには十分なサイズである。各 PE は 2 セットのスイッチングエレメント (SE) とダイレクトリンクを持ち、アイランドスタイルのグローバルネッ

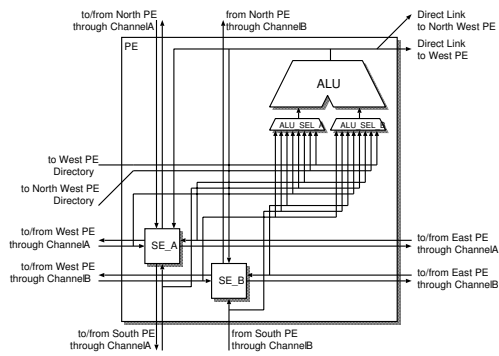


図 4 PE の構成  
Fig. 4 PE structure

トワークでの接続網と SE を介さないで ALU の出力を隣接 PE へ出力するダイレクトリンクのハイブリッドで接続される。フィードバックライン (北から南への接続) は各列に 1 つだけ設けられており、各 PE からそのラインに ALU の出力をのせることが可能である。フィードバックループを防ぐため、フィードバックラインの値は演算に用いることは出来ない。

### 3.2 PE

PE のデータ幅はキャリー 1 ビットとワード幅 24 ビットの計 25 ビットであり、図 4 のように ALU と SE, ALU SEL から構成される。

ALU は算術演算や論理演算を実現するため、加減算器、乗算器、シフタ、論理演算器から構成される。オペランドアイソレーションが適用されており、使われない演算器の入力は 0 に固定される。

SE は、東西南方向の PE からと、ダイレクトリンクからの値を東西北方向に出力可能で、北側の PE からの値は南側のみに出力する。

ALU SEL は東西南方向の PE からと、ダイレクトリンクからの値を入力とし、演算に必要な値を 2 つ ALU に対して出力する。

### 3.3 構成情報、定数レジスタ

他の多くの粗粒度再構成デバイスと同様に、CMA-1 も PE の演算の種類と接続網のデータと、演算に使われる定数を保存するレジスタを持っており、構成情報としてアプリケーションプログラムの実行前にセットアップされる。

CMA-1 では、構成情報、定数レジスタは PE アレイの外部に配置されており (図 3)、ここから各 PE に構成情報の信号が送られ、定数は PE アレイの東西南方向に対して供給される。CMA-1 では動的再構成をせず、構成情報のセットアップがアプリケーションプログラムの実行前に行われるため、構成情報、定数レ

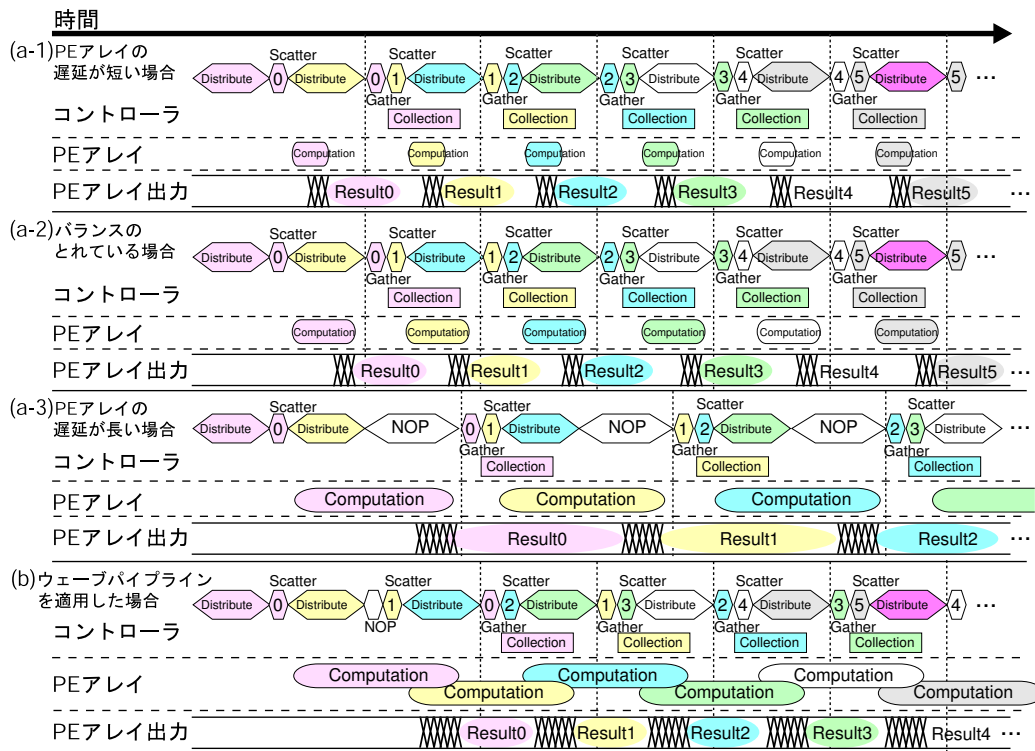


図 5 CMA のアプリケーション実行のタイミング制御  
Fig. 5 Timing diagram of application execution on CMA

レジスタを PE アレイの外部に配置することによる配線遅延の増大を気にする必要がない。

アプリケーションプログラム実行中にはこのレジスタの値は書き換わることがないため、このレジスタへのクロックはアプリケーションプログラム実行中は根元からゲーティングされる (図 3 中の initial only clock region)。したがって、クロックツリーは、実行前の構成情報セットアップ時のみアクティブとなる。

CMA-1 では構成情報のマルチキャスト手法である "RoMultiC<sup>12</sup>" が用いられている。構成情報に PE アレイの各行と列に対応した 2 次元のビットマップを持たせ、行と列両方のビットマップがアクティブな PE に対し、構成情報が配送されるという手法である。この手法は、構成情報そのものの削減のみならず、構成情報配送にかかる時間と電力両方を削減できる。

### 3.4 マイクロコントローラ

マイクロコントローラは、メモリアクセスと PE アレイへのデータの授受を行う。14 ビットのマイクロオペレーションを格納する 128 エントリの小さな命令メモリを持つ。図 3 に示すとおり、25 ビット幅のフェッチレジスタ (FR)、ラウンチレジスタ (LR)、ギャザーレジスタ (GR) の 3 種類のレジスタが、PE アレイの

入出力に対応して 8 つずつ配置されている。

マイクロコントローラは以下の 3 ステップをパイプラインマナーでデータフロー制御を行う。図 5 にその様子を示す。

- (1) データメモリから FR にデータを読み込む。PE アレイで処理するデータの数の入力に応じて、このステップには最大 8 クロックかかる。(図 5Distribute)
- (2) FR の値を LR にコピーし、PE アレイでの演算 (図 5Computation) を始める。LR へのコピーにかかる時間はデータの数によらず 1 クロックで終わる。(図 5Scatter)
- (3) PE アレイでの演算結果を GR に取り込み、その値をメモリに書き戻す。GR へデータを取り込む時間は 1 クロックで終わる (図 5Gather) が、GR の値をメモリに書き戻すのには、PE アレイでの演算結果の数に応じて最大 8 クロックかかる (図 5Collection)。

Distribute と Computation と Collection にかかる時間を重ねることで、処理性能の向上を図っている。図 5(a-2) がバランスのとれている例である。Computation にかかる時間が Distribute にかかる時間より早

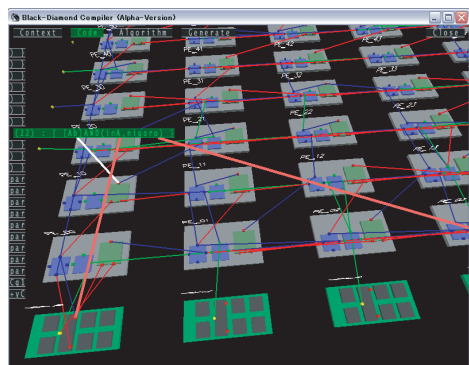


図 6 ブラックダイヤモンドの GUI  
Fig. 6 GUI of black diamond

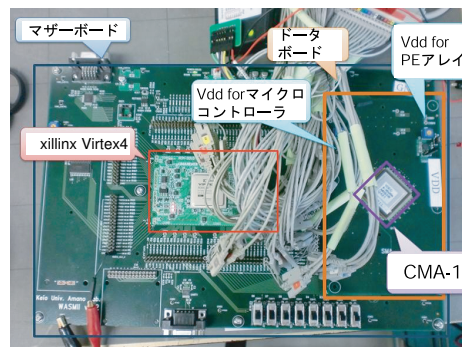


図 7 評価ボード  
Fig. 7 Evaluation Board

い場合 (図 5(a-1)), PE アレイの供給電圧を下げることで、性能に悪影響を与えることなく演算で消費される電力を削減する。逆に、Computation にかかる時間が長い場合 (図 5(a-3)), 通常の DVFS の考えに乗取ればマイクロコントローラの動作周波数を下げて時間のバランスをとるが、図 5(a-3) のように PE アレイの演算時間が十分に長い場合は、Computation の間に 2 回以上の Distribute を行い、ウェーブパイプラインを適用する (図 5(b))。

### 3.5 データメモリ

一般的な動的再構成プロセッサではよくマルチバンクデータ RAM モジュールが用いられることが多い (図 1(a)) が、多くの電力を消費する。CMA-1 では、25 ビット幅 1024 エントリのデュアルポートの RAM2 つをデータメモリに用いている。一方の RAM がマイクロコントローラと接続して動作している間に、もう一方は外部と接続されデータ転送が可能となっている。CMA での演算が終了したら、接続されている RAM を切り換え、すぐに実行を再開でき、データ転送時間と実行時間を重複させることでシステム全体の性能を改善している。

## 4. 開発環境

### 4.1 アプリケーション開発環境

この章ではアプリケーションの開発環境の説明をする。CMA は一つのアプリケーションを動作させるためには、PE アレイの構成情報とマイクロコントローラの動作の 2 種類のプログラミングが必要である。

PE アレイへの演算の配置には「ブラックダイヤモンド<sup>13)</sup>」という動的再構成プロセッサ向けのリターゲットラブルコンパイラを用いた。これは C ライクの言語で記述されたコードを読み込み構成情報を生成する。コンパイルに成功した場合、図 6 のような GUI が表

示され、各演算が配置された PE を視覚的に確認できる。必要に応じて演算の配置場所を指定することも可能である。

マイクロコントローラ用のコードには、簡単なアセンブリ言語を用いた。PE アレイでの演算結果の格納のタイミングや、メモリアクセスなど図 5 の Controller に示すような命令群の記述がプログラムのメインである。通常のプログラミングでは図 5(a-2) のような記述をして動作させる。PE アレイの供給電圧を下げていきながらその都度コントローラの動作周波数を変化させ動作可能な最高周波数で評価をとっている。PE アレイの供給電圧が十分に低い状態で図 5(a-3) のようなプログラムで動作させることでウェーブパイプラインを適用させたときに正確な結果が得られるコントローラの動作周波数を確認したのちに、5(b) に示すようなプログラムを動作させウェーブパイプラインを適用する。PE アレイの構成情報は同一の物でマイクロコントローラのプログラムを変化させるだけでウェーブパイプラインの適用が可能である。

### 4.2 CMA 評価環境

CMA-1 の性能評価は、図 7 に示すように、独自に開発したボードに FPGA (Virtex4) と CMA-1 をのせ、FPGA をホスト CPU とみなし CMA-1 に処理をオフロードさせ、動作中の電流と電圧を直接測定することで行った。CMA-1 はマイクロコントローラおよびその他のテスト回路やレジスタの電源と PE アレイの電源が分離されているため、PE アレイとマイクロコントローラの電力を分離して測定した (図 8)。CMA-1 に入力されるクロックと、PE アレイの供給電圧は手動で変化させ評価を行った。性能は、マイクロコントローラの動作周波数と、使用している PE の数、コントローラがデータをスキューする頻度を掛け合わせて求めた。

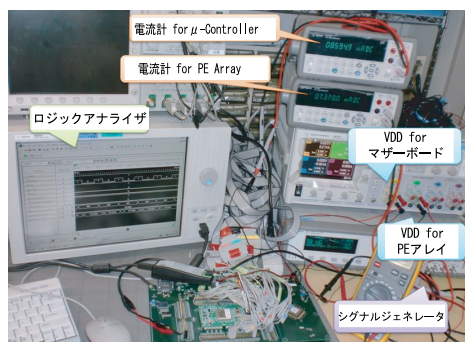


図 8 評価環境

Fig. 8 Evaluation Environment

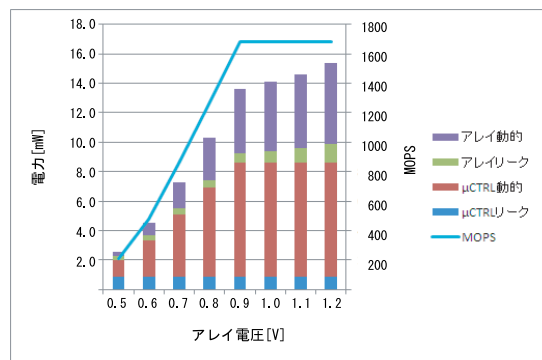


図 9 電力消費の内訳

Fig. 9 Breakdown of power consumption

表 1 開発したアプリケーションプログラム  
Table 1 Applications programs developed

af:	24-bit $\alpha$ ブレンダ
sf:	24-bit セピアフィルタ
alpha:	8-bit $\alpha$ ブレンダ
sepia:	8-bit セピアフィルタ
セピア & $\alpha$	two filters
8bit	RGB data are compressed into 24 bits
DCT	離散コサイン変換 for JPEG coder
edge:	エッジフィルタ
gray:	24-bit グレイスケール
sad	差分絶対和
ssd	差分二乗和
satd	差分変換和

## 5. 評価結果

### 5.1 評価アプリケーション

表 1 に示すマルチメディア処理に用いられるアプリケーションプログラムを 12 個開発し、CMA-1 の評価に用いた。

### 5.2 電力評価

CMA-1 の消費電力の内訳をセピアフィルタと  $\alpha$  ブレンダのマルチタスクのアプリケーションを実行し DVFS を適用したときの結果を図 9 に示し説明する。

この図は横軸がアレイの供給電圧で、縦の主軸が棒グラフで電力を示しており、第 2 軸が性能を示している。性能の単位は MOPS (million operation per second) であり、単位時間あたりの処理性能である。これはマイクロコントローラの動作周波数に単調に比例する。PE アレイの供給電圧が 0.9 から 1.2V の間では、演算にかかる時間が短くマイクロコントローラがボトルネックとなっている (図 5(a-1)) が、I/O パッドの性能が悪く、これ以上動作周波数を上げられないため、性能が頭打ちになっている。PE アレイの供給電圧が 0.8V 以下の状態では、PE アレイで演算にかかる時間に合わせて動作周波数を下げているため、性

能と電力は同じ程度の比率で変化していることがわかるが、PE アレイを低電圧にするほど、電力の減りよりも性能の悪化の方がはやい。

次に電力の内訳に注目する。PE アレイで消費される電力は、PE アレイの使用率と供給電圧と動作周波数に応じて敏感に変化し、総量は大きくない。また、面積のわりにリーク電流は十分に小さいといえる。PE アレイの電圧 1.2V、マイクロコントローラの動作周波数が 210MHz の条件で、実装したすべてのアプリケーションで平均をとると PE アレイでの消費電力はおよそ 8mW であった。

図 9 の棒グラフの赤い部分がマイクロコントローラで動的に消費される電力として示しており消費電力の大半を占めているが、これは測定上の問題で、このなかにはテスト回路や構成情報レジスタ等でコンスタントに消費される電力が含まれており、純粋にマイクロコントローラで動的に消費される電力はこのなかの 20%弱であることが判っている。これを考えると、CMA-1 は非常に少ない電力で高い性能を発揮しているといえる。マイクロコントローラで消費される電力は、PE アレイの使用率には依存せず、動作周波数と処理するデータの数に依存する。210MHz で動作させたときの消費電力はおよそ 9mW 程度であった。

### 5.3 電力効率評価

実装したすべてのアプリケーションを実行したときの性能を電力で正規化したものを図 10 に示す。基本的にこの結果は DVFS を適用したときの電力性能の結果であるが、PE アレイへの供給電圧が 0.65V 以下で、PE アレイの使用率が高く演算時間が長いアプリケーション (af,sf,edge,gray) には、ウェーブパイプラインを適用して性能を評価している (af-pipe, sf-pipe, edge-pipe, gray-pipe)。図 10 からわかるようにウェーブパイプラインの適用により、供給電圧が低い領域で

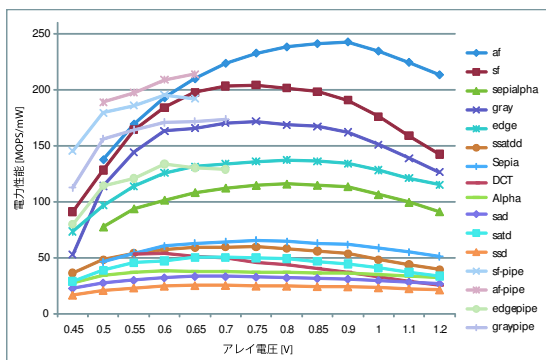


図 10 様々なアプリケーションの電力性能  
Fig. 10 Performance versus Array Voltage Applications

も効率よく演算を処理出来たことから、電力性能の急激な悪化を防いでいる。24 ビットの  $\alpha$  ブレンダはウェーブパイプラインで処理することによりアレイの供給電圧が 0.5V の時の電力性能を 37% 改善しており、24 ビットのセピアフィルタではアレイの供給電圧が 0.45V のときの電力性能を 59% も改善している。

グラフの下の方の電力性能の低いアプリケーションは、演算規模が小さく PE アレイの使用率が低い (~25% 程度) ため、コントローラで消費される電力の比率が高くなり、結果としては電力性能が低くなった。電力性能の高いアプリケーションでは大きな PE アレイを生かした結果である (PE アレイ使用率 68 ~ 94%)。最大で、24 ビットのデータ幅で  $\alpha$  ブレンダを PE アレイを 0.9V で実行したとき、2.72GOPS の性能を 11mW の消費電力で、つまり 247MOPS/mW の電力性能を達成した。同じサイズのチップに同じプロセスを用いて開発された 0.357GOPS/13.4mW (24.9MOPS/mW) の動的再構成プロセッサ<sup>8)</sup>と比較して、10 倍近い電力性能を達成できた。

近年発表された他の電力効率の高いアクセラレータと比較すると、41.5-GOPS/ 0.775W (54.8-MOPS/mW) の動的再構成アクセラレータ<sup>14)</sup> や、3.2-GOPS/50-mW (64-MOPS/mW) の VLIW 型アクセラレータ<sup>15)</sup> と比較すると、CMA-1 ははるかに優れた電力効率を達成している。494-GOPS/W SIMD アクセラレータ<sup>16)</sup> と比較すると CMA-1 の電力性能は劣っているが、ここに報告されるピーク性能は演算部だけの電力性能であり、チップ全体での性能ではないため、正確には CMA-1 との性能比較はできない。

図 11 に当研究室で独自に開発した動的再構成プロセッサの試作機である MuCCRA-3<sup>8)</sup> と、CMA-1 の消費電力の内訳を示した。図 11(a) に示すように MuCCRA-3 では動的な再構成に 25%、クロックツ

リーに 15% と、演算以外で多くの電力を消費している。CMA はこれらの実演算以外で消費される電力を削減するとともに、実演算に消費される電力も可能な限り削減することを目的として設計された。図 11(b) では図 11(a) に比べてその他で消費される電力が増えている用に見えるが、これはアーキテクチャの変更によって動的な再構成やクロックツリーで消費される電力を削減するとともに、DVFS の適用により実演算で消費される電力を最小化したことによって図 11(b) では相対的にその他で消費される電力が大きく見えるだけである。CMA の設計思想の問題点として巨大なアレイによるリーク電力の増大であったが、消費電力全体に占める割合は十分に小さいと言える。しかし、PE アレイで動的に消費される電力と比較すると楽観視は出来ない。アプリケーションの実現に必要な PE アレイの使用率は現状ではそこまで高くない。今回実装可能であったプログラムでも 80% 程度である。なので、今後は PE の配線資源と演算力のバランスの研究が必須であるといえる。また、使用していない PE にパワーゲティングを施すのもリーク電力の削減には有効な手段である。

## 6. 結 論

組込み向けメディアアクセラレータとして CMA-1 を 4.2mm × 2.1mm サイズのチップに 65nm CMOS プロセスを用いて実装した。CMA-1 は 25 ビット幅の PE が 8 × 8 で配置された、組合せ回路で構成される PE アレイとデータフローを制御するマイクロコントローラをもつ。オペランドアイソレーションやクロックゲーティングを施した設計の CMA-1 に DVFS やウェーブパイプラインを適用して、画像処理アプリケーションを実行したとき最高で 2.72GOPS/11.2mW (247MOPS/mW) の電力性能を達成した。評価結果から、いくつかの問題が浮上した。今の PE アレイのネットワークは最適な物ではなく、アプリケーション実装時に PE 間コネクションが原因でうまく実装できないという問題が起こったほか、各 PE における演算能力についてもまだ検討の余地がある。他にもアレイサイズとコントローラの最適なバランスについても検討が必要である。これらの問題を検討するとともに、アプリケーションのプログラミング環境を整備することが今後の課題である。

## 謝 辞

本研究は、科学技術振興機構「JST」の戦略的創造研究推進事業「CREST」における研究領域「情報システムの超低消費電力化を目指した技術革新と統合化技



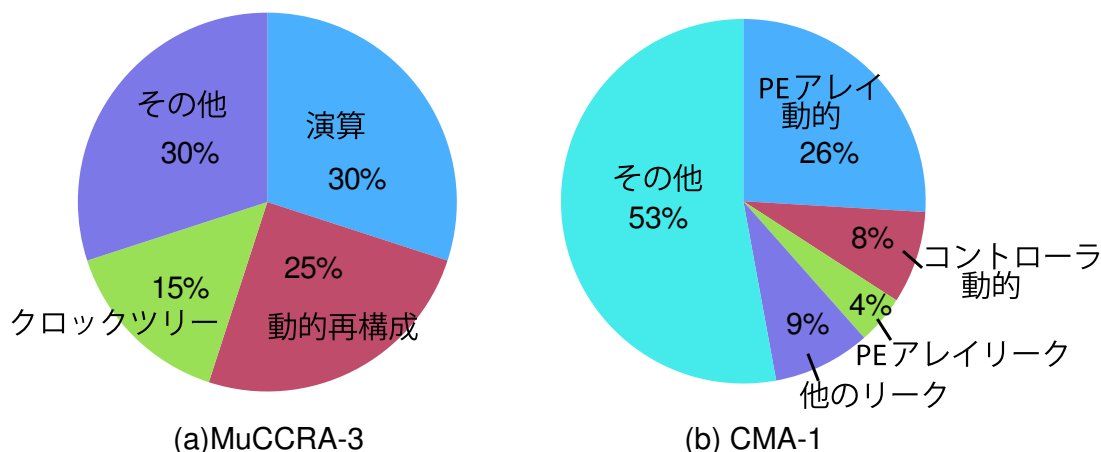


図 11 MuCCRA-3 と CMA-1 の電力消費の内訳

Fig. 11 Breakdown of Power Consumption of MuCCRA-3 and CMA-1

術」の研究課題「革新的電源制御による次世代超低電力高性能システム LSI の研究」による。また、本チップ試作は東京大学大規模集積システム設計教育研究センターを通し、株式会社半導体理工学研究センター、(株)イー・シャトルおよび富士通株式会社の協力で行われたものである。

#### 参 考 文 献

- 1) F.J.Veradas, et.al.. Custom Implementation of the Coarse-Grained Reconfigurable ADRES architecture for multimedia Purposes. *Proc. of International Conference on Field Programmable Logic and Applications (FPL05)*, pages 106–111, 2005.
- 2) H.Singh, et.al.. Morphosys: An intergrated reconfigurable system for data-parallel and computation-intensize applications. vol.49, no.5, pp.465–480, 2000.
- 3) C. Ebeling, et.al.. RaPiD -Reconfigurable Pipelined Datapath. *International Workshop on Field-Programmable Logic and Applications (FPL04)*, Springer-Verlag:126–135, 1996.
- 4) H. Schmit, et.al.. Piperench: A virtualized programmable datapath in 0.18 micron technology. pp. 63–66, 2002.
- 5) Y.Kurose, et.al.. A 90nm embedded dram single chip lsi with a 3d graphics, h.264 codec engine, and a reconfigurable processor. 2004.
- 6) M. Motomura. STP Engine, a C-based Programmable HW Core featuring Massively Parallel and Reconfigurable PE Array:its Architecture, Tool, and System Implications. *Prof. of CoolChips XII.*, 2009.
- 7) Panasonic. D-fabrix. www.panasonic-europe.com.
- 8) Y.Saito, et.al.. A Real Chip Evaluation of MuCCRA-3: A Low Power Dynamically Reconfigurable Processor Array. In *Proc. of Int'l Conf. on Engineering of Reconfigurable Systems and Algorithms (ERSA)*, 2009.
- 9) T.Sakurai, et.al. Alpha-Power Law MOSFET Model and its Applications to CMOS Inverter Delay and Other Formulas. *IEEE Journal of Solid-State Circuits*, 25(2):584–594, Apr. 1990.
- 10) H.Amano, et.al.. MuCCRA chips: Configurable dynamically-reconfigurable processors. In *Proc. of the ASSCC '07. IEEE Asian*, Nov. 2007.
- 11) L.Cheng, et.al. Glitch Map: An FPGA Technology Mapper for Low Power Considering Glitches. *Proc. of DAC 2007*, pages 318–323, 2007.
- 12) V.Tunbunheng, et.al.. RoMultiC: Fast and Simple Configuration Data Multicasting Scheme for Coarse Grain Reconfigurable Devices. In *Proc. of IEEE FPT*, pages 129–136, 2005.
- 13) V. Tunbunheng and H. Amano. Black-Diamond: a Retargetable Compiler Using Graph with Configuration Bits for Dynamically Reconfigurable Architectures. *Proc. of The 14th SASIMI*, pages 412–419, 2007.
- 14) Y.Tuyama, et.al. A 45nm 37.3GOPS/W Heterogeneous Multi-Core SoC. In *ISSCC Dig. Tech. Papers*, pages 100–101, 2010.
- 15) F.Clermidy, et.al. A 477mW NoC-Based Digital Baseband for MIMO 4G SDR. *ISSCC Dig. Tech. Papers*, pages 278–279, 2010.
- 16) H.Kaul, et.al. A 300mV 494GOPS/W Reconfigurable Dual-Supply 4-Way SIMD Vector Processing Accelerator in 45nm CMOS. *ISSCC Dig. Tech. Papers*, pages 259–260, 2009.