
 解 説

LSI の現状と動向

須藤 常太*

1. はじめに

わが国で IC が本当に実用にされ始めてからまだ 10 年を経過していないが、その間の IC を中心にしたエレクトロニクスの進歩は研究開発に従事する者にとっても驚くべき速さである。このような急激な進歩をもたらした原因は種々挙げられようが、技術的な観点からすると、シリコンプレーナトランジスタの発明がもっとも重要であろう。プレーナ技術は純粋に生産技術であり、その詳細に触れることは本文の範囲を逸脱するので、あえて記さない。しかし、この技術によってトランジスタの生産がバッチ処理になったことの意義は大きく、次に来る IC 時代の道が開かれたことは明記しておかなければならない。

この技術は、トランジスタの大量生産を可能ならしめ、コストダウンを可能にし、大量に部品を使用する情報処理装置の普及を促し、IC 化への潜在的要求を高めた。現在 IC は明らかに単一の回路機能のレベルを超えてサブシステムからシステムともいえる範囲にまで進んで来ている。このことは IC が実用化され始めた 65 年代から予想されていた事ではあるが、とくに最近 3~4 年間の飛躍的な技術の進歩に負う所が大きい。LSI (Large Scale Integration) という用語は、半導体チップ上の素子数の区分であって、SSI (Single Scale Integration), MSI (Medium Scale Integration) と同じような目安であり本来技術的な概念を表わす用語であるが、いつのまにか LSI は多数のゲートまたは多ビットを含む機能素子を指すようになって来ている。

IC は能動素子であるバイポーラトランジスタ、または、ユニポーラトランジスタと受動素子である抵抗体、および、静電容量などを適切に電氣的に分離し必要な相互接続を行なったものであり、使用する能動素

子によって大別される。即ち、バイポーラ形と MOS 形 (ユニポーラ) の 2 つである。現在は、バイポーラトランジスタと MOS トランジスタを同一シリコン基板上につくことも可能で、一部アナログ回路に用いられているが、デジタル LSI についてはメリットが少ないために用いられていない。

MOS 形はバイポーラ形に比較して製造工程が少なく、また素子分離が不要で微細化が比較的容易なため、実用化の最初段階から LSI 化に適していると考えられて来た。さらに、微小電流で動作することから低消費電力化が可能で、この点からも LSI に向いている。欠点は、速度が遅く数 10 ns 以上の遅延時間がかかること、回路的に出力インピーダンスが高くなりやすく負荷のドライブ能力に欠けることである。

バイポーラ形は MOS 形の利点が欠点で速度的には有利である。従って現在大形情報処理装置などの高速が必要な分野、特に CPU ではバイポーラ論理 IC が主流であり、MOS 形はメインメモリのように比較的低速な部分に使用されている。電卓のように 1~10 チップ程度でシステムが可能な分野では集積度を上げやすい MOS 形が圧倒的に有利である。図-1 (次頁参照) に IC の集積度の年代推移を示すが 1968 年頃から MOS が LSI の主流になりつつあることを示している。図-2 (次頁参照) に各種論理回路の速度電力積を示すが MOS が低速領域、バイポーラが高速領域にあることが明瞭である。

電力的な面で両者を比較すると、バイポーラトランジスタの伝達コンダクタンスはバイアス電流に比例するのに対し、MOS トランジスタでは構造の幾何学的寸法で決める点が本質的に異なる。従ってバイポーラ形で電流を下げると、伝達コンダクタンスが小さくなり過ぎるので、消費電力を小さくすることは速度上のメリットを失うことになる。一方、MOS では、第一義的には伝達コンダクタンスの低下は起こらない。速度的な面では、MOS 形は多数キャリアの挙動を応用し

* 日本電信電話公社 武蔵野電気通信研究所

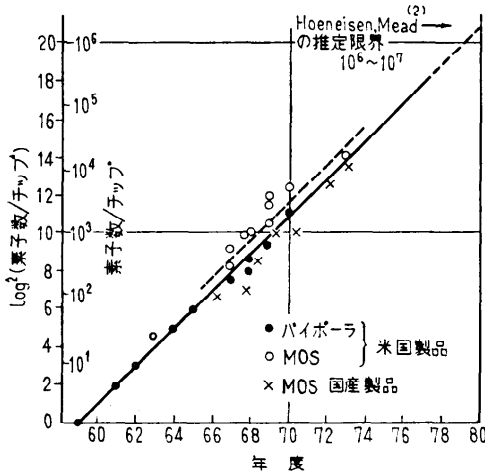


図-1 集積度の年度推移

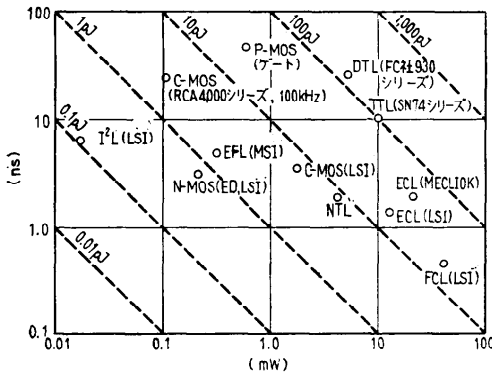


図-2 各種論理回路の性能

たもので、バイポーラ形と比較して少数キャリアの蓄積作用が第一義的には起きない点が有利ではあるが、走行すべき距離が現在の技術的な制限から 10 倍以上あることとスレシユールド電圧が高いことの両面からかなりバイポーラに劣るのが普通である。両者の比較からバイポーラ形は高速性を生かしつつ多集積度を目指し、MOS 形は高速化を目指す動向が窺える。

LSI の特長は何といっても集積度の向上による経済性の追求にあるといえよう。図-1 はその動向を示している。集積度は 2 倍/年の傾向を示している。この傾向は技術的根拠があって推定し得る範囲に限定しても 4 ~ 5 年続くとと思われる。システム技術に対しても LSI のこの傾向は強烈なインパクトであり、マイクロプロセッサに代表されるように特に小形デジタルシステムの LSI 化が始まりつつある。この場合 LSI は、システム技術の一手段であり、LSI が単に集積度の目

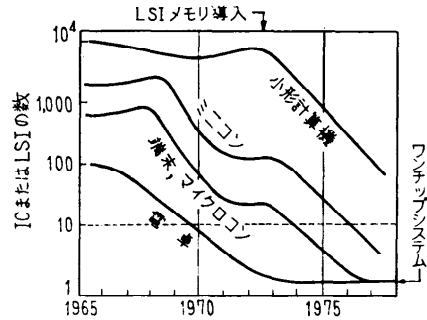


図-3 システムと LSI 数

安を越えて機能の集積化を指標する方向へ進む必要があると思われる。そのためには従来技術の改良だけでなく、デバイスと回路の一体化などの工夫がますます必要になって来る。図-3 にシステム中の IC 数の年代推移を示す。現時点で電卓は既に 1 チップ化され、端末機、ミニコンの 1 チップ化がほどなく可能になるうとしている。以下の各章では、バイポーラ形、MOS 形の各々に対して主なデジタル (回路の) LSI について述べて行く。

2. バイポーラ LSI

バイポーラ技術は 1960 年代に確立した技術であり成熟期に達しつつあるものと思われていたが、最近種々の新技術が開発され新しい進展が見られる。これは、MOS の著しい進出により、バイポーラ技術の占めていた領域で MOS との競合が起きてきたことに起因しているということもできる。先に述べたようにバイポーラ技術は高速領域にその特長が生かせるのであるが、工程数が多い事と占有面積が大きい事から集積度の面では MOS に劣っていた。しかし、IC 技術の動向の本流である小形化の努力と技術の習熟とにより、高速化と集積度の増大が同時に図られて来つつある。図-4 (次頁参照) はバイポーラロジックを例に取った集積度の年代推移である。現時点でゲート、メモリについても $5 \times 10^3 \sim 10^4 \mu\text{m}^2$ に 1 回路を入れることが可能である。バイポーラ IC における素子間分離は従来 p-n 接合によっていたが、誘電体分離法も古くから研究されていた。しかし工程が複雑になりやすく、実用に至らなかった。p-n 接合分離は分離帯の幅を 5 ~ 20 μm 必要とし、この面積が集積度向上の大きな欠点となっている。1971 年に Fairchild 社から発表された Isoplaner という酸化膜分離法はこの欠点を解消できるのではないかという大きな期待がよせられており、

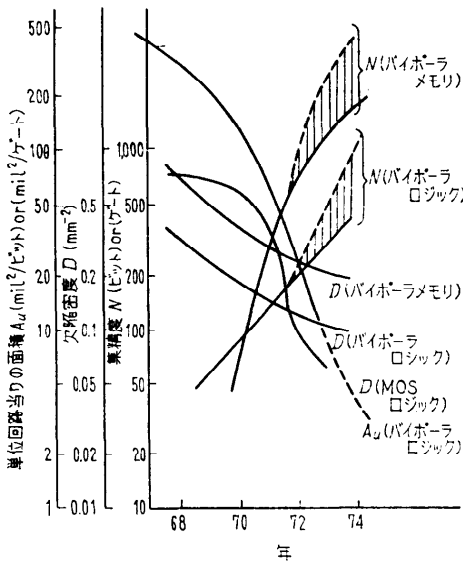


図-4 バイポーラ IC の集積度の年代推移

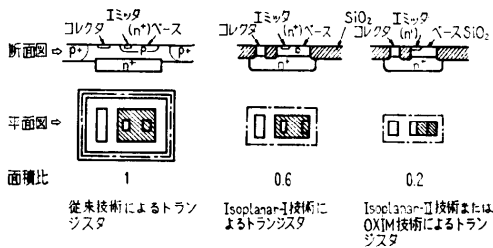


図-5 各種バイポーラ技術によるトランジスタの外観

表-1 バイポーラ各種製造技術の比較

| No. | プロセス名 | トランジスタ面積比 | | | f _T (GHz) |
|-----|---|-----------|------|-----|-------------------------|
| | | ベース | コレクタ | 全体 | |
| 1 | 従来プロセス | 1 | 1 | 1 | 1~5 |
| 2 | Isoplanar-I ① p-Epi ② n-Epi | 1 | 0.5 | 0.6 | 1~2 |
| | | 1 | 0.3 | 0.4 | 1~5 |
| 3 | Isoplanar-II または OXIM Tr ① p-Epi ② n-Epi | 0.4 | 0.1 | 0.2 | 1~2 |
| | | 0.4 | 0.1 | 0.2 | 1~5 |
| 4 | V-ATE または VIP | 1 | 0.5 | 0.6 | 1~5 |
| 5 | 合成マスク法 | 1 | 0.7 | 0.7 | 1~5 |

今後のバイポーラ技術では誘電体分離法が主流になるものと思われる。

図-5 と表-1 に示すように占有面積を 1/5 にすることが可能で、Fairchild 社はこの技術を用いて 1k bit RAM (Random Access Memory) に応用し、実用に供して

いる。この技術は、小形化ばかりではなく、素子の寄性容量を下げる効果があり高速化の点でも注目に値する。事実、MOS、LSI にも応用されているほどである。

2.1 バイポーラ論理 LSI

各種論理回路の性能比較は図-2 に示した如くで、バイポーラ論理回路は 20 PJ~50 PJ の領域にあり、TTL (Transistor Transistor Logic) 系の 10 ns, ECL* (CML**) 系の 2~3 ns 帯に大別される。TTL 系は低電力化の方向に、ECL 系はサブナノセカンド*** 帯に、開発の努力が向けられると思われる。TTL の高性能化は SBD (Schottky Barrier Diode) の導入により飽和制御が簡単になったためである。ECL も TTL 同様、豊富なファミリーを揃え ECL-10 K シリーズが世界的標準になっている。これらファミリーは SSI から MSI までをカバーしており、現在 LSI はファミリー中に含まれていないが、汎用性のあるものから漸次に取りこまれて行くと思っていよい。TTL 系では既に端末機用の LSI シリーズも現れて来ている。

先に述べたように、バイポーラ回路は消費電力がネックになるが、その上論理回路では、ゲート間の相互配線のために占有される面積が素子の面積と同程度かそれ以上になる可能性がある。低消費電力化の方法としては、① LSI 内部のみを駆動する、いわゆる内部ゲートでは LSI 内では軽負荷という事を考慮して電流を下げる、② LSI 内では雑音発生は極めて小さいから信号振幅を下げる、③ トランジスタの高性能を利用して電流を下げる、④ 論理回路方式の改良により無効電力を低減する、などが考えられる。配線面積の低減はゲート単体ではなくチップ内でも機能ブロック化するとか、回路工夫により電源配線を不要または極小化するとか、回路自体を多機能化するとか工夫のいる所である。

1972 年以來、有名になった IIL (Integrated Injection Logic) は、低電力化では②、④、を行ない、回路工夫で布線数を減らしている好例で、占有面積的にも MOS より小さくなることが発表されている。もちろん欠点はあって、Inverted Transistor (従来構造のトランジスタのエミッタとコレクタを逆に使う) のため消費電力は小さいが速度的に高々 10 ns 領域がカバーされる程度になり後述する MOS 特に SOS-CMOS**** と将来競合する関係にあると思われる。

* Emitter Coupled Logic
 ** Current Mode Logic
 *** ナノセカンド以下
 **** Silicon on Sapphire-Complementary MOS

表-2 バイポーラ技術の可能性

| LSI パラメータ | 1966 | 1973 | 1980 |
|--------------------------|-------|-------|---------|
| | SSI | LSI | V-LSI |
| クロック (MHz) | 25 | 300 | 2,000 |
| トランジスタの遮断周波数 f_T (MHz) | 300 | 1,000 | 6,000 |
| 速度電力積 (PJ) | 100 | 3~10 | 0.1~9 |
| チップ寸法 (Mil) | 100 | 250 | 500 |
| 素子密度 (mil^2) | 20~50 | 2~5 | 0.1~0.3 |
| チップ当りのトランジスタ数 | 50 | 5,000 | 200,000 |

低消費電力化と回路の単純化による占有面積の低減は、バイポーラ論理 LSI の先駆として NTL* で既に周知である。NTL においては低電力化と高速化を回路の工夫で達成しており、今後の高集積化への可能性を秘めている。

表-2 にバイポーラ LSI の性能の予測を示すが可能性としては充分考えられる所である。現在 LSI 論理回路としては、S-TTL**, IIL, EFL***, NTL などが試行されているが、特に IIL, EFL のように以前から考えられ使われていた DCTL****, CTL***** のような回路を最新の製造技術をベースに改良して取り上げていることは注目に値する。構成素子数が少ないゲートが LSI 化の場合、特に有利であるからであろう。論理振幅の低減は雑音の許す範囲が一つの目安になるが $KT/q \approx 26 \text{ mV}$ までは一応可能であろう。これから考えると電力の目安は $2 \mu\text{W}$ 程度が下限ではないかと思われる。現在発表されている IIL の電力は $2 \sim 10 \mu\text{W}$ の所にある。図-6 に IIL の構造と回路を示す。

2.2 バイポーラメモリ

図-7 にバイポーラメモリの集積度の推移を示す。これによれば、同じビット数のもののチップ面積も年々

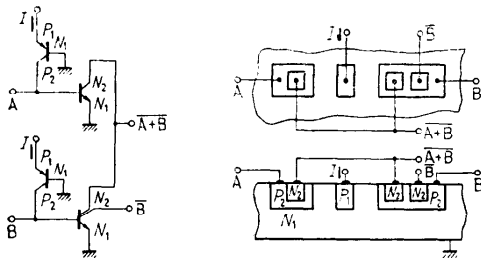


図-6 IIL 回路

- * Non-threshold Logic
- ** Schottky Cramped-MOS
- *** Emitter Follower Logic
- **** Direct Coupled Transistor Logic
- ***** Complementary Transistor Logic

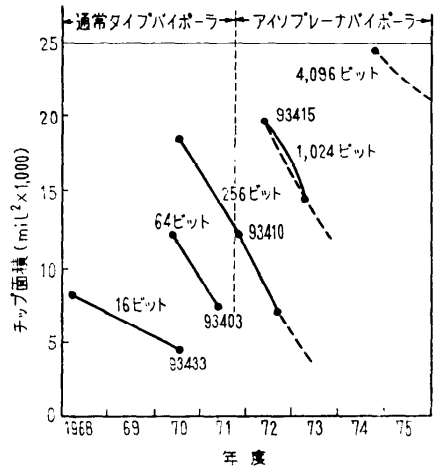


図-7 バイポーラメモリの年代推移

小さくなり 1k ビットメモリの場合 $2 \times 10^4 \text{ mil}^2$ のものが $1.5 \times 10^4 \text{ mil}^2$ に下って来ている。現在バイポーラメモリは計算機のバッファメモリに用途が集中しており、256 ビットのもので 20 ns 程度、1k ビットで 40~60 ns で 256 ビットでは 2 mW/ビット、1k ビットで 0.5 mW/ビットが普通で、実装を考慮してチップ当たり 500 mW 以下の消費電力に納める努力がされている。多ビットのバイポーラメモリは、必然的に MOS メモリと競合する領域にあるが、多ビット化する場合、電力消費を下げる必要があり、現在の性能の延長では魅力に乏しいので、製造技術的には前記 Isoplanar 技術による高性能化、小形化をはかって 4 k bit/chip で速度 30~50 ns を目指している。

この数値が実現すれば MOS の速度の 2 倍であるのでシステム技術側からも魅力は充分であろう。コスト的には工程の複雑さによって MOS と太刀打ちできるかが問題であろう。現在の MOS 技術から見て 4 k bit/chip 100 ns は一つの限界と見てよく、より高速のメモリが要求される場合、バイポーラメモリが脚光を浴びるかも知れない。バイポーラメモリにおいても前記の IIL 的工夫が試みられており、エレクトロニクス誌の予測では、1980 年には 64 k bit/chip のバイポーラメモリが可能とのことである。しかしながら、現在の時点では、バイポーラメモリはやはりバッファメモリとしての市場を指向しているようで、MOS のように超多ビット化よりも高速性を追求して行くように思える。IBM 370 シリーズのバッファメモリは発表によれば 500 mW で 12 ns、集積度は 1k ビット/チップで、回路の工夫を充分にほどこして高性能化を果

している。

3. MOS-LSI

MOS-LSIはシリコンゲート構造、イオン打込み法、Isoplanar 技術などの製造技術の進歩と相まって一層の高集積化が進んで来ている。応用分野も P-MOS は電卓、周辺機器に、N-MOS はメモリ用、マイクロプロセッサ用の高速領域、C-MOS は時計用や電装分野にと用途がはっきりして来ている。

MOS-LSI の急激な進歩をもたらした技術は、1つはシリコンゲート技術で、これにより素子面積の低減と浮遊容量の低減が可能になり、従来の Al ゲートに代って LSI 技術の主流となっている。シリコンゲートは多結晶シリコンをゲート金属の代りに使う方法で、セルフアラインメントが可能である。また、ゲート酸化膜を薄くすることができるので MOS トランジスタのスレッシュホールド電圧を下げ高速化に役立ち、セルフアラインのためゲート幅を短くすることができて素子の小型化にも効果的、その上電流の少ない MOS-LSI では電極間の配線にも利用できる極めて都合のよいものである。

現在発表されているものの中では、1ビット当たり $1.1 \times 10^3 \mu\text{m}^2$ の 8,192 ビット/チップのメモリがその好例である。Isoplanar または Locos 技術*によって表面の平坦化と、チャンネルストップ面積の減少を図ることが一般化しつつある。C-MOS は N-MOS と P-POS を同一基板に作る必要があるが、両トランジスタのスレッシュホールド電圧の整合が必要になる。このためイオン打込みより P-Well** を従来の拡散法の代りに使うことによってコントロール精度が上げており、現在では不可欠の技術になりつつある。イオン打込みはスレッシュホールド電圧をコントロールする必要のある E-D (Enhancement-Depletion) MOS の場合も用いられており MOS に関してはイオン打込みは完全に実用になっている。C-MOS, ED-MOS は MOS の高速化にとっては極めて重要な技術で、特に SOS (Silicon on Suple) による C-MOS は高速低電力性を同時に満足すると言われ実験的にはバイポーラに匹敵する速度のものも発表されており、将来前記 IIL などと競合するものと思われる。

SOS-CMOS では、現在 256 bit/chip. 80 ns/0.5 mW/bit のメモリが実用化され始めマイクロプロセッ

サの高速化にも注目され始めている。

MOS デバイスの今後の動向は、加工寸法を微細化(チャンネル長 $\approx 1 \mu\text{m}$)して密度の飛躍的向上と高速動作を実現する事である。その一例として電子ビーム加工法などが真剣に取り上げられ $75 \mu\text{m}^2/\text{bit}$ のメモリの試作例などが発表されている。

3.1 MOS 論理 LSI

論理ゲートに関する限り、MOS とバイポーラとは大部情勢が異なる。バイポーラ形では SSI~MSI が汎用品種を揃えたファミリー化をしている反面、LSI は一部カスタムデザイ的に利用されているに過ぎない。一方、MOS では汎用品とカスタム LSI の立場が完全に逆になっており、汎用化されているシリーズは RCA 社を中心とした C-MOS 程度で最近のマイクロプロセッサ LSI を除くとその残りはほとんど電卓用のカスタム LSI である。先述のように 1チップシステムの先鞭をつけたのは電卓で、わが国 MOS-LSI の大半の需要は電卓にある。電卓用の主力は P-MOS であるが、Al ゲートから現在はシリコンゲートのものが 8 桁~16 桁用に用いられて来ている。ゲート数は 8 桁で 500~800 ゲート、16 桁で 1,000~15,000 ゲートである。図-8 に MOS 論理 LSI の集積度の年代推移を示す。電卓用の LSI は 1チップ CPU 時代に突入している。最近では CPU に付加すべき雑機能もチップ内に取り込もうという傾向にあり表示デバイスの低電力化が実用になれば完全 1チップ時代はすぐにも可能である。価格的にも CPU 1個が 600 円~1,000 円

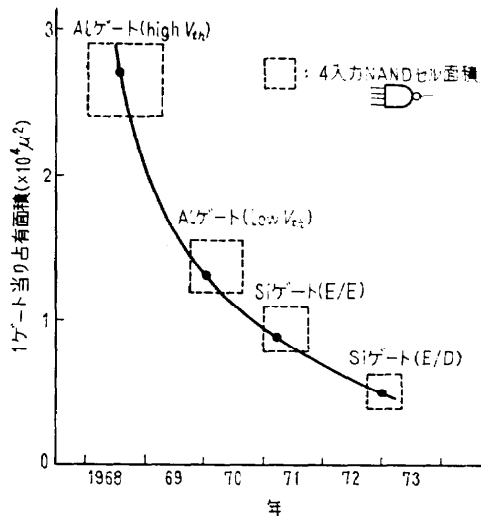


図-8 MOS 論理 LSI の集積度の年代推移

* 誘電体分離技術
** チャンネルの領域

という安さであり、大量生産即低価格化のセオリーが
あてはまっている。このことは今後の大型システムの
LSI 化においても考えなければならないことである。
MOS-LSI 化が軌道に乗ったもう1つの理由に CAD
システムの完備がある。このシステムではカスタマ
ーから得た論理図を入力するだけで LSI 用マスク原図
が自動的に得られるので、マスク工程の少ない MOS
製造技術の特徴を生かしたビルディングブロック式が
主流で、ほとんどの製造メーカがそれを改良したもの
を使っている。

電卓で養ったこの技術と、メモリ技術を組み合せ
たものが最近話題になっているマイクロプロセッサ
で、電卓とミニコンの中位に位すると考えられる。集
積度は $10^4 \sim 2 \times 10^4$ 素子で後述の 4 k bit/chip メモリ
に匹敵している。マイクロプロセッサは1チップ CPU
とも呼ぶべきもので、システムを構成するには RAM,
I/O, ROM などが必要である。最初に発表されたのは
Intel 社の MCS-4 で基本語長 4 bit, 基本サイクル
 $10.6 \mu s$, 命令数は 45 であり、主として端末機器の
Intelligence 化に应用されている。その後国内外で発
表が相ついだが現在 Intel 社の 8080 がほぼ標準と見
做されている。命令サイクルも $2 \mu s$ と高速化され、
N-MOS シリコンゲートが用いられている。マイクロ
プロセッサのシステム側へのインパクトは、絶大で、
特にミニコン市場では、これを応用した低価格のミニ
コンの生産が盛んになりつつあるし、プログラマブル
ROM を併用すればその応用範囲は極めて広く、LSI
の新しい市場として注目されている。

現在、この分野は開発競争がもっとも激烈で多機能
化、高速化が進んでいるが、バイポーラ形式で現われ
 200 ns の速度のものもアナウンスがされており、この
傾向はしばらく続くと思われる。

3.2 MOS メモリ

図-9 に各種 LSI メモリの性能の現状を示す。この
図から MOS メモリが 1 k bit 以上の領域で主流を成
している事がよくわかる。現在 MOS メモリ開発の主
力は 4 k ビットの領域で、 $1 \mu s$ の低速のものから、
 100 ns 以下の高速のものまで各種が開発されている。
低速から中速の領域は 1 Tr/セル方式、中速から中高
速の領域は 3 Tr/セル方式で、高速領域では 4 Tr/セル
方式が用いられている。いずれもダイナミック方式で
数年前の 1 k bit/chip のものが高集積化されたと解釈
される。一方 1 k bit 領域では高速化とスタティック
方式が目立ち、小容量システムでの使い易さの点

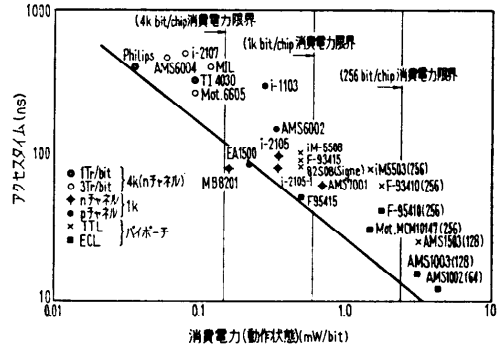


図-9 各種メモリの性能

からスタティック方式が見直されて来ている。現在ア
ナウンスされている 4 k bit RAM はいずれも N-MOS
で消費電力は 4~500 mW である。さらに多ビット化
する場合、速度を犠牲にせずに発展させるにはバイポ
ーラメモリと同様の壁があり、回路上、構造上工夫が
要る所であろう。このためには素子占有面積の低減が
重要で、1 Tr/セル方式に大きな期待がよせられる。年
代的推移から見ると 2 倍/年の集積度の集歩であるの
で 75 年頃は 16 k bit/chip が出る可能性がある。しか
し、現在のパターン加工技術的に見ると、 $5 \mu m$ 以下
の微細化はそう簡単ではなく、電子ビーム加工法など
が検討される余地が十分にある。応用分野はいうま
でもなく大形計算機のメインメモリであり、集積度の増
大がそのままシステムの性能の向上に直接関係する分
野であるので、それだけに多ビット化の傾向は一層強
まると思われる。

4. まとめ

以上、LSI の現状と動向について駆け足で見えて来た
が、集積回路技術の進歩は自己エネルギー的に発展を
遂げる反面、ニーズの適切な把握がないと立ち枯れに
なりやすい。特に、現在すでに LSI 化技術としてで
き上っているものを、どんなシステムに向けるかには
多大な関心を持たれている。また MOS に見られるよ
うに LSI の持つ経済性は大量生産によって可能にな
るので、超 LSI のようにミニコンが半導体チップに
入ってしまうようなものは量産性から見て悲観的な見
方も出て来る。このことは特に大型計算機 LSI 化の
壁になるので、LSI 時代に適したシステム技術を採用
し、例えばポリプロセッサシステムのような Repea-
tability のある方式を考えて行くべきであろう。

(昭和 49 年 10 月 3 日受付)