

解説

MELCOM-COSMO/OKITAC-COSMO モデル 700
におけるメイン・メモリの構成*

阪尾正義** 杉本満信**
松本典明** 山田資就***

1. まえがき

MELCOM-COSMO/OKITAC-COSMOモデル700は、技術計算、事務処理、リアルタイム処理およびタイムシェアリングなどの幅広い分野への応用を目的とした汎用計算機である。モデル700は従来の機種に比較してマイクロ診断などのRAS機能、オンライン・データベース管理システム、各種通信制御装置、多重仮想記憶方式等の点に特徴がある。

本稿では、メイン・メモリに焦点を絞る、メモリの構成と仕様、信頼度設計、記憶保護、仮想メモリ方式について述べる。

2. メイン・メモリ (MMU) の構成と仕様

2.1 メモリ構成

メイン・メモリユニット(MMU)は、記憶部(BMU)と制御部(MCU)の2部分で構成される。1個のMCUは、最少64kバイトのBMUを制御し、その後64kバイトを増設単位として最大256kバイトまで制御することができる。1台のシステムでMCUを4個接続できるので最大1Mバイトのメモリ容量を持つことになる。

アドレス選択は、次の様にしておこなわれる。MCUにアドレス選択スイッチがあり、64kバイトごとに任意のアドレスを選択することができる。すなわち、64kバイト単位に5組のスイッチがあり、その内4個のスイッチはバスコントロールユニット(BCU)より送られて来るアドレスに対応し、スイッチの値とアドレ

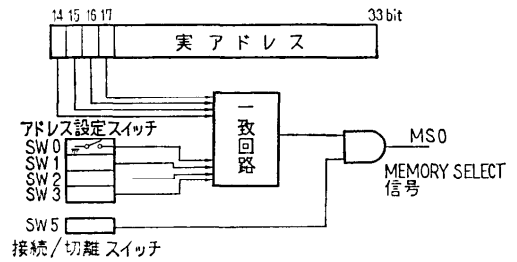
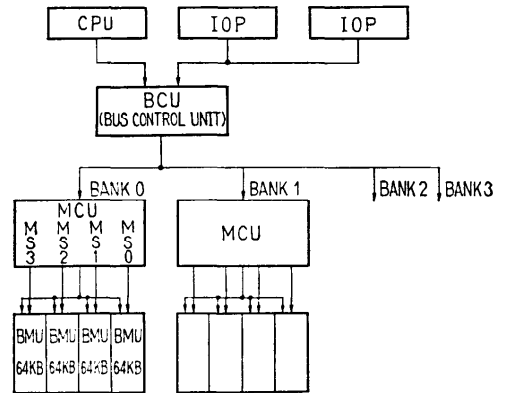


図-1 メモリ構造とアドレス選択機構

スの値と比較し一致すれば該当するBMUの64kバイト部が選択される。他の1個のスイッチにより64kバイトのブロックの接続/切離が制御され、このスイッチは主として故障発生時のメモリの縮退運転に利用される。

図-1にMMUの構成図とアドレス選択機構を示す。

2.2 仕様

MMUは、コアメモリ、ICメモリの両メモリが実装できる様にインターフェイスは設計されている。

モデル700のメモリシステムの仕様を表-1(次頁参照)に示す。

* Main Memory Element and Structure of MELCOM-COSMO/OKITAC-COSMO Model 700 by Masayoshi SAKAO, Mitsunobu SUGIMOTO, Noriaki MATSUMOTO (MITSUBISHI ELECTRIC CORPORATION Organization Chart of Computer Works) and Motonari YAMADA (OKI electric industry Co, Ltd. Software).

** 三菱電機(株) 計算機製作所計算機製造部

*** 沖電気工業(株) ソフトウェア事業部

表-1 MMU の仕様

項目	コ ア・メ モ リ
記憶容量 (増設単位)	64 kB~1 MB (64 kB)
スピード T _A T _C	350 ns 800 ns
読出制御	8B幅
書込制御	マーク線(8本)により各バイト毎に書込み制御可能
故障制御	○64 kB 単位の切離制御 ○エラー・コレクト・コード付 ○BUS 線のパリティ・チェック ○MMU,BCU のエラー情報のログアウト機構 ○診断命令付
使用素子	16 ミル L _i 系コア 3D-3W 方式

3. 信頼度設計

メモリの信頼度設計としては、故障の早期発見の為に検知回路の強化、増強、誤り情報の訂正回路、故障位置の決定のためのエラー情報のログアウト及び診断命令等の機能が用意されている。

3.1 誤り検知

BMU からの読出データには、エラー・コレクティング・コード(ECC)により、1ビット誤りの訂正2ビット誤りの検知を行なう。ECC回路はMCUに設けてある。MCUでの他の誤り検知回路には、バイト単位でのアドレス、書込データ線、読出/書込の制御をするマーク線のパリティ・チェック回路がある。BMUでのチェックには、コアメモリ用電流駆動器のチェックとメモリアイミングのチェック回路が付けられている。BMUのチェック回路には、特にエラー表示ランプが付けてあり、故障時のカード交換を容易にしている。

3.2 誤り訂正と制御

ECC回路の動作は、書込/読出、メモリをアクセスする処理装置によって以下の通りに異なっている。

3.2.1 中央処理装置(CPU)

1) 読出動作; BMUより読出されたデータは、MCUでラッチされ、ECC回路へ送られるとともに各バイトごとにパリティビットを付加してBCUへ送られる。ECC回路で単一ビット誤りが検出されると誤データの送出後100NS後に訂正データが再送される。2ビット誤り時には、データの再送は行わない。1ビット誤り時にデータを再送する理由は、一般にエラー発生確率が少ないためECC回路のエラー検出時間を常にデータ・アクセスタイムに加算しないように

するためである。

1ビット誤りの時のコアへの書込データは、訂正データであり、2ビット誤りの場合には、読出データそのままが再書込みされる。

2) 書込み動作; 書込みは、倍長語境界で行われ、倍長語に対する部分書込指定は、8本のマーク線により制御される。倍長語の書込みの場合には、読出サイクル中ECCのチェックは行わない。部分書込の場合の読出データの2ビットエラーの場合と、書込動作中の他のエラーが発生した場合には、メモリには読出データがそのまま再書込みされる。

3.2.2 入出力処理装置(IOP)

IOPとBCU間のデータ転送は、1バイトと4バイトの2種類がある。MMUに対しては、部分読出し、部分書込みとなる。

1) 読出し動作; 読出したデータに単一ビット誤りがあると、誤り訂正後にIOPに送出される。2ビット誤りが発生した場合には、元のデータが再書込みされる。

2) 書込み動作; IOPからの書込み動作は、CPU動作の場合の部分書込み動作と同じである。

3.3 エラー情報とログアウト機構

BCU,MCU,BMUでエラーが発生すると、エラー情報はまずBCUのログアウト・ラッチに記憶され、CPUまたはIOPからの次サイクルを休止して、BCUの制御のもとでメモリの固定番地にエラー情報がログアウトされる。ログアウトには、メモリの4語を必要としX'C4~C7'番地にログアウトされる。図-2はログアウトの内容を示す。このログアウトデータをテストすることによって簡単に故障の位置を指摘することが可能である。X'C4, C5'番地には、BCU,MMUのステータスが記憶され、X'C6'番地には、BCUの

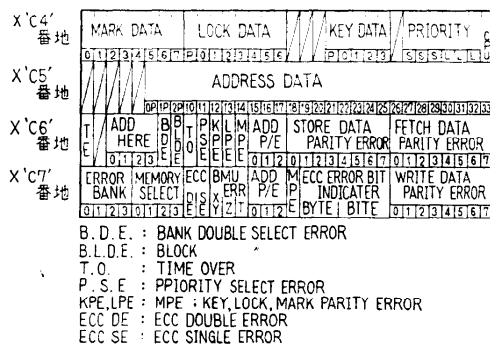


図-2 ログアウトの内容

エラー, X 'C7' 番地には, MCU, BMU のエラー情報がそれぞれ記憶される。ログアウト番地を含む MMU が故障している場合には, 正常なログアウトは期待できないが, ログアウト・ラッチを直接参照することも可能である。

エラー信号が CPU へ送られると, CPU はマシンチェック・トラップとなり, マシンチェック・ハンドラ (MCH) が起動される。MCH は, オペレーティングシステム (OS) に内蔵されたルーチンであり, 故障発生時の実行中のプログラムの回復, 中断, システムの停止, メモリにログアウトされた情報の外部記憶装置への転送を行なう。また, オペレータへの指示も同時に行なう。図-3 は, ラインプリンタにログアウトされた一例である。BCU, MMU のエラー情報がプリントされている。

```

--- ECU ERROR SOURCE ---
TOTAL ERROR -0
ADDRESS HERE -0
BANK DOUB. SEL. -0
BLOCK DOUB. SEL. -0
TIME OVER -0
PRIORITY SEL. ER. -0
---EMU ERROR SOURCE ---
ERROR BANK -0
SMU BLOCK -0
ECC -0D (M,S)
BMU ERROR -000(X,Z,T)
ECC ERROR BIT -- BYTE -0
                    BIT -0
KEY PARITY ERROR -0;
LOCK PARITY ERROR -0;
MARK BIT PARITY E. 0
                    012P
ADDRESS PARITY E. -000
                    01234567P
FETCH DATA PARITY E.-00000000
STORE DATA PARITY E.-00000000
MARK BIT PARITY E. -0
                    012P
ADDRESS PARITY E. -000
                    01234567P
STORE DATA PARITY E.-00000000
    
```

図-3 メイン・メモリのログアウト情報

3.4 診断命令

誤り検出回路をシステムに組込むと, 検出回路自身に故障が生じる場合があり, 故障箇所の指摘に混乱をきたすことがある。BCU, MMU に対する診断命令の制御は, BCUで行なう。図-4 に診断命令フォーマットを示す。

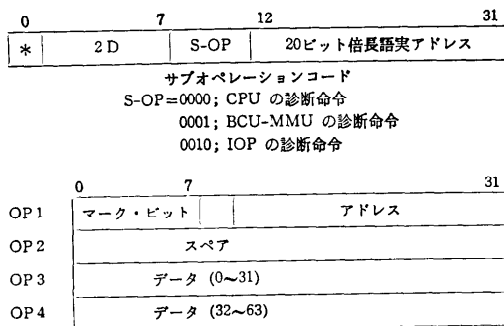


図-4 BCU-MMU の診断命令

診断命令のサブ・オペレーション・コードが 0001 のとき, BCU-MMU に対する診断命令となり, オペランド 1 のマーク・ビットの値に対応するチェック回路がチェックされる。表-2 にマーク・ビットとチェ

表-2 診断命令のモード区分表

マークデータ	診断箇所	
0	1	BCU ループ・チェック 1
0	2	BCU ループ・チェック 2
0	4	BCU PARITY CHECKER
0	8	MCU PARITY CHECKER
0	C	BCU STORE DATA PARITY CHECKER
8	0	MCU ECC S/E CHECKER 0
4	0	" 1
C	0	" 2
2	0	" 3
A	0	" 4
6	0	" 5
E	0	" 6
1	0	" 7
F	0	MCU ECC D/E CHECKER

ック回路の表を示す。

3.5 その他

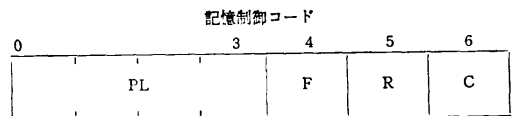
以上の RAS 機能の他に, CPU 保守パネルで設定したアドレスとデータにより, 書込/読出の動作を行ない, パネル上にデータ, エラー情報の表示を行なう機能がある。

4. 記憶保護

マルチプログラム・モードで処理をする計算機にとってシステム管理プログラムやデータの破壊及び故意の妨害を避けねばならない。また同時に情報の秘密も守らねばならない。モデル 700 には, 物理的保護 (実アドレス) と論理的保護 (論理アドレス) の 2通りの記憶保護機構がある。実アドレスに対するものは記憶保護と呼び, 記憶制御コードによって制御されており, 論理アドレスに対するものは, アクセス制御コードによって制御されている。

4.1 記憶制御コード

メモリの保護は, 2k バイト単位で全領域に対して行なわれる。BCU において, メモリの全ページ (2k バイト) に対応して 512 語×7ビットのロック・メモ



PL; プログラム状態語内の KEY データとの対応で, ストア・フェッチ動作の保護がなされる。

F; 取出し保護

F=1; ストア・フェッチ動作に記憶保護が働く。

F=0; ストア動作に対して記憶保護が働く。

R; 参照ビット

該当ページがアクセスされると 1 になる。

C; 変更ビット

該当ページにストア動作が行なわれると 1 になる。

図-5 記憶保護コード

リが設けてあり、ロック・メモリの内容が記憶保護コードに対応している。記憶保護コードの内容を図-5(前頁参照)に示す。

CPU によるログアウト動作、テーブル・アドレス変換に対するアクセス、I/O 命令によるコマンドの取出し、IPL 動作、ストア・ステータス動作、コンソールよりのアクセスについてはメモリ保護は働かない。

5. 仮想メモリ方式

プログラマにとって計算機の物理的構成は、大きな制約であり、中でも最大の制約は記憶容量であるが、モデル700では仮想メモリ方式を使ってこの制約を除去している。

モデル700の動的アドレス変換は、ページ動的配置方式(ページ・マッピング)とセグメント及びページの2レベルアドレス変換方式の2通りに分類される。

5.1 ページ・マッピング方式(MAP)

MAPでは、ページ(2kバイト単位)ごとにアド

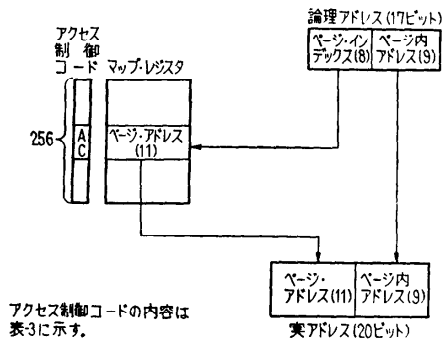


図-6 マップ・アドレス変換

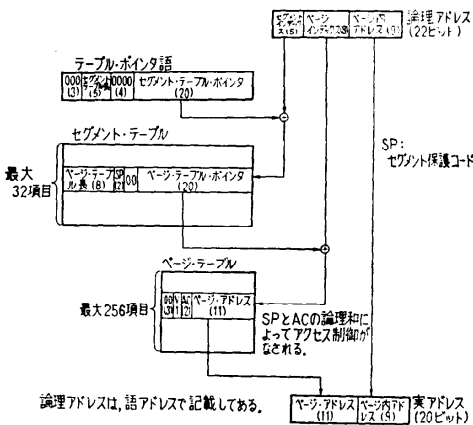


図-7 テーブル・アドレス変換(コレベル)

レス変換とメモリ保護が行なえる。プログラム状態語によってMAPモードと指定されると、論理アドレスはマッピング・レジスタにセットされている実アドレスに自動的に変換されてメモリアクセスを行なう。この動作を図-6に示す。マッピング・レジスタには高速ICメモリ(パイポラ)を使用しているため命令処理時間に遅れは生じない。

5.2 2レベル・テーブル変換方式(TBL)

TBLでは、ページ変換テーブルをセグメントと呼ばれる512kバイト単位のプログラム分割単位ごとに持っている。この場合の変換状況を図-7に示す。

セグメントとページの各テーブルは、メイン・メモリのアドレス空間に置かれており、アドレス変換には時間がかかるので、モデル700ではテーブル変換バッファ(TTB)を用意して高速化をはかっている。

5.3 テーブル変換バッファ(TTB)方式

TTB方式では、16Mバイトの仮想空間を256ブロック(32ページを含む)に分割し、各ブロックに対しテーブル変換バッファに2エン트리を用意している。各エント리는仮想アドレス(5ビット)、正当性ビット(1ビット)、アクセス制御コードAC(2ビット)、ページアドレス(11ビット)から成っている。論理アドレスの8ビットのページインデックス(PI)によってTTBの2個のエント리를取り出し、エント里的の仮想アドレスフィールド(L)と論理アドレスの上位5ビットのセグメントインデックス(SI)とを比較し、一致が取れて、しかも正当性ビット(V)が1であれば、テーブル変換バッファによる変換が成功したことになり、エント리의ページアドレス(P)と論理アドレスの11ビットのページ内アドレス(PA)を合せて実アドレスを生成する。

TTBの内容の更新は、LRU方式によっている。すなわち、2個のエント리의うち最近使われたエントリ

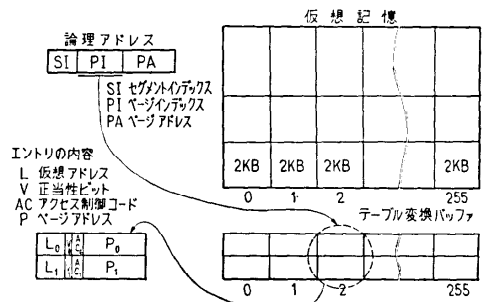


図-8 テーブル変換バッファ方式

表-3 アクセス制御コード表

AC	ページへの書込み	ページへの命令の読出	ページへのデータの読出
00	OK	OK	OK
01	NO	OK	OK
10	NO	NO	OK
11	NO	NO	NO

を残し、他のエントリの内容を更新する。

なお、TTB と MAP の各方式は、同時に使用されることが無いので、大部分同じハードウェアを共用している。TTB 方式は図-8 (次頁参照) に示している。

6. あとがき

モデル 700 のメモリは、RAS 機能の向上、メモリ

の拡張性 (64 k バイト単位の増設/切離)、仮想記憶機能などの充実に焦点を合せつつも、システム規模に見合った価格、および性能を配慮して設計された。本稿で構成の一端を紹介したが参考になれば幸いである。

なお、このシステムは通産省の電子計算機開発促進費補助金を受けて、三菱電機、沖電気、三菱総合研究所の各社共同で開発されたものであり、関係者諸氏に謝意を表する。

(昭和 49 年 12 月 21 日受付)