

ヘテロジニアス・マルチコア/マルチチップによる低消費電力画像処理のための機能分散処理ソフトウェア

宮崎崇史† 内田裕之† 萩本有哉† マルコ チャシン† 大川猛† 池野理門† 松本 祐教† 居村史人‡ 菊地克弥‡ 鈴木基史‡ 仲川博‡ 青柳昌宏‡

超並列バスによるヘテロジニアス・マルチコア/マルチチップ積層システム上での次世代デジタル・テレビ向け低消費電力画像処理のためのプロセッサ・コア稼働率の高い機能分散処理ソフトウェアとその構成方法を示す。

Functionally Distributed Software for Low Power Image Processing on a Heterogeneous Multi-Core Multi-Chip System

Takashi Miyazaki† Hiroyuki Uchida† Michiya Hagimoto† Marco Chacin† Takeshi Ohkawa† Rimon Ikeno† Yukoh Matsumoto† Fumito Imura‡ Motohiro Suzuki‡ Katsuya Kikuchi‡ Hiroshi Nakagawa‡ and Masahiro Aoygai‡

In this article we show a method to design functionally distributed software on a heterogeneous multi-core multi-chip stacking system with massively parallel busses. The software achieve high processor core utilization ratio and realize low power image processing which is suitable for next generation digital TVs.

† 株式会社トプスシステムズ
TOPS Systems Corp.

‡ 独立行政法人産業総合研究所
National Institute of Advanced Industrial Science and Technology

1. はじめに

1.1 COOL System とは？

情報機器の普及に伴い情報機器が消費する電力量も増加の一歩をたどっており、CO₂の排出量も増加するなど環境への影響が大きいことから、低消費電力技術への需要が高まっている。また、情報家電やモバイル端末などでは、コンパクトさやバッテリー持続時間などの観点からも消費電力を削減する技術が極めて重要である。

また、半導体微細化技術の進展は一方で開発コストの上昇を招いており、少量多品種開発は非常に困難になってきている。

このような課題を解決するため、低消費電力のマイクロプロセッサを搭載した、ヘテロジニアス・マルチコア/マルチチップ積層技術に基づく COOL System の開発を行っている。

COOL System は次の3つの基盤技術からなっている(図 1)。

- (1) COOL Chip 技術: 処理性能を保ったまま動作クロック周波数を低減する技術
- (2) COOL Software 技術: 高効率の分散処理を可能とするソフトウェア技術
- (3) COOL Interconnect 技術: LSI チップをスケーラブルに積層する基盤技術

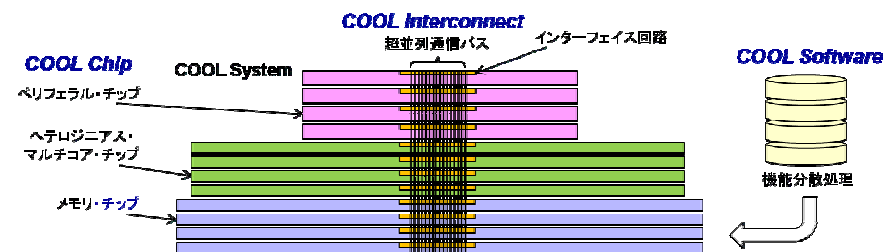


図 1 COOL System の構成

COOL System では積層するチップの種類を変更することで、短期間に様々なチップを開発することが可能である。また、COOL Software 技術が持つスケーラビリティにより、チップ構成に対応したソフトウェア構成の開発も容易である。

本稿では、高効率の機能分散処理ソフトウェアを実現する COOL Software 技術について報告する。具体的なソフトウェアの例として、JPEG デコーダと H.264 デコーダを取り上げその特徴や性能評価の結果を説明する。

1.2 COOL System の応用分野

COOL System ではインターネット接続機能を備えた次世代のデジタルテレビをター

ゲットとして開発を進めている。COOL System の技術をベースにすることで、スマートフォンやタブレットデバイス等のモバイル機器から、ネットワーク・スイッチ、データセンターなど幅広い分野で低消費電力の情報機器の開発が可能となる。

2. 並列処理ソフトウェア

2.1 課題

プロセッサの動作クロック周波数の向上に限界が見えてきたことから、プロセッサのマルチコア化が急速に進んでいる。マルチコアの性能を活かすためにはソフトウェアの並列化が必要であるが、マルチコア向けの並列処理ソフトウェアの開発はシングルコア向けのソフトウェアと比べはるかに困難である。

2.2 組込みソフトウェア

組込みシステムにおいてもマルチコアプロセッサの採用が進んでおり、マルチコアプロセッサに対応した並列ソフトウェアの必要性も増している。特に組込みシステムではミッション・クリティカルな用途で使用される製品も多く、並列ソフトウェアの信頼性も重要な要素である。また、並列処理の目的として処理能力向上だけでなく低消費電力化も視野に入れる必要がある。

3. COOL Software: 機能分散処理ソフトウェア

3.1 KPN モデル

超低消費電力の COOL System を実現するにはハードウェアとソフトウェアの協調が必要不可欠である。そこで、ヘテロジニアス・マルチコア上で動作する効率の高い機能分散処理ソフトウェアを設計するための COOL Software 技術の開発を進めている。COOL Software では、機能分散処理ソフトウェアを表現するモデルとして KPN(Kahn Process Network)を採用している。KPN はローカルメモリを持つプロセス間を一方方向の通信チャンネル(FIFO)で接続したネットワークで、並列処理を表現するモデルとして優れた特長を備えている。

3.2 利点

KPN モデルでは各プロセスの独立性が高く、プロセス間の通信もインターフェイスが明確になっており、ソフトウェアの構成が理解しやすく実装もしやすい。並列ソフトウェアにおいてデバッグを困難にするレーシングコンディションが発生しないため、短期間での開発を可能とし、ソフトウェアの堅牢性も高くなる。

また、性能面においても各プロセスは基本的にローカルメモリへのアクセスしか行わないためデータアクセスの局所性が高まるという効果がある。また FIFO によってプロセスがウェイトに入る機会が減少するため、プロセッサの稼働率を高くすることが可能である。

4. COOL Chip: ヘテロジニアス・マルチコア・アーキテクチャ

4.1 マルチコア構成

COOL Chip 技術では、低消費電力でかつチップ積層によるスケーラビリティに対応するため、搭載するマイクロプロセッサに TOPSTREAM™基本アーキテクチャを採用している。TOPSTREAM™ DTV は OS や GUI を実行する MC, ビットフィールド操作などを得意とする BFP, メディア処理に適した命令を備える SCP, DCP, QCP からなる。SCP, DCP, QCP はデータパス幅がそれぞれ 64bit, 128bit, 256bit のプロセッサで、対象とする処理の性質によって適したデータパス幅のものを選択して使用する。

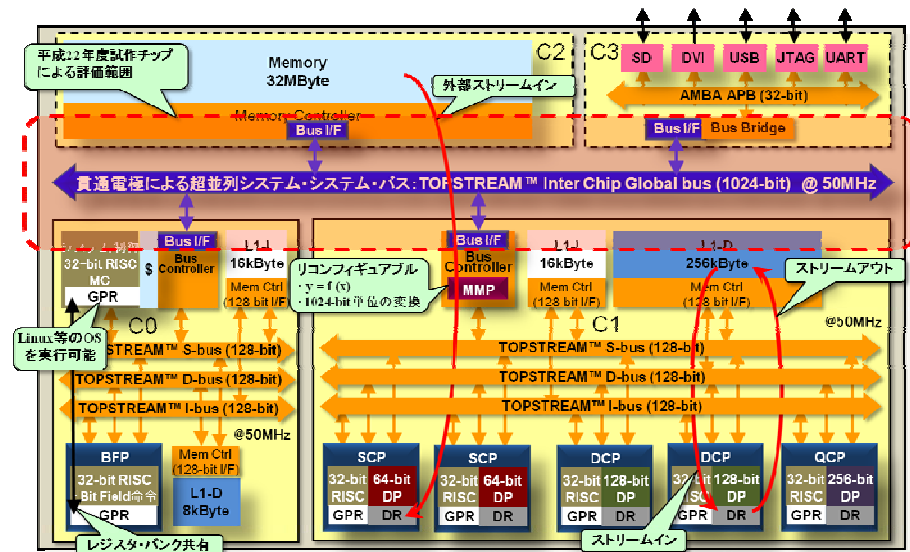


図 2 マルチコアの構成

4.2 機能分散処理向けの機構

TOPSTREAM DTV では機能分散処理を支援するために様々な機構を備えている。各

コアが大容量のマルチバンク・レジスタを備えることで、データの局所性を利用しコア間の通信やメモリへのアクセスを削減に役立っている。また、メモリアクセス時にデータ配置の変換や簡単な演算を行なう MMP(Memory Management Processor)を備えており、プロセス間でのデータ通信の機会を有効利用して処理サイクル数の削減が可能である。

5. 機能分散処理による JPEG デコーダ・ソフトウェア

5.1 JPEG デコーダの概要

デジタルテレビのようなメディア処理を中心とした民生機器に適したベンチマークとして、EEMBC が策定した ConsumerBench というベンチマークが挙げられる。ConsumerBench には色変換など 6 種類のベンチマーク・プログラムが含まれるが、ここではデジタルテレビの基礎的な処理を数多く含む JPEG デコーダを対象に、COOL Software 技術に基づく機能分散処理ソフトウェアを構成した。

5.2 CPU 負荷分析

JPEG デコーダを適切な単位に機能分割するため、実際のソフトウェア動作時の各処理の CPU 負荷を分析する必要がある。このため、まず x86 プロセッサを搭載した PC 上で JPEG デコーダを実行し、Vtune Performance Analyzer を用いてコールグラフおよびサンプリングに基づくプロファイリング分析を行ない、JPEG デコーダを構成する各処理の CPU 負荷を分析した。

5.3 機能分割の方法

まず JPEG デコーダを細粒度の処理内容に分割し、並列性分析やプロファイリング分析の結果をもとに、処理の依存関係、並列化可能性、CPU 負荷やメモリアクセス負荷のバランスを考慮に入れ、KPN のプロセスとして統合した。

5.4 機能分割結果

JPEG デコーダを機能分割した結果の KPN モデルを図 3 に示した。JPEG デコーダは 8 個のプロセスからなり、そのうち緑色で示された 3 つのプロセスは MMP によって処理されるプロセスである。残りのプロセスはハフマンデコードとランレンクス処理が BFP, 逆量子化・逆 DCT 処理と逆 DCT・アップサンプル処理が SCP, DVI 出力処理が MC で処理される。

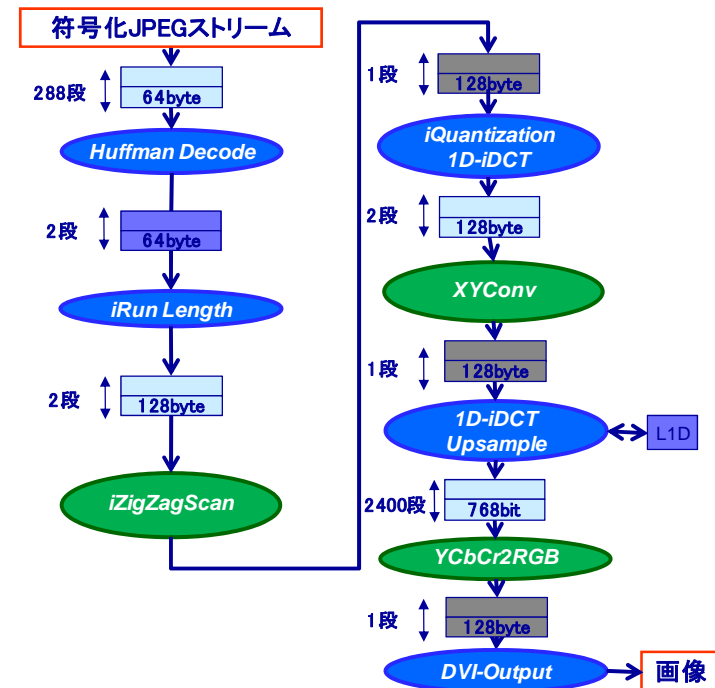


図 3 JPEG デコーダの機能分割(KPN モデル)

5.5 性能評価結果

機能分割モデルの性能を評価するため、システムレベルシミュレータ VisualSim を用いて JPEG デコード処理のシミュレーションを行ない、処理サイクル数と各コアの稼働率を求めた(図 4, 図 5)。全コアの平均稼働率は 64.9% となり、目標値 60% を上回る稼働率を達成した。処理サイクル数は 186K サイクルで、目標としていた Core2 Duo と同等性能となるための 158K サイクルには到達していないが、今後さらにソフトウェアの最適化を進めることで目標値を達成する見込みである。

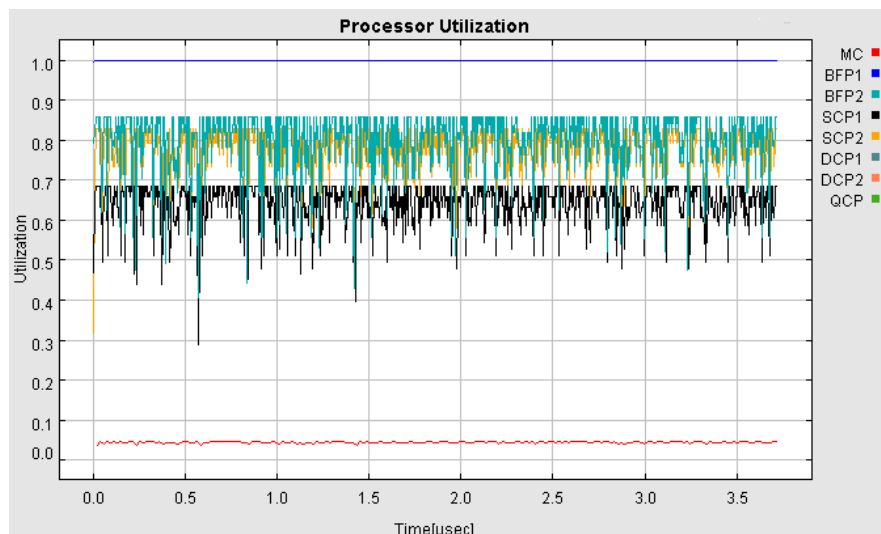


図 4 JPEG デコード処理のコア稼働率の時間経過

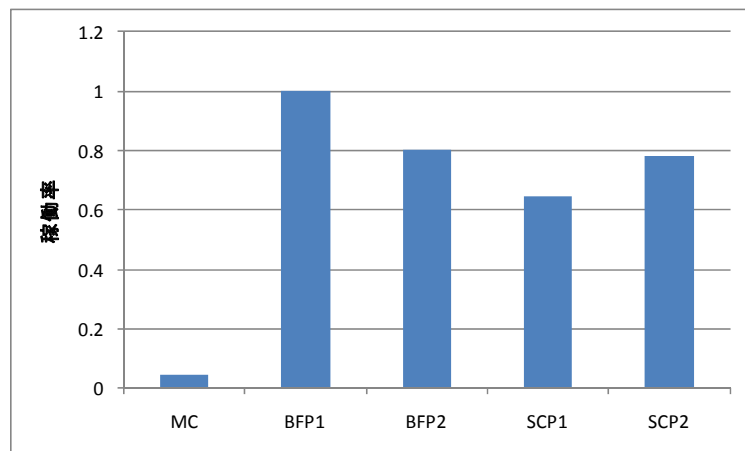


図 5 JPEG デコード処理におけるコア稼働率の平均値

6. 機能分散処理による H.264 デコーダ・ソフトウェア

6.1 H.264 の概要

デジタルテレビでは滑らかな動画再生を低消費電力で処理する必要がある。H.264 は ITU-T と ISO/IEC によって共同で策定された代表的な動画コーデックであり、フル HD(1620x1088)解像度の動画圧縮では幅広く用いられている。H.264 は高い符号化効率を持つエントロピー符号である CABAC や、1/4 画素精度の動き補償など高度なアルゴリズムを採用することで高い動画圧縮率を実現しており、演算処理能力やメモリアクセスに対する要求は非常に高い。COOL System では次世代デジタルテレビに求められるフル HD 解像度の動画再生能力を H.264 のデコード処理を対象に評価を行った。

6.2 CPU 負荷分析

JPEG デコーダと同様に、x86 プロセッサを搭載した PC 上でプロファイリング分析を行なった。プロファイリング対象とする H.264 デコーダの実装としては Joint Model 16.2 を使用した。フル HD(1620x1088)サイズの動画データを与えて再生処理を行い、Vtune Analyzer を用いて測定した。

性能目標の基準としている 3GHz 動作の Core2 Duo ではフレームレートが 5.7fps となった。COOL System においても同等のフレームレートを実現し、消費電力が Core2 Duo 搭載 PC の 65W に対し 1.3W となることを目標とした。

6.3 機能分割の方法

JPEG デコーダと同様に、H.264 デコード処理の並列性分析およびプロファイル分析をもとにして、機能分割を検討した。H.264 規格では動画データを取り扱う時間的・空間的粒度によって階層的に概念化しており、それに応じた並列性が考えられる。具体的には、粒度の大きいレベルから、GOP レベル、フレームレベル、スライスレベル、マクロブロックレベル、ブロックレベルの並列性が存在する。粒度の小さいレベルの並列性を利用するほど並列度を高めることができるが、H.264 ではフレーム内・フレーム間予測でブロック単位の細かな依存関係が生じるため、これらを管理するためのコストが大きくなる。各レベルの並列性の利点と欠点を比較した結果、今回はプロセスによってマクロブロックおよびスライスレベルの並列性を使い分けるのが最適と判断した。

6.4 機能分割結果

並列性分析やプロファイリング分析の結果に基づき、H.264 デコーダを図 6 のように機能分割し KPN モデルを作成した。演算負荷やメモリアクセスの負荷が高く、かつマクロブロックの種類によって演算負荷の変動も大きいと考えられるフレーム内予測

と動き補償については、Intra-Pred&MC プロセスを 2つのコアに割り当て、負荷分散を行なう。逆スキャン(iScan)、マクロブロックの縦横配置変換(XYConv)、色変換(YUV2RGB)の各処理は MMP を活用することで、全体の処理サイクル数を大きく削減した。

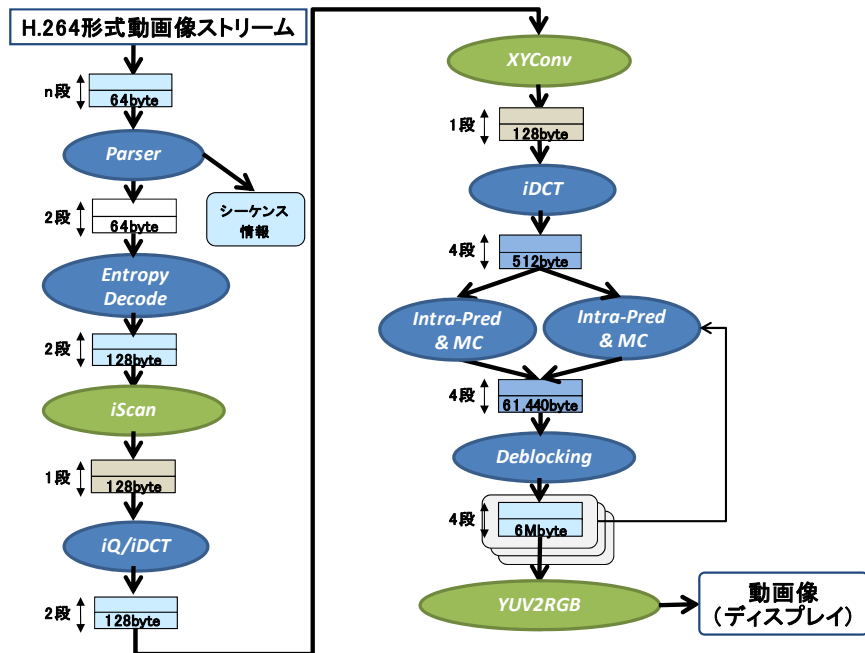


図 6 H.264 デコーダの機能分割(KPN モデル)

6.5 性能評価結果

JPEG デコーダと同様に、H.264 デコーダに対してシステムレベルシミュレータ VisualSim を用いて性能シミュレーションを行ない、処理サイクル数とコア稼働率を算出した(図 7、図 8)。H.264 デコード処理時の全稼働コアの平均稼働率は 68.5%と目標の 60%を上回る高い稼働率を達成した。30 フレームのフル HD 画像の再生処理に要したサイクル数は 146.5M サイクルと Core2 Duo における 29.3G サイクルから大きく削減された。

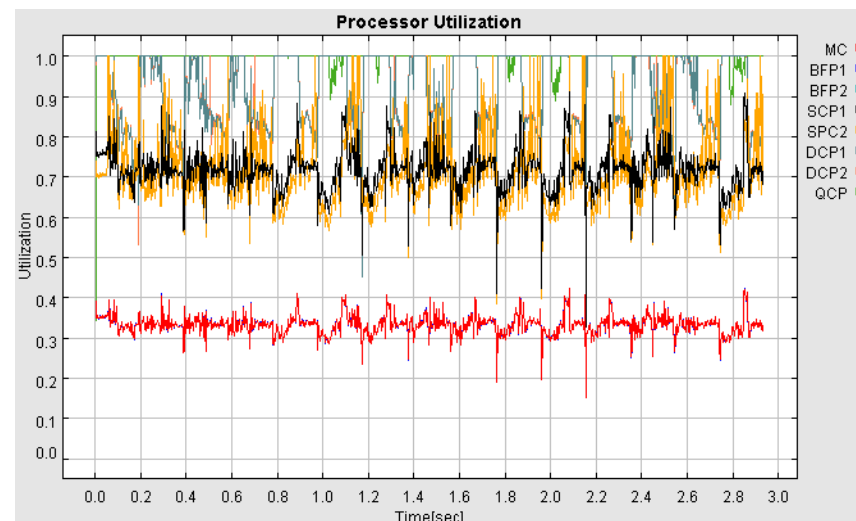


図 7 H.264 デコード処理時のコア稼働率の時間経過

図 7 から分かるように、現在の構成では QCP コア(デブロックフィルタ処理のプロセスを実行)が全体の処理のボトルネックとなっている。デブロックフィルタ処理についてもまだソフトウェアの構成などにまだ最適化の余地があるため、今後さらにサイクル数を削減し高いコア稼働率を達成できる可能性がある。

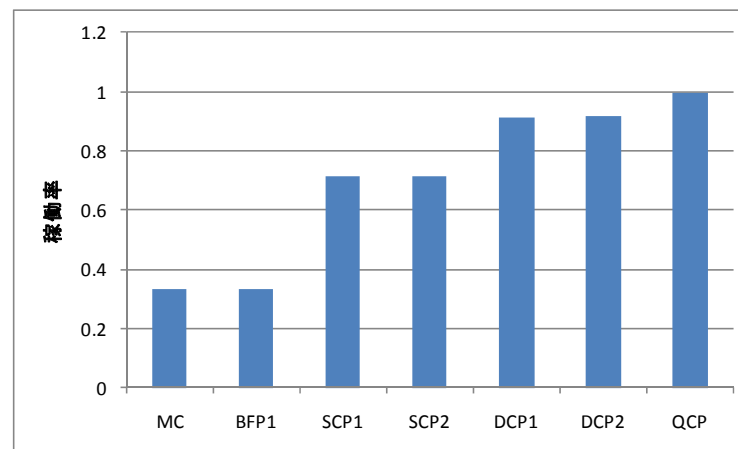


図 8 H.264 デコード処理におけるコア稼働率の平均値

7. おわりに

COOL System において高効率の機能分散ソフトウェアを実現するための COOL Software 技術について紹介し、具体例として JPEG デコーダおよび H.264 デコーダの性能評価結果を示した。

COOL Software 技術を含む COOL System によって、PC 並の処理能力を持つ次世代の情報家電やモバイルデバイスが実現可能となる。これにより、環境への負荷が低く、かつより高度な情報化社会が実現していくと期待される。

7.1 謝辞

本研究は、独立行政法人新エネルギー・産業技術総合開発機構（NEDO）の平成 21 年度省エネルギー確信技術開発事業からの委託研究により実施したものです。