

マイクロプロセッサの小型コンピュータへの応用*

西沢 定律** 柴田 晋吾**

1. まえがき

マイクロプロセッサの性能面での進歩にはめざましいものがある。電卓の領域から発生したマイクロプロセッサも、並列処理ビット長が4ビットから8, 12, 16へと拡張され、割込み機構、入出力関連機能が強化されると共に、インデックス、スタック操作、倍長語演算などの命令が備えられるに至って完全に電卓の領域を脱したといえよう。

このような状況になると、マイクロプロセッサは、専用システム中に組み込まれる応用とは別の方向として、コンソール操作機能および入出力機器を備えたコンピュータとしての姿を現わすようになる。そして、その多くはサポート・ソフトウェアを完備し、マイクロプロセッサ・システムの開発用コンピュータとして小型コンピュータの下位システムの一部をなしている。

それらの上位には、最近機種が増えはじめたビット・スライス型の高速バイポーラ・マイクロプロセッサがある。この種のLSIを用いて構成される小型コンピュータは、コスト/パフォーマンスの面から16ビットが多く、完全にミニコンピュータの領域に入ってくる。この領域には最近LSIのコスト/パフォーマンスの良さを生かしたコンパクトな1ボードのLSI化ミニコンピュータが出現し、従来のミニコンピュータは高級化への道をよぎなくされている。

本稿では、これらマイクロプロセッサ内蔵の小型コンピュータをそれらの規模に従って解説し、合わせて、小型コンピュータ応用のもう一つの面である複合システムのマイクロプロセッサの応用についても少しふれてみたい。

2. 小型コンピュータの分類

コンピュータはその規模より大型、中型、小型に分

* Microprocessors applied to Small scale computers by Yasunori NISHIZAWA and Shingo SHIBATA (OKI Electric Industry Co., Ltd.)

** 沖電気工業(株)開発本部電子通信機器研究所

けられる。最近、技術の進歩によって各規模での高性能化が進み、特に小型コンピュータの領域は、LSI、マイクロプロセッサ技術の導入と共に多様化し、拡大してきた。

このような小型コンピュータの範疇に属すると思われる一般的な呼称として、マイクロコンピュータ、ミニコンピュータ、超小型コンピュータ、高位ミニコンピュータなどがある。これらをCPUが主として使用している半導体によって分類すると、現状は図-1のようになる。

本稿では、LSIすなわちマイクロプロセッサの当面の応用例であるマイクロコンピュータとミニコンピュータについて述べることにする。

なお、本文ではマイクロプロセッサとマイクロコンピュータを区別し、前者はプロセッシング・エレメントであるのに対して、後者は前者にコンソール機能、入出力機器などを付加したコンピュータ・システムであるとす。

3. マイクロコンピュータ・システム

マイクロコンピュータ・システムには現在のところ2つの方向がある。すなわち、

- (1) パーソナル・コンピュータとして的高级電卓的な指向
- (2) 組み込み型マイクロプロセッサの開発用サポート・システム

である。

(1)の方向は専用システムとして、ビルディング、インベントリをねらうものが多いが、パーソナル・コンピ

主として使用する半導体	マイクロコンピュータ	ミニコンピュータ	超小型コンピュータ	高位ミニコン
MSI 以下	—	◎	◎	◎
LSI+MSI 以下	◎	○	△	
LSIのみ	◎	△		

◎: 一般的 ○: 普及しつつある △: まれ

図-1 小型コンピュータの分類 (現状)

ュータと称して、ある程度の計算式をユーザが入力キーを用いてプログラムすることができる柔軟なシステムにもマイクロプロセッサが使われており¹⁾、コンピュータの所有が個人化する際の新しい一つの方向を示していると思われる。

(2)の組み込み型マイクロプロセッサの開発用サポート・システムは、マイクロプロセッサの開発メーカーを含めたシステム・ベンダーから非常に多くのシステムが製品化されている^{2),3)}。それらは通常 CPU, ROM, RAM, I/O などのモジュール (多くは基板単位) に分かれ、入出力機器と共に単一バスで接続されるものが多い。これらを組み込み型マイクロプロセッサの開発用サポート・システムとして使う場合は、製品のマイクロプロセッサとしてサポート・システムのそれと全く同一にしておかないと、サポート・システムで開発したソフトウェアを含めたシステムが、円滑に製品システムへ移らない場合が多い。またサポート・システムと異なる入出力機器が製品システムに接続されるような場合は、ソフトウェア上で擬似入出力機器を作成するか、または新入出力機器に関する部分は本番のハードウェアができ上がるまで待つことになり、結局インターフェイスのチェックが遅れ開発期間が長くなってしまう。

このような問題点を解決する努力も最近なされるようになってきた。インテル社を例にとると⁴⁾、図-2に示すように、量産用システムのバスが 40 ピンケーブルを介してサポート・システムと接続され、量産用システムの CPU, ROM/RAM, I/O などの機能の全部または一部は、ICE (In-Circuit Emulator, マイクロプロセッサが内蔵されている) でインターフェイスがとられ、サポート・システムでリアルタイムのエミュレーションができるようになってきている。したがって、開発初期のプログラムはサポート・システムで作成

し、簡単なデバッグは ICE を含めたサポート・システム内で完了し、量産用システムの各モジュールができるごとに、量産用システム内でまだ完成していないモジュールをサポート・システムのリソースを使ってエミュレートしてゆけば、ハードウェアとソフトウェアの同時開発が可能であるとしている。さらに、量産用システムの開発完了時にはサポート・システムは量産システムの診断用システムとして使える。

このサポート・システムはマルチプロセッサ・オリエンティドのバス構成を採用しており、CPU, ICE のほか、PROM ライタなどにもマイクロプロセッサが利用され、処理機能の高度化を狙っている点はマイクロプロセッサの新しい応用として注目される。

4. ミニコンピュータへの応用

ミニコンピュータの主流は 16 ビット並列処理システムである。最近、マイクロプロセッサとして 16 ビットのもので出現しはじめ、MOS タイプで作られているものは、処理速度こそ遅いがアーキテクチャとしてはかなりミニコンピュータに近づいてきている。

16 ビット級のものにも大略2つの方向がみられ、

- (1) MOS 系を利用し、高密度化をねらった中低速用のミニコンピュータ指向型
- (2) バイポーラ系を利用し、ビット・スライスで処理速度の向上をねらった高速用ミニコンピュータ指向型

がある。

4.1 MOS 系利用コンピュータ

この種のもののうち、DEC 社による LSI-11 を例にしてその方向を紹介する⁵⁾。

LSI-11 は PDP-11 を LSI 化した 1 ボード・コンピュータで、ミニコンピュータの下位をコスト/パフォーマンスの高いマイクロコンピュータでカバーしようとするものであるという。マイクロプロセッサは、ウェスタン・デジタル社製の N チャンネル MOS の 5 チップから成る。内訳は、コントロール用 1 個、データ用 1 個、PDP 11/40 の命令をエミュレートするマイクロコードのマスク ROM 512 語が 2 個で、5 番目には拡張固定、浮動小数点演算用チップがオプションとしてつく。他に 14, 16 ピン DIP が約 66 個で、8.5×10 インチの基板上に 4k 語 RAM, 割込み機能、電源異常・自動スタートなどの機能が収容されている。

このコンピュータはマイクロプログラム制御方式を

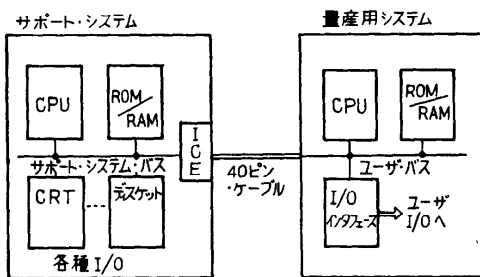


図-2 マイクロプロセッサ・システム開発用のサポート・システム例

採っている。そして、マイクロプログラムの利点の一つである比較的複雑なロジックを容易に実現するという機能を利用して、ダイナミックメモリのリフレッシュ機能とコンソール機能を LSI チップに内蔵したマイクロコードで制御している点、ファームウェア化の新しい方向がでている。またマイクロコードで実現されているコンソール機能は、プロセッサが HLT 状態に入った時コンソール・タイプライタから操作できるようにしており、1 キャラクタの入力によって、主メモリの内容読み取りおよび修正、内部レジスタの読み取り、スタート、ローダ読み込み等の機能を実行させることができる。

従来 ROM にマクロ命令を書くことによってこれらの機能を行わせていたが、そうすると実メモリを専有すること、および CPU ステータスの破壊の危険性などの難点があり、上記のファームウェア化の方向は注目してよい。図-3 にマイクロ命令形式を示す。

もう一つの特長は、PDP シリーズと命令の互換性があることであろう。16 ビットのミニコンピュータのソフトウェアの蓄積は大きく、それらソフトウェア資源の有効利用は重要な課題である。本機では FORTRAN と BASIC のコンパイラが運用できるというが、アセンブラ・オリエンティドであった LSI コンピュータにも、いよいよ高水準言語処理が導入されてくるきっかけとなる意味は大きい。

4.2 バイポーラ系マイクロプロセッサの応用

ミニコンピュータとほぼ同等の処理能力をめざしてバイポーラ系ビット・スライス型のマイクロプロセッサを用い、ミニコンピュータを構成することが可能となった。

1) Jump	15	11	0
	0	Address	
2) Conditional Jump	15	11	7
	1	Codition	Address
3) Literal	15	11	3
	2-6	Literal	Reg.
4) Register	15	11	7
	7-F	0-F	Reg.

ビット 16: Return register set bit

ビット 17: Macro terminate indicator

ビット 18-21: User definition part

図-3 LSI-11 のマイクロ命令形式

この方向のコンピュータは、マイクロプロセッサ・チップのメーカから、そのチップの応用例として提示されているものはあるが⁶⁾、まだ一般市場には少ないようである。しかし、LSI 素子のコスト/パフォーマンスの良さ、および小型化への要求から、この型のミニコンピュータは早晩常識化されるであろうと思われる。

ここでは、当社で試作した汎用エミュレート型マイクロコンピュータを中心とし、応用例と問題点を述べてみたい。

汎用エミュレート型マイクロコンピュータは、インテル社のショットキー・バイポーラ・マイクロプロセッサ 3000 シリーズを用いた 16 ビットのコンピュータで、一般のミニコンピュータを効率よくエミュレートすることを目的としたものである。

4.2.1 機能概要

ブロック図を図-4 (次頁参照) に示す。LSI は 2 ビット・スライス CPE (Central processing element) 8 個、マイクロシーケンス制御用 MCU (Microprogram control unit) 1 個、割込み制御用 ICU (Interrupt control unit) 1 個、高速キャリー回路 LCG (Look-ahead carry generater) 1 個である。

マイクロプログラム制御のタイミング方式は、制御メモリから読み出したマイクロ命令の CPE 機能制御部をパイプライン・ラッチレジスタで保持し、次のマイクロ命令を読み出す方式をとっている。本方式は制御メモリのアクセスが約 70 ns のとき、約 200 ns のマイクロ命令 1 サイクルが得られる。ただし CPE を起動させて演算を行い、その結果で分岐する機能は 2 サイクル必要となる。

この汎用エミュレート型マイクロコンピュータは種々の規模のターゲット・マシンに適用できるよう、各機能がオプションとして取りはずせるように設計されている。ブロック図中の*で示したものがそれであり、目標処理能力を経済的に実現する上で重要なものである。

ランゲージ・ボード (LB) も上記オプションの一例であるが、これはミニコンピュータのマクロ命令でよく見かける 16 ビットに拡がった命令ファンクション部を、例えば 8 ビットに圧縮し、マクロ命令が主メモリから読み出されたとき、それぞれに対応する制御メモリへの飛び先領域を少なくし制御メモリの減少を計るものである。この LB はマクロ命令の処理速度を早める効果もあり、最近ではターゲット・マシンに対応

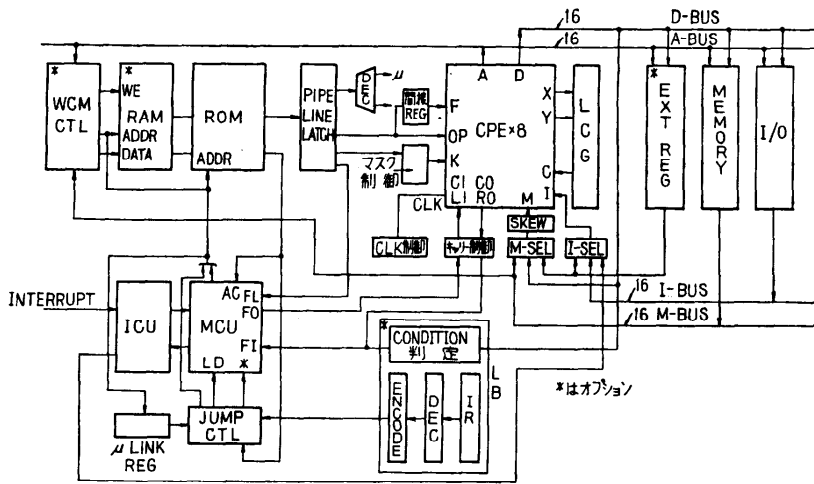
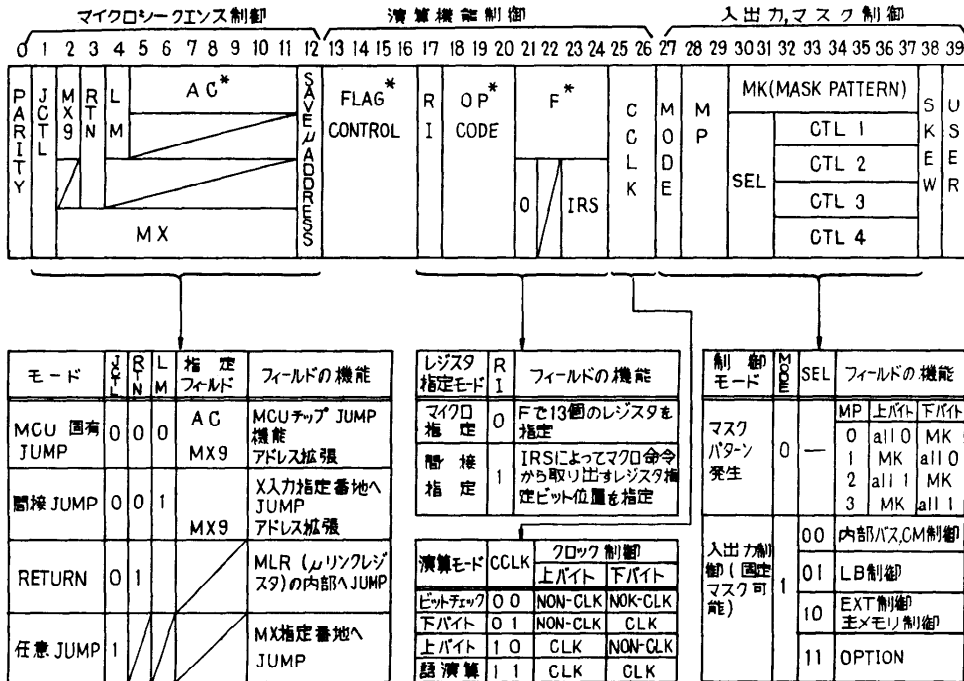


図-4 汎用エミュレート型マイクロコンピュータのブロック図



(*はLSIチップに固有な機能, その他は強化のために付加された機能)

図-5 汎用エミュレート型マイクロコンピュータのマイクロ命令形式

して変更可能な FPLA (Field Programable Logic Array) が使われるようになった。

CPE の構成にあたっては、バイト演算が可能な構成を考慮している。すなわち、8ビット単位のキャリー・イン、アウトが可能で、1バイトの演算時に他パ

イトが破壊されないようにクロックを停める方式を採用している。

CPE は 13 個の内部レジスタをもっているが、少し規模の大きいコンピュータをエミュレートしようとすると、外部の情報によってセットされるレジスタ

(例えば、割込み要因レジスタ、システム構成情報レジスタなど)が必要となり、外部レジスタが必要となってくる。ブロック図に EXT REG として示したので、要求される機能によってフリップ・フロップかメモリで構成される。

最後のオプションとしては、ダイナミック・マイクロプログラミング機構がある。これは、制御メモリを RAM で構成しておき、その内容を主メモリ、または外部周辺機器から読み込むことができるものであり、診断用マイクロプログラムや、言語処理用ファームウェアなど大容量なものをオーバレイして実行させるのに役立つ。

4.2.2 マイクロ命令形式

マイクロ命令形式を図-5(前頁参照)に示す。本機では汎用エミュレーションを指向したので、マイクロ命令形式は本来マイクロプロセッサ・チップに固有なものに機能を付加し、かなり強力なものとした。ビット1~12はマイクロ命令のシーケンス制御フィールドである。1k語までの任意ジャンプが MX フィールドで可能である。またサブルーチンも SAVE μ ADDRESS フィールドに1を立てることにより可能である。

ビット13~16はMCUのフラグ制御である。

ビット17~24はCPEの演算機能を制御するフィールドで、ビット17のRI=1ときは、マクロ命令で指定された汎用レジスタの指定ビットがマイクロ命令に挿入される。これによってマイクロ命令はマクロ命令の汎用レジスタ指定ビットが何であるか調べる必要がないためマイクロステップ数を削減でき、処理速度も上げられる。

ビット25~26はコンディショナル・クロッキング制御フィールドで、バイト演算時に非演算対象バイトの内容を破壊しないように、該当バイトのクロックを一時停止させる指定を行う。

ビット27~39はマスク定数の指定、ランゲージ・ボードの機能指定、主メモリおよび拡張レジスタの制御、外部付加機能などのオプション制御などに使う。

4.2.3 応用と問題点

本機を種々のエミュレーションに適用するとき、まず外付け回路が多い。エミュレーションの処理能力を上げようとするればそれだけ外付け回路が増える。そこで、どうしても必要な回路だけ付けて、あとの機能はマイクロプログラムで実現することもできる。したがってある機能が必要となった時、その機能をマイクロプログラムで実現した方がよいのか、または金物で論

理を組んだ方がよいのか、システム全体としての経済性、処理能力から総合的に判断されなければならない。

マイクロコンピュータの処理能力という面のみと、この種のLSIは現在のところ、ビットの操作およびシフト機能が弱い。

小型交換機用プロセッサをエミュレートした例では、任意ビットをレジスタに挿入するインサート系の命令に平均7.5ステップのマイクロプログラムを必要とした。そこで本例では外付けとして、任意シフト回路をつけることにより平均3.9ステップに短縮できた。コンピュータの処理能力への影響は、プログラム上インサート系のような機能がいかなる割合で用いられるかによるが、一般に制御用などでビット操作等が用いられる傾向にあり、今後は重要な機能となるであろう。

4.3 マルチ LSI チップミニコンピュータ

4.1, 4.2 のように LSI マイクロプロセッサから進めてミニコンピュータを構成するのではなく、すでにあるミニコンピュータを LSI 分割する方向で LSI ミニコンピュータを作ることもできる。この場合、TTL で構成されていたもとのミニコンピュータの処理能力を落とさないとすると、現在のバイポーラ系 LSI 集積規模では、マルチ LSI にせざるを得ない。ここでは一例として、当社の LSI 化ミニコンピュータについて述べてみる⁷⁾。

LSI 化の対象としてミニコンピュータの CPU 部分は、SSI, MSI の IC 382 個から構成され、大型2層印刷基板(420mm×300mm)3枚が必要であった。これを16品種22個のバイポーラ LSI に置き換え、大型基板の2/3に実装でき、残りの1/3に8kWのMOSメモリを入れ1ボードCPUを構成している(図-6(次頁参照))。

LSI への分割を表-1(次頁参照)に示す。このように1ボード化することにより、組み込みミニコンピュータとしての利用度の増大、部品数の減少による信頼性の向上、消費電力の低下、保守の容易化に利点が認められる。

4.4 ミニコンピュータ周辺への応用

ミニコンピュータのプロセッサ自体はマイクロプロセッサの応用で小型化しても、コンピュータとしての入出力関連の金物量は依然として多い。タイプライタ制御等には、シリアル-パラレル変換 LSI 等が出現しているが、DISK, MT などの制御となるとプロセッサの機能が要求されるので、まだ一般的普及とまで

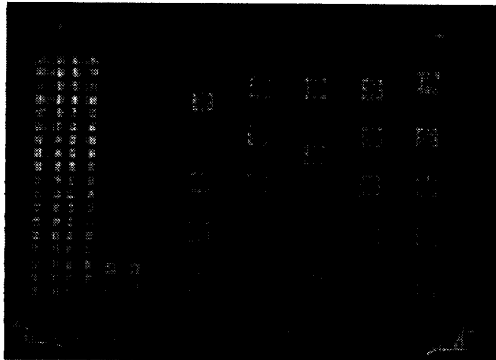


図-6 1ボードに搭載されたマルチ LSI 化ミニコンピュータ

表-1 マルチ LSI 化ミニコンピュータの LSI 一覧表

品名	代表的機能	ゲート数	端子数	消費電力	使用個数
MSL 8801	ALU	162	60	1000 mW	4
8802	Extend A Register	136	53	600	1
8803	SCC	144	58	1000	2
8804	入出力制御	119	59	770	1
8805	割込 "O" レベル制御	134	52	670	1
8806	クロック制御	138	52	700	1
8807	STAGE FF 制御	134	60	680	1
8808	パリティ発生, チェック	59	53	900	1
8809	"	59	60	900	1
8810	ラインドライバ	17	54	930	3
8811	SKIP 命令	110	60	700	1
8812	命令解読	114	60	650	1
8813	READ	138	52	1000	1
8814	MUL/DIV	162	52	850	1
8815	SHIFT	173	60	850	1
8816	FUNCT エンコーダ	53	60	450	1

はっていない。

また、CPU に近い高速チャネルへの高速マイクロプロセッサの応用は次第に検討されてゆく分野であろう。しかし、最もインターフェイスが多いのは入出力機器を含む部分であり、そこには入出力機器とプロセッサの双方の多種インターフェイスを吸収できる汎用入出力装置が望まれ、その中にマイクロプロセッサを組み込むという試みが検討されている。それらのうちで、新しい方向として、汎用入出力装置プロセッサの RAM 内容を、ホスト・マシンの主メモリから IPL によって取り込み、デバイス・インターフェイスをダイナミックに変えようとするものがある⁹⁾。

いずれにせよ、この分野はマイクロプロセッサの低価格化により早急に実現されてゆく分野であろう。

5. 複合体システムへの応用

小型のプロセッサを複数結合させて、システム全体

としてミニコンピュータ以上の処理能力を発揮するコスト/パフォーマンスの良いコンピュータを構築しようとする提案はいままでに多くなされてきた。それらは各プロセッサ間の結合の程度から、大きく2つの方向に分けて考えられる。

(1) Tightly connected multiprocessor system (TCMS)

(2) Loosely connected multiprocessor system (LCMS)

(1)は主として、主メモリを共有するシステムで、各プロセッサは同種であり、共通のプログラムやデータを所有することもできるシステムである。

(2)は主として、バス等によって比較的粗に連結されたネットワーク的な複合体で、各プロセッサは異種の場合も多く特殊命令によって通信を行うシステムである。

5.1 TCMS へのマイクロプロセッサの応用

マイクロプロセッサ・オリエンティッドなこの種のシステムは多い⁹⁾。多くは各 CPU と共有メモリがバスで接続され、CPU が共有メモリにアクセスする時は、バス・アービタがバスの専有権を決め競合を防止する方式をとっている。そしてメモリ・エリアのアクセス順序はテスト・アンド・セット命令を使って行うのが一般的である。

これらのシステムを小型コンピュータへの応用という点でみた場合、ミニコンピュータまたはそれ以上のコンピュータに置換できる汎用マルチプロセッサとしては、現在のところ充分なものではない。その原因としては、そのような方向に耐えうるマイクロプロセッサがないことと共に、主として一般的な並列処理を許すアーキテクチャと、オーバヘッドの少ない OS 開発の困難性からきていると思われる。したがって、現時点では、分散化でき互に関係の少ない小さなタスクから構成されているジョブを専用 OS で実行する専用システム程度が実用に耐えると思われる。そのような専用 OS をもつ場合で、各 CPU のダウン時のシステム可用性を確立するため、各 CPU が対等の資格をもち、割込みを用いないで各 CPU が実行すべきタスクをロック・インする制御方式などが提案されている^{10), 11)}。

5.2 LCMS へのマイクロプロセッサの応用

この種のシステムは、データ・ハイウェイとよばれる分散処理のためのバスを用いるものが多い。そしてそのデータ・ハイウェイに大型からミニコンピュータ

までの同種または異種のエレメント・プロセッサが複数台接続され、プロセス間の通信制御を行う。

ここでは、これらのシステムのうち、データ・ハイウェイとエレメント・プロセッサ間のインターフェイスおよびハイウェイ間の通信制御をバイポーラのマイクロプロセッサで実現した KOCOS (KEIO-OKI's Complex System) システムの BIU (Bus Interface Unit) について簡単にふれる¹²⁾。

KOCOS は、そのプロトタイプにおいて、2台の OKITAC-4300C と2台の NOVA-1200 と HITAC-10 を EP (Element Processor) として、単一バス (C-Bus) で結合したマルチプロセッサ・システムである。この EP と C-Bus の間に位置し、各プロセッサを結合するのが BIU である。BIU の動作概要は大略次のとおりである。

(1) EP からの入出力命令の受信

EP から他の EP へ向かって入出力命令が出されると、チャンネル・ワードの一種 BCW のアドレス、語数、コマンド名および優先度がコミュニケーション・バッファにセットされた後、BIU 内のマイクロプロセッサに割込みがかかる。マイクロプロセッサは DMA (Direct Memory Access) で EP のメモリより上記情報を読みとり解読する。

(2) C-Bus への通信

マイクロプロセッサは転送リンクを確立した後、FIFO の内容を C-Bus へ送出し、終了後割込みが生じる。

(3) C-Bus からの受信

C-Bus 上に先頭のヘッダ・データが流れると、BIU 番号部分が調べられ、一致していると、次にタグ部分が調べられてデータ・リンクが確立し受信が始まる。受信が終了すると EP へ割込みを起す。

(4) エラー処理

送信側でエラーを発見すると受信側 BIU へ信号を送ってから送信を中断してマイクロプロセッサへ割込む。受信側でエラーを発見すると送信側へ知らせ、ブロック単位のリトライを行う。

6. 今後の動向

上記各種の応用をみると、マイクロプロセッサの進歩の過程は過渡期であり、今後の動向の予測は困難であるが、二、三の気付いた点を述べてみる。

6.1 周辺用 LSI の開発

CPU に関する LSI はかなり出回っているが、実際

にコンピュータとしての機能を完備しようとする予想外の周辺 SSI, MSI が必要となる。今後はインターフェイスの標準化と合わせて、周辺用 LSI が充実されてゆくだろう。

6.2 分散プロセッサの利用

マイクロプロセッサが安価になってゆくと、小型コンピュータ、複合体の周辺にはプロセッシングを必要とする箇所が多くあり、そこに専用プロセッサが使われ低価格で高機能なものが構成されてゆくであろう。

6.3 更に高性能のマイクロプロセッサの小型コンピュータへの浸透

マイクロプロセッサの性能はまだまだ向上してゆくと思われる。LSI 化は、組み立て部品数の減少による信頼性向上と組み立てコストの低減、およびコンパクト化に利点があり、今後小型コンピュータは急速に LSI 化されるであろう。

6.4 ファームウェアの一般化

現在の LSI-CPU チップはマイクロプログラム制御方式が多くなっている。ROM の価格低下、高速化と共に要求されるユーザからの操作性向上は、結局ファームウェアという形で取り入れてゆかざるを得なくなるとと思われる。

7. おわりに

以上述べてきたように、マイクロプロセッサは小型コンピュータの各所に入り込んできている。既にこの傾向は VLSI という形で大型コンピュータにも影響を与え始めており、高密度半導体はコンピュータの構成および利用面に多大な影響を与えると思われる。したがって、今後のコンピュータの設計および応用は、小型コンピュータに限らずすべての規模に渡って、半導体技術者と方式設計者さらにソフトウェア設計者の密な協力が是非とも必要であり、利用者がそれら総合的な技術より生み出されるコンパクトな、しかも使い易いコンピュータを得られる日も近いであろう。

参考文献

- 1) 「SEIKO 7000 取扱説明書 II」, 精工舎
- 2) マイクロコンピュータの開発と応用, 東京経営管理協会, pp. 5-1~5-163 (1975).
- 3) 松崎: 各種開発用システムの機能と新動向, 日経エレクトロニクス, 11-17, pp. 118~135(1975)
- 4) Robert Garrow, et al.: Microcomputer-development system achieves hardware-software harmony, Electronics, May 29, pp. 95~102,

- (1975).
- 5) 「LSI-11, PDP-11/03 User's Manual」, DEC (1975).
 - 6) M.E. Hoff, Jr., et al.: Central processor designs using the Intel series 3000 computing Elements, AP-13, intel (1975).
 - 7) 野口, 石野, 佐藤, 篠塚: ミニコンの1ボード化 CPU の研究について, 信学会研資, SSD 75-23 (1975).
 - 8) 有田, 広田: プログラム制御方式の汎用入出力装置とその2, 3の応用, 信学会研資, EC 75-45 (1975).
 - 9) 桑原: マイクロコンピュータ複合システムの動向を探る, 日経エレクトロニクス, 9-22, pp. 50~67 (1975).
 - 10) F.E. Hearst, et al.: A new minicomputer/multiprocessor for the ARPA network, NCC proc, pp. 529~537 (1973).
 - 11) 林, 齊藤, 柴田, 上原: 1チップCPUを用いたマルチプロセッサ・システム, 信学全大, 1693 (昭49).
 - 12) 上林, 徳田, 竹山, 石塚, 西垣, 平塚: KOC OS のアーキテクチャ(1), (2)情報処理学会, 計算機アーキテクチャ研究会資料, 75-16 (1975) (昭和50年12月1日受付)