

—日本における計算機の歴史—

## リレー計算機 ETL Mark I, Mark II\*

駒 宮 安 男\*\*

## 1. 緒 言

ETL (当時の電気試験所, 現在の電子技術総合研究所 Electrotechnical Laboratory の略語) Mark I は我が国最初のコンピュータで, Mark II を製作するためのパイロット・モデルであり, ETL Mark II は我が国最初の実用大型機である。

これが完成し得た原因を一言にして言えば, その基礎的研究にあると言えよう。すなわち, 終戦以来, 当所数学研究室では後藤以紀博士の御指導の下に, 初めは自動計算機とは一見何の関係もない論理数学の研究を行って来たが, 論理方程式の研究より, 論理関数方程式の研究となり, 遂にスイッチ素子の遅れを考慮に入れた独特の順序回路理論の研究に一大成果を収めた。

一方, 論理数学は不連続的な問題の解析に適していることが次第にわかり, 通常の数学と融合して未解決な種々の難散的な問題を解こうとする研究が盛んとなり, その一発展として, 昭和 26 年に計算回路理論に成果を収めた。また, 自動計算機の制御方式においても, 独自のものを考案した。そこで今までの成果を利用して, 先ず昭和 27 年に ETL Mark I を研究室員のみでの努力によって試作し, 極めて良好な結果を得たので, 昭和 28, 29 の両年度において実用大型機 Mark II を設計, 建設することになり, その詳細な設計 (例えば  $n=1\sim 100$  まであるものは,  $n=1$  から 100 までの回路を全部設計図に書いた) を全部研究室員のみで行い, その製作を富士通信機製造(株)(現在の富士通)に依頼し, 入力装置のテープ読取機, テープせん孔機は新興製作所が製作した。

何しろ, 昭和 26 年頃はコンピュータといえば, 新聞の海外トピック欄などに数行程度, 米国の記事がのる位で, 文献もほとんどなく, 詳細はよくわからない

時代であった。従って, 何もかも考えて研究せねばならなかった。すなわち, 一般に, 数値計算は四則演算に還元できるから, それを判断命令を用いて自動制御できれば, 任意の数値計算は実行可能な筈であるといったところから出発して, 何も参考にせず, 強引に独創的に設計したのである。我々はその制御方式を将棋倒し方式と呼んでいたが, 後になり蓋をあけてみてわかったことは, 非同期方式のことであった。ETL Mark I, Mark II 程, 完全な非同期方式のコンピュータは世界的にみて現在でも存在しない, そのため, 使用したリレーの動作速度は, 当時米国 Harvard Mark II のものが平均 7 msec に対し, ETL Mark II は平均 10 msec 以上と遅かったが, コンピュータとしては我が方が 4~5 倍高速度となった。そして, 使用したリレーの総個数は 22, 253 個で, 当時世界で最大規模の最高速度のリレーコンピュータとなった。全系統において, カム等の機械的機構は入出力装置以外は含まず, 非同期方式であるから同期パルスを必要とせず, 動作は前段の接点回路網が完成することにより, 次段のリレーが動作するようになっており, 将棋倒し的に動作が進行する。すなわち, 動作は全系統が因果の連鎖で結びつけられているから, 回路の誤動作のチェックに極めて都合のよいものとなり, 全系統の完全チェック方式を容易ならしめた。

ETL Mark II は完成後, 約 10 年間, 連続使用し, 所の内外の計算に利用され, 气象台から依頼されて台風の進路計算などもやり, 予報に役立ったのも今では思い出になった。そして, 現在は上野の科学博物館にその一部が展示されている。

次に論理数学による計算回路理論の基礎的な部分の概要を記す。

$$A_1 + A_2 + \dots + A_n \\ = d_n 2^n + d_{n-1} 2^{n-1} + \dots + d_1 2 + d_0$$

ここで, 各  $A_i$  は既知数, 各  $d_i$  は未知数と考え, 共に 1 または 0 以外の値はとらないものとする。

上式の任意の  $d_i$  は論理数学的に

\* Automatic Relay Computers ETL Mark I and Mark II by Yasuo KOMAMIYA (Electrotechnical Laboratory)

\*\* 電子技術総合研究所

$$d_i = \sum_n^{2^i} (A_1, A_2, \dots, A_n)$$

のように解くことができる。ここで  $\sum_n^{2^i}$  は  $n$  個の  $A_1, A_2, \dots, A_n$  中より任意の  $2^i$  個を取り論理積をし、それら各項 ( $\cdot C_{2^i}$  個の項が存在する) を排他的論理和 (exclusiv-or) で結合することを意味するものとする。

例えば

$$\sum_3^2 (A_1, A_2, A_3) = A_1 A_2 \oplus A_2 A_3 \oplus A_3 A_1$$

上式で例えば  $n=2$  は半加算器,  $n=3$  は全加算器,  $n=5$  は 3 入力 2 進法加算回路, 2 入力 10 進法加算回路, ..., 一般に  $n$  入力 2 進法並列加算回路, 2 進法  $\rightarrow$  10 進法変換回路などが全く数学的に統一的に設計できるのである。

このような理論を用いて設計したのである。

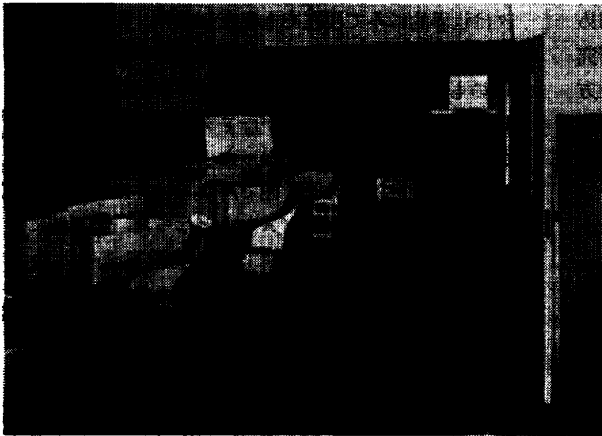


写真-1 ETL Mark II

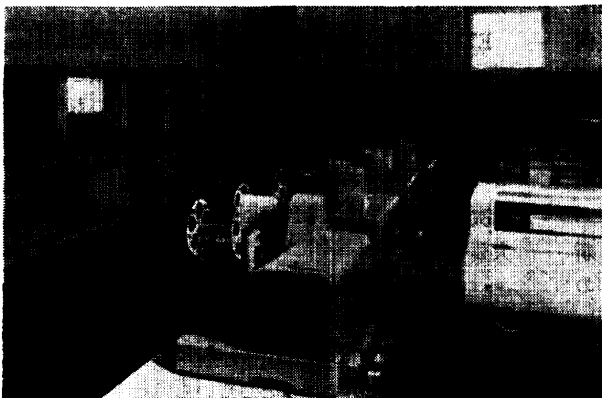


写真-2 オペレータ側

## 2. 本機の概要

### 2.1 リレーを選んだ理由

この時代には、トランジスタはまだ実用にはなっておらず、多数個の素子を使用するコンピュータにおいては、真空管の信頼度は極めて悪く、とうてい使用に耐える部品ではなかった。工業技術院電気試験所としては、速かに完成して、実用に供し、山積している理工学上の問題を速かに処理せねばならなかった。それにはリレーは電話自動交換等により既に多数使用されており、信頼度も高く、保守容易でありかつ寿命も長く低廉であった。

### 2.2 部品の規格化

#### 2.2.1 リレー

リレーは本機の主要部品であるから、特に入念に設計製作し、寿命も 1 億回以上 (実際の寿命試験の結果は 1 億 5 千万回でもまだ使用上差支えなかった) とした。その型の種類も保守の便利のため、なるべく少くし、3 種類 (写真-5) (517 頁参照) すなわち S 型, C 型, G 型とし、その使用目的に応じてそれぞれ特性を表-1 (次頁参照) のようにした。S 型は主としてリレー式記憶回路に用いるゆえ、動作速度は出来るだけ速く、消費電力を少なくする必要があるが、接点数は少くてもよい。C 型は主として演算回路、制御回路用で接点数はなるべく多く、動作時間も出来るだけ速いことが好ましいが、演算が終われば切ってしまうので、消費電力は多少、多くてもよい。G 型はゲートの開閉に用いるから、出来る限り多接点であること、および消費電力はなるべく少く少くすることが必要であるが、動作時間は他の型に比し、速くなくてもよい。そして、各型とも使用電圧は直流 60 V、接点電流の許容限界は 500 mA、接点は全て双子接点 (twin contact) とした。

#### 2.2.2 入出力装置

テープ読取機、テープせん孔機、印字機は高速化の必要上、60 単位を一動作で行うように新設計した。そのため、紙テープ (セルロイドテープも用いた) は 60 単位 (30 単位 2 行) のものを新しく作製した (写真-6) (517 頁参照)。また、使用に際しては上記のテープを正副 2 本を必ず使い、正と副ではせん孔が必ず逆にしてあり、それぞれのせん孔の照

校(チェックのため)完了の信号で動作するようにした。

2.3 回路設計

前述の如く、各単位装置は論理数学の開閉回路理論への応用の成果を利用し、制御方式も当研究室で考案したもので、既にその主要回路は ETL Mark I において実験済のものであるが、すなわち、計算回路は合理的に、

数学的に、統一的に設計出来るようになり(従来は視察により回路を求めてたので、原理的には不必要なリレーも、使用せざるを得なかった)、演算の所要時間も著しく減少し、かつ制御方式をも含めて、全系統においてカム等により機械的機構は入出力装置以外には含まず、同期パルスを必要とせず、動作は前段のリレーの動作完了による信号により次段のリレーが動作するようになっており、将棋倒しの進行し、従来の計算機の如く外部からの同期パルスによって制御する同期方式ではない。この将棋倒し的な思想が、回路の誤動作のチェックにも極めて都合のよいもので、本機の完全チェック方式を容易ならしめている所以である。すなわち、原理的にいえば、何処かで誤動作すれば、そこで動作が停止してしまうという性質を持ち、従来の計算機のように動作の如何に拘らず、制御パルス

のみが進行してしまう如き方式と根本的に異なる点であり、本機が動作している間は誤計算しないという性質も、根本的にはここに存在するである。そして将棋倒し的なことが、計算速度を極めて迅速にしている一原因でもある。すなわち、パルスにより制御する方式であると、パルスの幅およびパルスとパルスの間隔等に、開閉素子(この場合リレー)の動作遅れ(time lag)を考慮してある時間的余裕を設ける必要がある。何となれば、あまりパルスの幅またはパルスの間隔を狭めると、開閉素子はその time lag のため、動作しなくなり、また動作が乱れてしまうのである。然るに将棋倒し的であると、かかる時間的余裕を強制的に持たせる必要がなく、開閉素子の time lag にばらつきがあっても、前段が動作すれば、次段が動作するので、ある意味では、最小限度の時間で動作が進行することになる。

本機においては、具体的には、チェックは数値の転送(transfer)によるそれ(transfer check)と、各演算

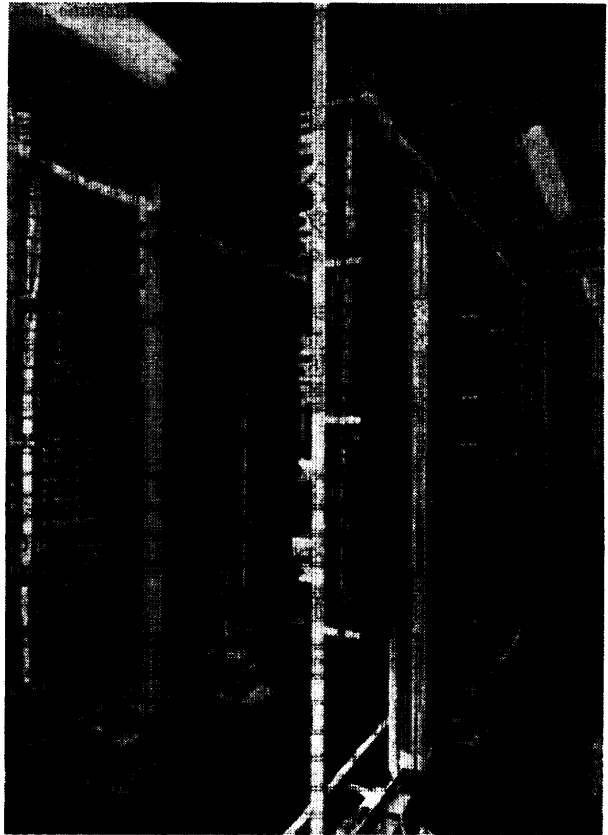


写真-3 リレー室

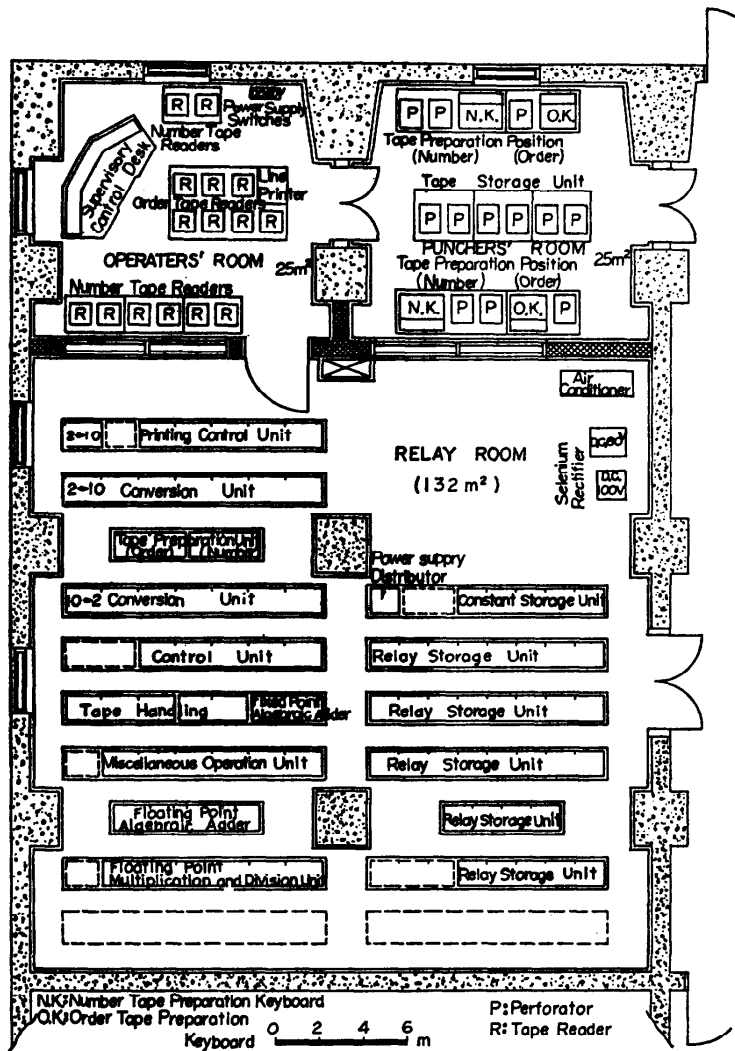
表-1 各種リレーの特性表

继电器の記号	接点	動作電流 (mA)		動作時間		
		動作	保持	動作	復旧	
storage type	S-1	A 2	25	10	6以下	4以下
	S-3	W 3	30	15	10	4
computer type	C-1	W 6	50	15	8 <sup>±1</sup>	7
	C-2	{ A 5 W 1	40	15	8 <sup>±1</sup>	7
	C-3	A 12	50	15	8 <sup>±1</sup>	7
	C-4	R 12	50	15	8 <sup>±1</sup>	7
	C-5	{ A 8 W 2	50	15	8 <sup>±1</sup>	7
	C-6	{ A 8 W 2 R 2	50	15	8 <sup>±1</sup>	7
gate type	G-1	A 24	30	15	15	6
	G-2	R 24	30	15	15	6
	G-3	{ A 22 R 2	30	15	15	6
	G-4	{ A 22 R 22	30	15	15	6

A: make 接点, R: break 接点, W: change over 接点

装置のそれとに分れるが、数値の転送に関する transfer check にあつては、送信する数値と受信する数値

Theory and Structure of the Automatic Relay Computer E.T.L. Mark II.



Computer Installation at the 2nd Floor

写真-4 ETL Mark II の設置図

との完全なる照校により行い、各演算装置のチェックは、論理数学より導き出した回路が、中心線に対して逆対称の性質があるので、すなわち、一方の端子に電流が流れていれば、対応する端子には流れないという性質から、それぞれの対応する端子の正副の照校により行うのである。そして何れの場合でも、もし誤動作した場合は、その装置のみ反復（具体的には 2nd trial）して、間歇誤動作（intermittent error）は自動的に排除されて、動作は進行し、もしも本質的な障害の場合

には計算機は停止する。

さて、リレー回路網の型であるが、保守等を考慮して、図-1（次頁参照）の如き型とし、図-2（次頁参照）の如き型は採用しない。また、接点は make 接点のみで出来るだけ組む（break 接点を必要とする処は、副のリレーの make 接点を利用する）。また、全系統において、接点回路網は無電流で開閉するから、接点の火花による損耗等はほとんどない。而して、電流を切る接点と雖も 200 mA 以下の電流（接点の許容電流は 500



写真-5 左よりG型, C型, S型の各種リレー

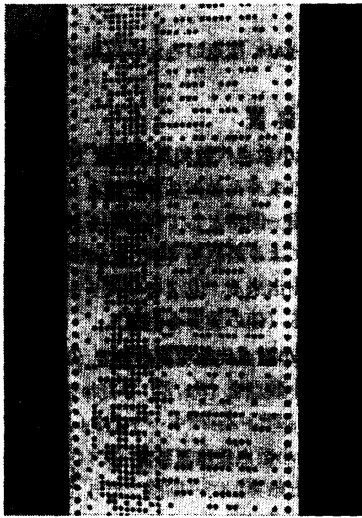


写真-6 60単位 (30単位2行) テープ

mA) しか切らず、この程度では火花による接点の消耗はほとんどない。以上の原理図は図-3である。図-3において、 $\bar{X}_i$  は  $X_i$  の副にして

$$X_i \sim \bar{X}_i$$

なる関係がある。ここで記号 $\sim$ は対等を表わす。また  $f, \bar{f}$  においても同様にして

$$f \sim \bar{f}$$

なる関係があり、 $f, \bar{f}$  は共に  $x_1, x_2, \dots, x_n; \bar{x}_1, \bar{x}_2, \dots, \bar{x}_n$  の接点回路網である。すなわち、

$$f(x_1, x_2, \dots, x_n; \bar{x}_1, \bar{x}_2, \dots, \bar{x}_n)$$

$$\bar{f}(x_1, x_2, \dots, x_n; \bar{x}_1, \bar{x}_2, \dots, \bar{x}_n)$$

ここで、 $x_i$  は  $X_i$  の make 接点、 $\bar{x}_i$  は  $\bar{X}_i$  の make 接点である。また

$$\prod_{i=1}^n (x_i \oplus \bar{x}_i) = (x_1 \oplus \bar{x}_1)(x_2 \oplus \bar{x}_2) \dots (x_n \oplus \bar{x}_n)$$

を意味する。ここで  $\oplus$  は exclusive-or を表わすもの

とする。

従って、リレー  $R_k$  は各  $x_i, \bar{x}_i$  の照校が完成されてから (これは実際には、 $f, \bar{f}$  の接点回路網の完成を意味する) 励磁され、それにより  $R_k$  の make 接点  $r_k$  がオンとなり、リレー  $Y, \bar{Y}$  が励磁される。また  $\sim r_m$  ( $r_m$  の否定、すなわち、break 接点) は全ての動作が完了してから、 $r_m=1$  すなわち  $\sim r_m=0$  となる接点であるから、全ての動作が完了すると、 $\sim r_m$  により  $Y, \bar{Y}$  の励磁コイルを切ってしまうので、 $f, \bar{f}$  なる接点回路網がくずれぬ前にそれにぶささっているリレーの励磁コイルは切れてしまう。従って接点回路網  $f, \bar{f}$  は無電流で開閉し、動作は  $R_1, R_2, \dots, R_m$  の chain により将棋倒しの進行する。注意すべきことは、動作の開始する以前は、接点回路網  $f, \bar{f}$  は全て make 接点のみで構成されているから、 $R_1=R_2=\dots=R_m=0$  である。

なお、一般的なこととして、電源を入れただけで動作するリレーや、本機の動作中、自己保持しているリレーを極力少くすとか、各リレーに使用する接点数をできるだけ平均化する等に意を用いた。

本機は、設計するに当り、できる限り異質的な部品は障害のもとになる故、使用せず、主要部分は、全くリレーと端子盤のみにて出来ているといっても過言ではない。前述の如くカム等の機械的機構も入出力装置以外には使用していないのもこのためである。

なお、電源は入出力装置を除いては全て 60V に統一することにした。

### 2.4 語 (数値語, 命令語)

本機で取り扱う数値は入出力は 10 進法、内部は 2 進法の表現である。すなわち、

$$\pm(a_0 10^0 + a_1 10^{-1} + \dots + a_9 10^{-9}) \times 10^m \quad (1)$$

ここで、 $a_i: 0 \leq a_i \leq 9$  なる整数、

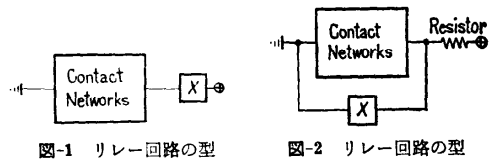


図-1 リレー回路の型

図-2 リレー回路の型

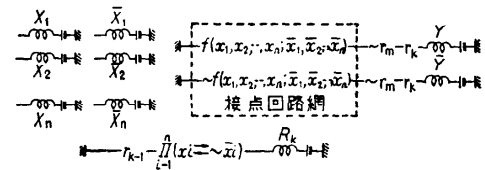


図-3 回路方式の原理図

ただし  $1 \leq a_0 \leq 9$

$m: -19 \leq m \leq +19$  なる整数

また、0 は正の符号をつけ  $+0 \times 10^{-19}$  で必ず表現することにした。内部の2進法表現を

$$(S_x, X)2^{(s_x, x)}$$

とすれば

$$X = 2^0 + X_1 2^{-1} + X_2 2^{-2} + \dots + X_{33} 2^{-33}$$

$$x = x_6 2^6 + x_4 2^4 + \dots + x_1 2 + x_0$$

ここで、 $S_x=1$  なら  $(S_x, X) \geq 0$

$S_x=0$  なら  $(S_x, X) < 0$

$s_x$  についても同様

従って、本機の内部は 41 本の母線 (bus) を有する浮動小数点 (floating point) の並列計算機 (parallel machins) である。

### 2.5 記憶装置

#### 2.5.1 リレー式記憶装置

記憶する際、記憶内容を自動的にクリアしてから、新しい数値を記憶し、記憶容量は 200 語である。(1,000 語まで拡張可能であった。)

これは図-4 のようなリレーの自己保持回路を用いており、I は in-gate, O は out-gate, T はクリアのための接点 ( $\sim T$  は break 接点のこと),  $hX$  はリレー X の自己保持巻線, S は T を動作させるために必要な補助リレーの接点である。これは transfer check にも利用される。

#### 2.5.2 テープ式記憶装置

60 単位同時式テープせん孔機と 60 単位同時式テープ読取機よりなり、正副のテープをせん孔し、それを必要に応じ読み取るオンラインの記憶装置である。(写真-7)。

#### 2.5.3 常数記憶装置

$\pi$  とか  $e$  とかの重要な常数 250 種類を記憶している ROM (read only memory) である。実際には 1 は結線されており、0 は結線されていないので、リレー式記

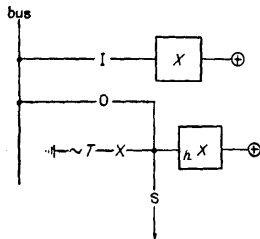


図-4 リレー記憶回路



写真-7 テープ記憶装置

憶装置の out-gate 接点のみから出来ていると考えてよい。

### 2.6 演算装置

#### 2.6.1 浮動小数点代数和算出装置 (0.2 sec)

論理数学より求めた並列加算回路と 2 数差の絶対値算出回路とを同一回路として代数和を算出出来るようにした。命令により最終桁 (last significant digit) を丸めた答も算出出来る。(0.2 sec) はチェックを含んだ計算時間である (他の装置も同様)。

#### 2.6.2 固定小数点代数和算出装置 (0.11 sec)

ここで固定小数点を  $(S_z, Z)$  で表わせば、

$$Z = Z_{39} 2^{39} + Z_{38} 2^{38} + \dots + Z_1 2 + Z_0 \quad (2)$$

#### 2.6.3 浮動小数点乗除算装置 (0.14—1.39 sec)

これも乗算と除算が同一回路で行うことが出来 (2.6.1 を組み合わせる構成する), それぞれの算出所要時間は同じであり、必要ならば、命令により自動的に最終桁を丸めた答を算出する。

#### 2.6.4 数値部吸収置数器 (I)

$(S_x, X)2^{(s_x, x)}$  で表現されている数値を命令により、 $(0, 0)2^{(s_x, x)}$  または  $(S_x, 0)2^{(0, x)}$  に変換する。

#### 2.6.5 指数部吸収置数器 (I)

$(S_x, X)2^{(s_x, x)}$  で表現されている数値を命令により、 $(S_x, X)2^{(0, 0)}$

に変換する。2.6.4, 2.6.5 は数値部と指数部を別々に計算するときに便利である。

#### 2.6.6 数値部吸収置数器 (II)

$(S_x, X)2^{(s_x, x)}$  を  $(s_z, z)$  に変換する。すなわち、

$$(S_x, X)2^{(s_x, x)} = (s_z, z)$$

ここで、 $(s_z, z)$  は  $(0, 0)2^{(s_x, x)}$  の指数部

#### 2.6.7 指数部吸収置数器 (II)

$(S_x, X)2^{(s_x, x)}$  を  $(S_z, Z)$  に変換する。

**2.6.8 標準数値語化置数器**

$(S_x, Z)$  を  $(S_x, X)2^{(s_x, x)}$  に変換する。

**2.6.9 符号変更置数器**

$(S_x, X)2^{(s_x, x)}$  を命令により

$$-(S_x, X)2^{(s_x, x)}$$

または

$$|(S_x, X)2^{(s_x, x)}|$$

または

$$-|(S_x, X)2^{(s_x, x)}|$$

に変換し、また、命令により通常の記憶装置としても使用出来る。

**2.6.10 論理置数器**

$(S_x, X)2^{(s_x, x)}, (S_y, Y)2^{(s_y, y)}$  を命令により、

$$(\sim S_x, \sim X)2^{(\sim s_x, \sim x)}$$

または

$$(\sim S_y, \sim Y)2^{(\sim s_y, \sim y)}$$

または

$$(S_x \vee S_y, X \vee Y)2^{(s_x \vee s_y, x \vee y)}$$

または

$$(S_x \cdot S_y, X \cdot Y)2^{(s_x \cdot s_y, x \cdot y)}$$

に変換する。ここで、例えば  $x \vee y$  は

$$x \vee y = (x_5 \vee y_5)2^5 + (x_4 \vee y_4)2^4 + \dots + (x_1 \vee y_1)2^1 + (x_0 \vee y_0)$$

を意味するものとする。他も同様、これは命令により、通常の記憶装置としても使用出来る。

**2.6.11 10進法→2進法変換装置**

制御テープ作成用 (0.12 sec) と数値テープ作成用 (0.1—0.8 sec) との2種類あり、それらはオフラインで使用する。たとえば数値テープ作成用は(1)式を鍵を挿すだけで  $(S_x, X)2^{(s_x, x)}$  に変換する。

**2.6.12 2進法→10進法変換装置 (1.7 sec)**

機械内部で計算した結果は  $(S_x, X)2^{(s_x, x)}$  の形に表現されているので、それを命令により (1) 式または  $(S_z, Z)$  の形に変換し、連結されているラインプリンタで印字する。従ってオンラインで使用される。ここで 1.7 sec はプリント時間も含む。

**2.7 入出力装置****2.7.1 60 単位同時式テープせん孔機****2.7.2 60 単位同時式テープ読取機****2.7.3 ラインプリンタ (60 単位同字式行印字機)**

(写真-8)

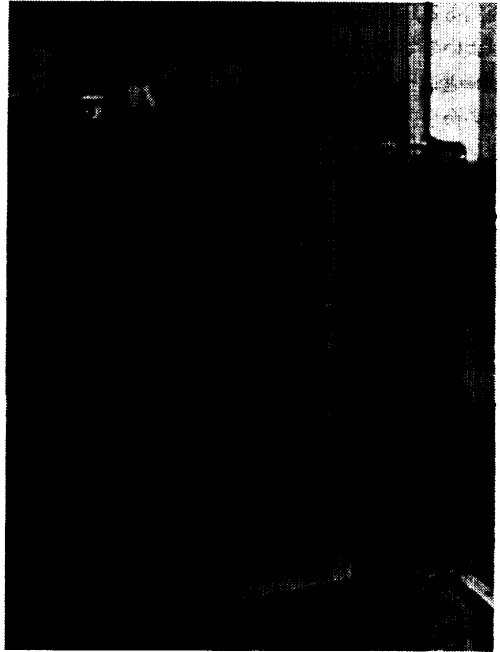
**2.7.4 数値テープ作成用鍵盤 (写真-9)****2.7.5 制御テープ (命令テープ) 作成用鍵盤**

写真-8 60 単位ラインプリンタ



写真-9 テープ作成鍵盤 (右: 数値テープ用, 左: 制御テープ用)

**2.7.6 操作卓子(コンソール)(写真-10(次頁参照))****2.8 制御装置\***

本装置は制御テープ読取機を通じて、制御テープから与えられた命令を計算機内で、実際に遂行せしめることおよびそれに付随して必要な操作を行うものである。本機においては、各単位装置はその内部に、それぞれの制御装置 (例えば代数和算出装置なら、第1オペランド (1st. operand) と第2オペランド (2nd. operand) が入力すると、それ以後は自動的に内部で適当な演算をして、答がその出力に出ている。それはCPU からは何ら制御されない) を有するから、CPU としては母線を通じて適当な装置 (記憶装置のことも

\* 現代風に言えば CPU

当然ある) から適当な装置へ数値を転送すればよいのである。故に、適当な装置の out-gate と適当な装置の in-gate を制御テープよりの命令により適当な順序で開閉してやればよいことになる。これが CPU の重要な動作であり、その制御方式は現代的な述語で言えば並列操作の機能があり、先回り制御である。もちろん CPU の補助動作として、アドレス変更、判別命令、副命令群の呼出し等を行えるようになっている。そして、それらの諸動作の誤動作に対する対策として、種々の回路が付随している。

CPU の機能を次に列挙する。

- (1) 制御用テープ読取機を 7 台 (15 台まで拡張可能) 制御し得る。
- (2) 任意の制御用テープ読取機より他の任意の制御用テープ読取機を呼び出し得る。また、その際、元の制御用テープ読取機は、自動的に 1 行だけテープが送られる。
- (3) 任意の制御用テープ読取機より任意の数値用テープ読取機 (7 台) が呼び出し得る。
- (4) アドレス変更の機能を有する。
- (5)  $1st. operand \geq 2nd. operand$   
 $1st. operand < 2nd. operand$   
 $1st. operand = 2nd. operand$  }  
 の判別をし、それにより任意の制御用テープ読取機を呼び出し得る。
- (6) 判別命令においては、その制御用テープ読取機のテープを、指定しただけ飛び越して制御し得る (条件付飛び越し)。
- (7) 転送に当っては、転送が完全に行われてから次の命令を行う。もし転送が完全に行われないときは、2nd. trial を自動的に行い間歇誤動作は排除される。

以上が CPU の主な機能である。

### 3. 結 語

当時、米国ではリレー式の大型自動計算機は 50 万 \$ (電子管式は 100 万 \$) 前後であったが、それに比し、ETL Mark II は数分の一の予算で完成し得た。

ETL Mark II の建設に当っては、当初随分苦勞をしたもので、その当時は、我が国において未だ自動計算機の認識も現在のように盛んではなく、製造業者も、海のものとも、山のものとも決定しかねて、我々

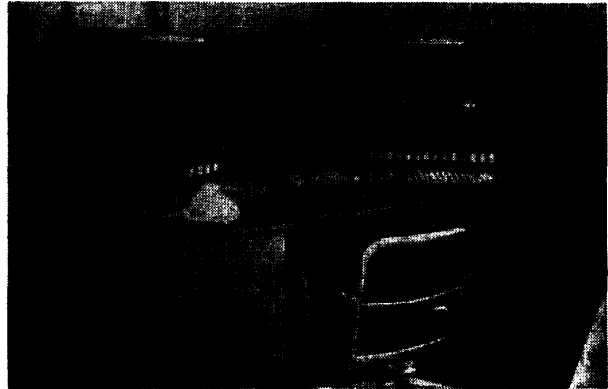


写真-10 操作卓子 (コンソール)

はその認識を高めさせるのに努力をしたものである。今から思うと、筆者と末包良太君 (現山梨大学教授、当時当所数学研究室員) とが共々、リレー式自動計算機の回路理論、自動計算機一般に関する世界の現状等を 3 日間にわたり富士通で講演をしたことや、それ以後、Mark II の建設に入り、製造業者の人々と種々ディスカッションしたこと等も楽しい思い出であるが、全く大変なことであった。なにしろ数ヶ月、当所数学研究室員 (当時総員 5 人) が富士通の一室に詰めきりになり、そこに富士通よりトレーサーを数人かりて、我々が設計したものをすぐトレースするといった状態であった。

我々が我が国におけるコンピュータの草分け時代より参画出来、コンピュータ工業の確立に一歩を押し、就中、ETL Mark II が我が国のコンピュータの契機となり、土台となったことは喜びに絶えないところである。

撰筆するに当り、後藤以紀先生より終始懇切なる御指導を戴き、末包良太、高木正英 (現在、成蹊大学教授)、桑原繁 (現、富士通社員) の諸君等をはじめとする当所数学研究室員が献身的な努力をされたこと、および富士通をはじめ各方面の多数の人々の計り知れない御協力に対して深く感謝する次第である。

### 参 考 文 献

- 1) 駒宮: 電気計算回路理論, 電試研報 No. 526 (昭 26-11).
- 2) M. Goto, Y. Komamiya, R. Suekane, M. Takagi and S. Kuwabara: Theory and Structure of the Automatic Relay Computer E. T. L. Mark II, 電試研報 No. 556 (Sept. 1956) (昭和 51 年 3 月 17 日受付)