

## 温度制約を考慮した三次元積層 マルチコア・プロセッサの性能評価

花田 高彬<sup>†</sup> 井上 弘士<sup>††</sup> 村上 和 彰<sup>††</sup>

### 1. はじめに

マイクロプロセッサの性能向上を実現する 1 手段である 3 次元積層技術を活用した 3 次元積層マルチコア・プロセッサが注目されている。3 次元積層マルチコアは、既存のプロセッサ・ダイを積層し、層間を多数の貫通ビア (TSV: Through Silicon Via) で接続された構造をとる。この構造より、3 次元積層マルチコアは同コア数の 2 次元実装マルチコアと比較し、パッケージ面積の抑制とダイ歩留まりの向上を狙える。しかしながら、3 次元積層 LSI では、積層ダイ数に伴い放熱特性が低下するため温度上昇が深刻な問題となる。一般に、LSI における過度の温度上昇は経年劣化の加速やリーク消費電力の増大を招くため、温度制約を超えるような場合には動作周波数を低減する等の対策を施す必要がある。その結果、場合によっては 3 次元積層により性能が低下するといった事態も想定される。

本稿では、温度制約を考慮した 3 次元積層マルチコアの性能評価を行う。コア数の増加による並列度向上と温度制約に起因する動作周波数低下の間に存在するトレードオフを解析することで、今後の 3 次元積層マルチコアにおいて解決すべき課題を議論する。

### 2. 前提とする 3 次元積層マルチコアの構成

3 次元積層マルチコアは、各層に 2 基のプロセッサ・コア、ならびに、2MB の共有 L2 キャッシュを搭載するものとする。コア・アーキテクチャは Alpha21364 を想定した。また、プロセッサは常にピーク電力を消費するとし、最もプロセッサが高温となるケースを想定した。なお、本評価では温度制約を満たすため、プロセッサの動作周波数を低下させるものとする。

想定する 3 次元積層マルチコアの構造を図 1 に示す。ダイ積層に関しては、メタル層とバルクシリコン層が向かい合う Back-To-Face 接合であり、バルクシリコ

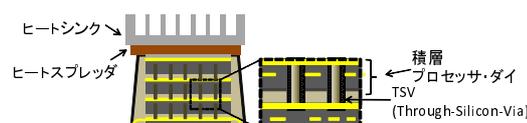


図 1 3 次元積層マルチコア・プロセッサ

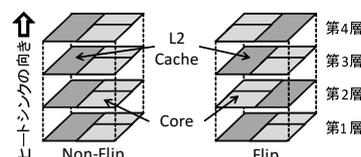


図 2 4 層 3 次元積層マルチコアの 2 通りの積層方法

ンは薄膜化されて積層されるため、積層ダイの厚みは既存プロセッサ・ダイよりも薄いと想定する。また、本評価においては、図 2 に示す 2 通りの積層方法を評価対象とする。コアが垂直方向に隣接する積層方法である Non-Flip では、局所的に高温となる部分 (ホットスポット) が重なる可能性が高くなる。他方、偶数番目のダイを水平方向に 180 度回転させた積層方法である Flip では、コアよりも熱密度の低い L2 キャッシュがコアに垂直方向に隣接するため、熱分散が高まり、Non-Flip と比較して温度上昇の抑制が期待できる。

なお、ダイを 2 層以上積層した場合には、共有 L2 キャッシュは複数の層にまたがって構成される。この共有 L2 キャッシュは TSV によって構成される共有バスを介して全てのコアに接続される。共通 L2 キャッシュの容量は 2MB × 積層数で決定されるものとする。また、共有 L2 キャッシュのアクセス時間は 2 次元実装の場合と同等のアクセス時間を想定し、キャッシュ・シミュレータ CACTI<sup>(3)</sup> より求める。

### 3. 温度解析ならびに性能評価

3 次元積層マルチコアの温度解析を行い、温度制約下における最大動作周波数を求める。具体的には、プロセッサ熱解析ツールである HotSpot 5.0<sup>(2)</sup> を用いて、様々な動作周波数における 3 次元積層マルチコアの温

<sup>†</sup> 九州大学大学院 システム情報科学府  
<sup>††</sup> 九州大学大学院 システム情報科学研究院

表 1 3次元積層構造パラメータ

プロセッサ・ダイ	33um 厚, 28.1W/mdegC
ボンディング層	2um 厚, 60.24W/mdegC
ヒートシンク	5 × 5 × 2.5cm, 240 W/mdegC
ヒートスプレッダ	3 × 3 × 0.1cm, 400 W/mdegC
大気温度	30.0degC
温度制限	88.0degC

表 2 温度制約下における評価対象プロセッサの最大動作周波数

プロセッサ構成	動作周波数 (MHz)	
	Non-Flip	Flip
2層 4コア	820	980
4層 8コア	510	630
8層 16コア	310	390

度解析を行い、プロセッサ内部のホットスポット部の温度を抽出し、多項式近似により動作周波数と温度の相関を求め、温度制約下における最大動作周波数を求める。HotSpot 5.0 に与える 3次元積層構造パラメータを表 1 に示す。温度解析の結果より、最大動作周波数は表 2 に示す値となった。なお、同条件下における 2次元実装デュアルコアの動作周波数は 2000MHz である。この結果より、積層ダイ数増加に伴い動作周波数を低く設定しなければならない事が示されている。また、熱分散を考慮した積層パターン Flip では熱分散が進み、比較的高い動作周波数を設定できる事が結果より示されている。

本性能評価では、性能指標として以下に示す MIPS(Mega Instructions Per Second) 値を用いた。

$$MIPS = IPC \times f_{MAX} \quad (1)$$

ここで、IPC はクロックサイクル当りの実行命令数、 $f_{MAX}$  は温度制約下における最大動作周波数である。プログラム実行時の IPC 値算出には、マルチコア・シミュレータ M5<sup>1)</sup> を用いた。ベンチマーク・プログラムには SPLASH-2 より 3 種のプログラムを選択した。

式 (1) に基づく性能評価結果を図 3 に示す。図 3 では、MIPS と IPC を各プログラムにおいて 2次元実装デュアルコア (2 コア 2D) の性能で正規化している。図 3 中左の縦軸は MIPS に基づく性能向上率であり、各プロセッサ・モデルにおける 2本の棒グラフ (Non-Flip 時と Flip 時) に対応する。また、図 3 中右の縦軸は IPC 向上率であり、マーカで表している。

評価結果より、並列性の違いが 3次元積層マルチコアにおける性能に大きな影響を与える事が示されている。並列性の高いプログラム (例えば Barnes) では、コア数増加に伴い IPC が向上し続けるため、温度制約下においても積層ダイ数増加に伴い性能向上が狙える。しかしながら、並列性の低いプログラム (例

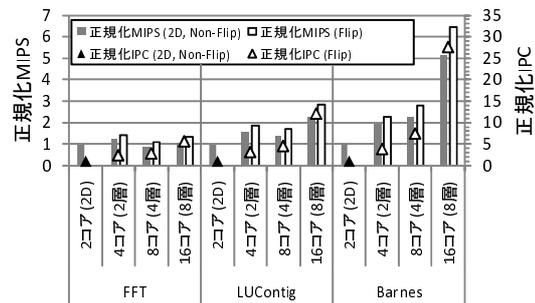


図 3 温度制約下におけるプロセッサ性能 (MIPS ならびに IPC)

えば FFT) では、コア数の増加に伴う IPC 向上幅が小さいために、動作周波数を低く設定する影響が強く性能に現れ、積層ダイ数の増加による性能向上幅が小さい。この結果より、動作周波数を低く設定するようなナイーブな温度管理下では、3次元積層を利用したコア数増加による性能向上が望めない場合がある事が示されている。

#### 4. おわりに

本稿では、温度制約下における 3次元積層マルチコアの性能を評価した。結果、3次元積層マルチコアにおいては、ワークロードの並列性が性能に大きな影響を与える事を示した。今後は、過渡温度解析を行い、並列性の異なる様々なワークロードを実行した場合の 3次元積層マルチコアの温度のふるまいを明らかにする。

謝辞 日頃から御討論頂いております九州大学安浦・村上・松永・井上研究室、ならびに、システム LSI 研究センターの諸氏に感謝します。本研究は、一部、独立行政法人新エネルギー・産業技術総合開発機構 (NEDO) 若手グラント、科学研究費補助金 (課題番号: 21680005)、ならびに、パナソニック株式会社との共同研究による。本研究は主に九州大学情報基盤研究開発センターの研究用計算機システムを利用しました。

#### 参考文献

- 1) N. L. Binkert, et al., "The M5 Simulator : Modeling Networked Systems," IEEE Micro, Vol. 26, No. 4, pp. 52-60, 2006.
- 2) K. Skadron, et al., "Temperature-Aware Microarchitecture," ISCA, pp. 2-13, 2003.
- 3) S. J. E. Wilton, et al., "CACTI: An enhanced cache access and cycle time model," IEEE JSSC, Vol. 31, No. 5, pp. 677-688, 2002.

(平成 00 年 0 月 0 日受付)

(平成 00 年 0 月 0 日採録)