

エラー検出・再送機能を備えた 低消費電力オンチップルータの設計

王 帥^{†1} 松谷 宏紀^{†2} 鯉 渕 道 紘^{†3}
宇佐美 公良^{†4} 天 野 英 晴^{†1}

本論文では、メニーコアプロセッサにおける IP コア間ネットワーク (Network-on-Chip, NoC) を高信頼かつ低消費電力化するために、二電源エラー検出・再送ルータを設計、評価する。一般的に、トラフィック負荷に応じてルータの供給電圧を調節することで低消費電力化を実現できるが、低電圧化によってビットエラー率が上昇してしまう。本ルータでは、与えられた供給電圧とエラー率に応じてエラー検出・再送機能を利用し、高信頼化を狙う。本論文では、一般的な 3 サイクルルータに対し、Dynamic voltage and frequency scaling (DVFS) を行うための多電源化、および、エラー検出・再送機構を追加し、Fujitsu 65nm プロセスを用いて合成、配置配線を行った。さらに、SPICE ネットリストから回路シミュレーションを行い、消費電力を評価した。評価結果より、NoC のビットエラー率を維持したままで、負荷が小さい場合、消費電力 40%削減できた。

Design of Low power On-chip Router with Error-detection Re-transfer Scheme

SHUAI WANG,^{†1} HIROKI MATSUTANI,^{†2}
MICHIIHIRO KOIBUCHI,^{†3} KIMIYOSHI USAMI^{†4}
and HIDEHARU AMANO^{†1}

We design and evaluate a dual-Vdd error-detection re-transmission router for Network-on-Chip (NoC) that connects many IP cores on a chip, in order to improve the communication reliability and reduce the power consumption. Typically, the power consumption can be reduced by controlling the supply voltage in response to the traffic workloads, while such lower supply voltages sometimes increase the bit error rates. The proposed router employs the error-detection and re-transmission functions in response to a given voltage level. In this paper, the dual-Vdd for Dynamic voltage and frequency scaling (DVFS) and the error-detection and re-transmission are applied to a typical 3-cycle

on-chip router. The proposed router is synthesized, placed, and routed with Fujitsu 65nm process. Its SPICE netlist is extracted and evaluated in terms of the power consumption. The results show that the proposed router reduces the power consumption by 40% at a low traffic workload without harming the bit error rates.

1. はじめに

半導体技術の進歩に伴い、1 チップに複数のコアを搭載することが可能となった。さらに昨今ではメニーコア化による並列処理によって性能を上げつつ、動作周波数を下げ消費電力を抑えるアプローチが注目されている。これらのコア間をつなぐ Network-on-Chip(NoC) についても同様に低消費電力化に関する研究¹⁾ が行われている。

NoC に適用可能な低消費電力化手法としては、要求処理速度に応じて動作周波数と電圧を動的に制御する Dynamic Voltage and Frequency Scaling (DVFS) が挙げられる²⁾。DVFS では要求処理速度が低い場合は、電圧、動作周波数をともに下げ、その逆の場合は電圧、動作周波数を上げる。一般に、半導体の消費電力 P は以下のように表わされる。

$$P = \frac{1}{2} \alpha C V^2 f \quad (1)$$

ただし、 α がスイッチング確率、 f が動作周波数、 C がキャパシタンス、 V が電圧である。 P は V の 2 乗に比例するため、要求処理速度が低ければ供給電圧を下げることで大幅に消費電力を削減できる。

しかし、プロセスの微細化やそれに伴う低電圧化によりビット化けなどのソフトエラー率が上昇する点が問題となっており³⁾⁴⁾、DVFS などの低消費電力技術の研究の大きな妨げになりつつある。

ソフトエラーは宇宙から降り注ぐ中性子線がトランジスタに衝突することで信号線の値

†1 慶應義塾大学大学院 理工学研究科

Graduate School of Science and Technology, Keio University

†2 東京大学大学院 情報理工学系研究科

Graduate School of Information Science and Technology, The University of Tokyo

†3 国立情報学研究所 / 総合研究大学院大学

National Institute of Informatics / The Graduate University for Advanced Studies

†4 芝浦工業大学 情報工学科

Department of Information Science and Engineering, Shibaura Institute of Technology

を反転させるエラーである。そのため、フリップフロップなどの値が変化することが多く、NoC におけるソフトエラー対策の研究では、各スイッチ内部のフリップフロップに着目して対策を行っている⁵⁾。加えて、クロストークにより信号線の値が反転してしまうエラーも生じる。クロストークは並行で比較的長い距離の信号線において片方の信号の変化がもう一方の信号に影響を与え値が反転する問題である。これも同様に、低電圧化により問題が深刻化している⁶⁾。タイル状に並んだ各 Processing Element をつなぐ NoC では配線が長い区間で平行になることが多く、クロストークが発生しやすいため、クロストーク対策も重要となってきた。

そこで、本研究では、エラー検出・再送機能を備えた二電源ルータを設計する。本ルータでは、トラフィック負荷に応じて供給電圧を変化させることで低消費電力化を実現しつつ、与えられた供給電圧とエラー率に応じてエラー検出・再送機能を利用し、高信頼化も狙う。

本論文の構成は以下のとおりである。2 章では、NoC におけるビットエラーおよび二電源による電力の削減について説明し、3 章では、具体的なエラー検出再送機構の設計について説明する。そして、4 章では提案ルータによる消費電力の削減量、面積オーバーヘッド、エネルギーオーバーヘッドについて評価する。最後に 5 章で論文をまとめる。

2. 低消費電力かつ高信頼な NoC

本研究では、NoC におけるビットエラーを回避するために、送信側は全てのフリットに対して 8 ビットの Cyclic Redundancy Check (以降、CRC8) を用いて符号化する、受信側では、受信フリットに対し CRC8 を用いてビットエラーをチェックし、エラーが検出された場合は、上流のルータに対し再送要求を出す。

2.1 NoC におけるエラー訂正・検出符号

NoC におけるシンプルなエラー検出符号として、パリティ符号もしくは CRC 符号を各フリットに付加する方法が考えられる。エラー訂正符号としては、水平垂直パリティやハミング符号が挙げられる。本研究で設計する二電源オンチップルータには様々なエラー検出・訂正符号を適用することができるが、ここではシンプルかつ実用性の高い CRC8 符号を用いることにした。

なお、CRC のようなエラー検出符号では、エラー検出時にリンクレベルのフリット再送が行われる。リンクレベルのフリット再送では、上流ルータは入力バッファ (FIFO) 中の送信済みフリットを下流ルータから ACK を受信するまで上書きしないようにする。そして、下流ルータから再送要求があれば、FIFO バッファ中に保持した転送済みフリットを再

び送信する。このため、各ルータに専用の再送バッファを設置する必要はなく、ルータの面積オーバーヘッドを抑えることができる。

2.2 高信頼化による供給電圧の削減

エラー耐性技術を用いることで、エラー耐性技術を実装していない通常の NoC と比較して、同等のエラー率を保ちながら低電圧化を行うことができる⁷⁾。

正規分布に基づく電圧ノイズを V_N 、その標準偏差を σ_n とした場合、以下の式で電圧 V_{dd} とワイヤのエラー率 ϵ の関係を表すことができる。

$$\epsilon = Q\left(\frac{V_{dd}}{2\sigma_n}\right) \quad (2)$$

$$Q(x) = \frac{1}{\sqrt{2\pi}} \int_x^{\infty} e^{-\frac{y^2}{2}} dy \quad (3)$$

ϵ を 1 ホップにおける 1 ビットあたりのエラー率とする。このとき目的地に到達するまで通常のルータでエラーが発生する確率は式 4 で表すことができる。

$$\begin{aligned} E_{ori} &= 1 - (1 - \epsilon)^{bitwidth \cdot flitnum \cdot hop} \\ &\approx \epsilon \cdot bitwidth \cdot flitnum \cdot hop \end{aligned} \quad (4)$$

また、CRC ルータにおいてエラーが発生する確率は式 5 で表すことができる。

$$\begin{aligned} E_{crc} &= E_c^2 \\ &= (1 - (1 - \epsilon)^{(bitwidth + crcwidth) \cdot flitnum \cdot hop})^2 \\ &\approx \epsilon^2 \cdot (bitwidth + crcwidth)^2 \cdot flitnum^2 \cdot hop^2 \end{aligned} \quad (5)$$

フリットエラー率が E のときの 1 ホップあたりのビットエラー率 ϵ_{crc} は式 6 で表すことができる。

$$\begin{aligned} E &= E_{ori}(\epsilon_{ori}) = E_{crc}(\epsilon_{crc}) \\ \epsilon_{crc} &= E_{crc}^{-1}(E) \end{aligned} \quad (6)$$

式 7 より電圧比が求められる。

$$\frac{V_{dd_i}}{V_{dd_{original}}} = \frac{Q^{-1}(\epsilon_i)}{Q^{-1}(\epsilon_{original})} \quad (7)$$

つまり、文献 7) が指摘するように「エラー耐性技術を導入することで、エラー率を維持したまま供給電圧を下げるができる」可能性がある。そこで本論文では、エラー検出・再送機能を備えたルータを設計し、さらに、低電圧化のためにこのルータを二電源化し、ビットエラー率を保ったままだけ消費電力を削減できるかを実際の回路を用いて検証する。

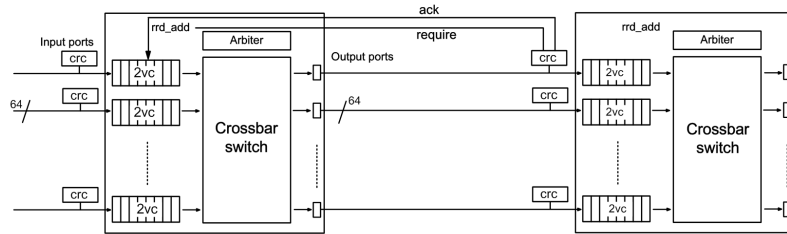


図 1 二電源エラー検出再送ルータ (エラー検出再送機構)

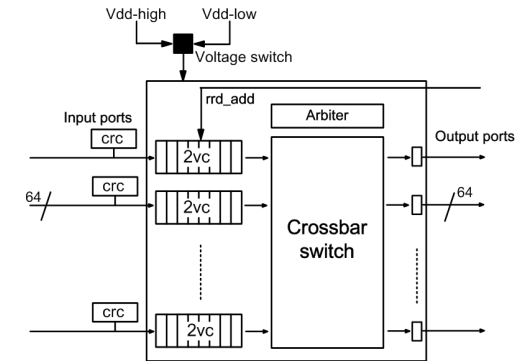


図 2 二電源エラー検出再送ルータ (二電源化)

ここでは、基準とする通常のルータ (ベースラインルータ) は、データ幅 (datawidth) 64-bit、パケット長 7-flit とし、ネットワークの平均ホップ数は 6-hop と仮定する。CRC ルータに関しても、データ幅 (datawidth) 64-bit、CRC 符号長 (crewidth) 8-bit、パケット長 7-flit とし、平均ホップ数は 6-hop とする。

ベースラインルータの動作電圧は 1.2V とし、パケットエラー率 E は 10^{-11} とする。前式により、通常のルータを同じエラー率で、エラー検出・再送ルータの供給電圧は 0.83V まで下げることができる⁷⁾。以降の評価では、CRC ルータの動作電圧を 0.83V と仮定する。

3. 低消費電力かつ高信頼なオンチップルータの設計

本研究で設計した二電源エラー検出再送ルータについて、図 1 ではそのエラー検出再送機構、図 2 はその二電源化方法について図示する。

3.1 ベースラインルータ

ここではベースラインルータとして、データ幅 64-bit のワームホールルータを用いる。物理チャンネル数 5 本、仮想チャンネル数 2 本、仮想チャンネルごとに 8-flit 分の入力バッファを持つ。データ幅 64-bit に加え、フリットの種類 (ヘッダ、ボディ、テイル) を区別するためのタイプフィールド 2-bit を含むため、リンクのデータ幅は 66-bit である。ルータ内のパケット処理は、1) 経路計算を行う Routing computation (RC)、2) 仮想チャンネルと出力ポートの割り当てを行う Virtual-channel and switch allocation (VSA)、3) クロスバ上のフリット転送を行う Switch traversal (ST) の 3 ステージに分割される。

3.2 ルータのエラー検出・再送機構及び二電源化

エラー検出・再送ルータは、通常のルータに対して、CRC を計算するモジュールを各入力ポートに追加した構成を取る (図 2)。

エラー検出・再送の手続きは以下のとおりである。

- (1) ルータの入力ポートがフリットを受信、フリットのデータフィールドの CRC 値を算出する。このとき、受信フリットの元の CRC フィールドの値を CRC_{old} とし、新しく計算した CRC 値を CRC_{new} とする。
- (2) CRC_{old} と CRC_{new} を比較し、
 - 値が一致した場合は、受信ルータから送信ルータへの ACK 信号をアサート (ACK=1) し、フリットをさらに下流のルータへ転送する。再送の必要は無いので再送要求はネゲート (require=0) したままである。
 - 値が一致しない場合は、ACK 信号をネゲート (ACK=0) し、受信フリットを入力バッファへは書き込まずに廃棄する。同時に、受信ルータへの再送要求をアサート (require=1) する。

また、各仮想チャンネルの入力 FIFO バッファにおいては、

- ACK=1 の場合 (エラーが発生しなかった場合) はリードアドレスポインタを 1 フリット分進める。
- ACK=0 の場合 (エラーが発生した場合) は FIFO バッファのリードアドレスポインタをビットエラーを起こした (つまりまだ ACK を受信していない) フリットのアドレスに置き換える。

これによって、エラーが発生したフリットからの再送が可能となる。つまり、ACK はデータのアドレスを制御し、require はデータの再送を制御する。

CRC ルータのフリット幅は CRC フィールド 8-bit を追加するため、合計 72-bit になる。また、提案ルータでは RC ステージと同時に CRC を計算するため、パケット転送サイクル数は増えないが、CRC を計算するため消費電力が増える。ACK の応答を待つために、ルータパイプラインに新たなステージを追加したが通信性能への影響はほとんどない。

さらに、トラフィック負荷に応じてルータの動作電圧を切り替えるため、図 2 に示すとおり、電圧スイッチセルを追加した。これによりルータの動作電圧として二種類の電圧 (Vdd-high と Vdd-low) を使うことが可能となる。このようにルータにエラー検出・再送機能を追加することで低電圧時動作時においてもパケット転送の信頼性を保つことができる。

4. 評価

前章で述べた二電源エラー検出・再送ルータを Verilog-HDL で設計し、Fujitsu 65nm プロセスを用いて Synopsys Design Compiler で合成し、Synopsys IC Compiler で配置配線した。このレイアウト結果 (GDS ファイル) から Cadence QRC Extraction を用いて SPICE ネットリストを抽出した。これを Synopsys HSIM を用いて回路シミュレーションすることで、電圧スイッチを操作してからルータの電圧が切り替わるまでの遅延、電圧切り替えに要すオーバーヘッドエネルギーを求める。

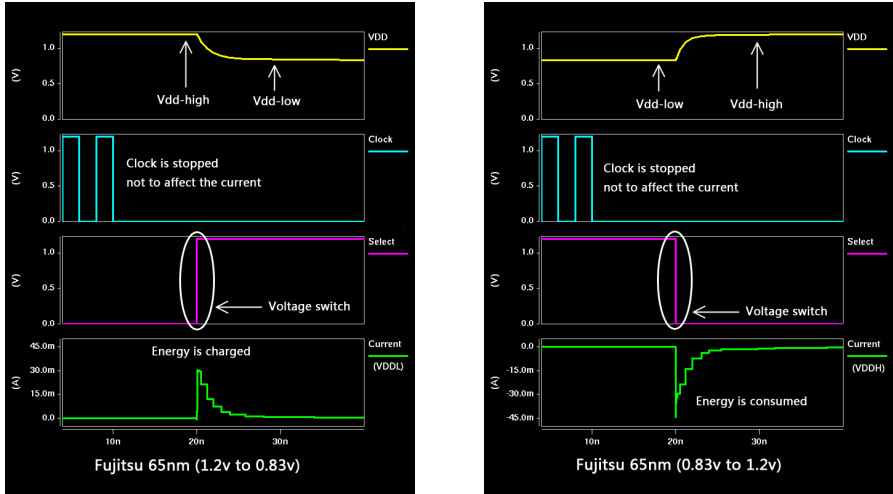
4.1 回路シミュレーションによる動作確認

図 3 に電圧切り替え時の波形を示す。図 3(a) が Vdd-high (1.2V) から Vdd-low (0.83V) への遷移、図 3(b) が Vdd-low (0.83V) から Vdd-high (1.2V) への遷移である。それぞれのグラフにおいて 1 番上の波形はルータの電源電圧 (Vdd) を表す。2 番目と 3 番目の波形はそれぞれクロック信号 (Clock) と電圧切り替え信号 (Select) である。4 番目の波形は電流量を示す。Select 信号が 0 のとき電圧スイッチにより供給電圧は Vdd-high となり、Select 信号が 1 のときは Vdd-low となる。また、電圧切り替えに伴う電流量を正確に測定するために、クロックは途中で止めている。

電源電圧を切り替えてから、ルータの電位がターゲット電圧に到達するまでに一定の遅延がかかる。この遅延によってパイプラインモード切り替えが遅れるので、性能に影響が出ることがある。high-to-low の遷移と low-to-high の遷移を比べると、high-to-low の遷移のほうが変化が緩やかで遷移に時間がかかることが分かる。

4.2 ハードウェア量

二電源電源エラー検出・再送ルータでは、電圧を切り替えるために電圧スイッチセルが



(a) Vdd-high から Vdd-low への遷移。 (b) Vdd-low から Vdd-high への遷移。

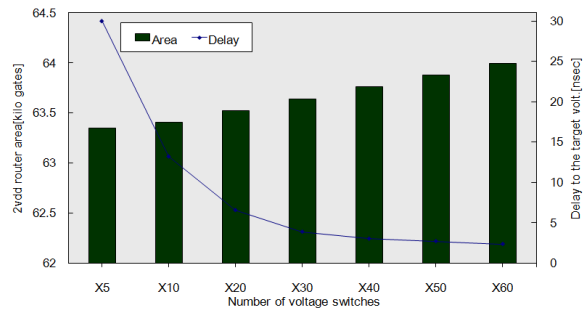
図 3 電圧切り替え時の波形 (回路シミュレーションの結果)。

必要である (図 2) *1。電圧スイッチの面積を増やせば、電圧切り替えに要す遅延は小さくなる。

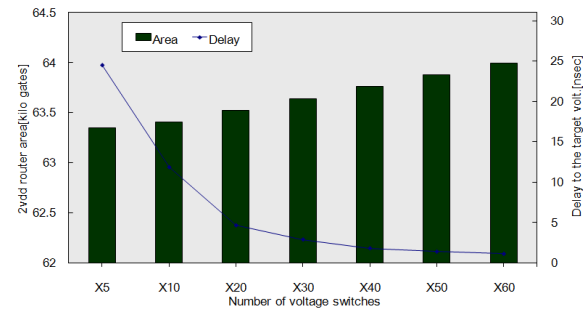
図 4 に電圧切り替え時間とルータ面積を示す。ここでは電圧切り替え信号を操作してから Vdd がターゲット電圧の ±0.05V に達するまでを電圧切り替え時間とする。グラフの X 軸は電圧スイッチの個数であり、5 個から 60 個の範囲で変化させている。棒グラフ (目盛は Y 軸左側) はルータのハードウェア量 [kilo gates] を示し、折れ線グラフ (目盛は Y 軸右側) は電圧切り替え時間 [nsec] である。電圧スイッチを増やせば電圧切り替えに要す遅延は小さくなる。以降の評価ではルータごとに電圧スイッチを 30 個 (X30) 入れることにした。

既存のベースラインルータと提案ルータの面積の内訳を表 1 に示す。ルータごとに電圧スイッチを 30 個 (X30) を使用する。その結果、ハードウェア量が 25.3%増加した。

*1 電源ドメイン間の電圧レベルの違いを吸収するためのレベルシフタセルが必要となる場合もあるが、今回は Vdd-low が 0.83V と比較的高いためレベルシフタは省略している。レベルシフタを入れた場合の評価は今後の課題である。



(a) Vdd-high から Vdd-low への遷移 .



(b) Vdd-low から Vdd-high への遷移 .

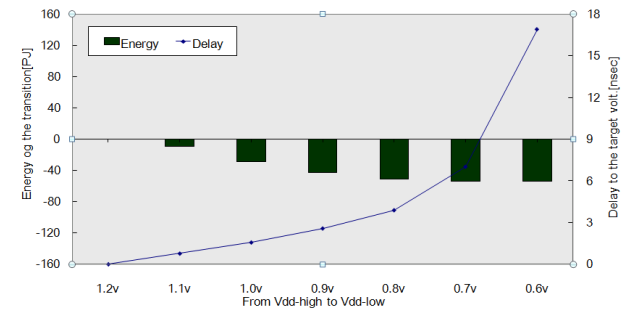
図 4 電圧切り替え時間とルータ面積 (電圧スイッチの個数を変えた評価) .

表 1 ハードウェア量の内訳 (単位は kilo gate) .

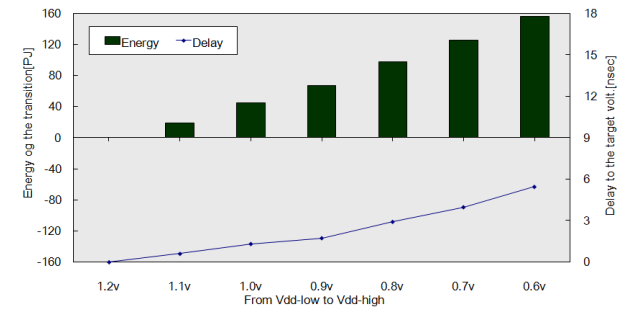
| | Router | Voltage switch | Total |
|----------|--------|----------------|----------------|
| Baseline | 50.79 | 0.00 | 50.79 |
| Proposed | 63.29 | 0.35 | 63.64 (+25.3%) |

4.3 切り替えレイテンシ

図 5 に high-to-low および low-to-high の電圧切り替え時間 (折れ線グラフ, 目盛は Y 軸右側) を示す . Vdd-high が 1.2V, Vdd-low が 0.83V のとき, high-to-low の遅延は 3.47nsec, low-to-high の遅延は 2.30nsec となった . つまり, high-to-low と low-to-high の切り替え時間を合わせると 5.77nsec となる .



(a) Vdd-high から Vdd-low への遷移 .



(b) Vdd-low から Vdd-high への遷移 .

図 5 電圧切り替え時の遅延とオーバーヘッドエネルギー .

4.4 切り替えオーバーヘッドエネルギー

提案ルータの電圧切り替え時に, 一定のエネルギーが消費される . 図 5 に high-to-low 切り替えおよび low-to-high 切り替え時の消費エネルギー (棒グラフ, 目盛は Y 軸左側) を示す . low-to-high 切り替えでは, 切り替え直後に, Vdd-high からルータ回路へ電荷が流れ込み, オーバヘッドエネルギーが消費される . 一方, high-to-low 切り替えでは, ルータ回路内にたまった Vdd-high の電荷が, 切り替え後に, Vdd-low 側の電源に流れ込む . この電荷は Vdd-low 側のキャパシタンスに蓄積され, 電圧切り替え後に徐々に消費されていくため, 電圧切り替え時のオーバーヘッドエネルギーはマイナス (つまりチャージされる) となる . Vdd-high が 1.2V, Vdd-low が 0.83V のとき, low-to-high の消費エネルギーは

表 2 ベースラインルータ (1.2V) と提案ルータ (0.83V) の消費電力 [mW] と削減量 [%].

| Baseline@1.2V [mW] | Proposed@0.83V [mW] | Reduction [%] |
|--------------------|---------------------|---------------|
| 4.41 | 2.66 | 40% |
| 6.45 | 3.81 | 41% |
| 8.47 | 5.12 | 40% |
| 10.4 | 6.17 | 41% |
| 12.5 | 7.27 | 42% |

84.53pJ, high-to-low の消費エネルギーは-49.23pJ となった。つまり, 1 回の電圧切り替え (low-to-high + high-to-low) で消費されるエネルギーは 35.3pJ である。

4.5 切り替えの損益分岐点

次に, この 35.3pJ のオーバーヘッドエネルギーを償却するには, どれだけの期間がかかるか計算する。この期間を電圧切り替えの break-even time (BET) と呼ぶ。

ここでは, ルータのポートの使用率が低い時電圧を Vdd-low に切り替える。

- ルータの 1 ポート使用時: 配置配線後シミュレーションの結果, ベースラインルータが 1.2V で動作するとき, 負荷が小さい時 (ルータ 5 ポートのうち 1 ポートのみ動作する場合) の消費電力は 4.41mW となった。また, 提案ルータが 0.83V で動作するとき, 同じく負荷が小さい時 (1 ポート使用時) の消費電力は 2.66mW である (40%削減)。つまり, 消費電力を 1sec で 1.75mJ セーブできる。したがって, 35.3pJ を償却するには 20.17nsec かかるため, BET は 8 サイクルとなる。これより短期間の電圧変更は消費電力の増加を招く。
- ルータの 2 ポート使用時: ベースラインルータが 1.2V で動作するとき, 2 ポート使用時の消費電力は 6.45mW となった。また, 提案ルータが 0.83V では, 2 ポート使用時の消費電力は 3.81mW である (41%削減)。つまり, 消費電力を 1sec で 2.64mJ セーブできる。したがって, 35.3pJ を償却するには 13.4nsec かかるため, BET は 6 サイクルとなる。

ここではルータのトラフィック負荷が小さいときの BET を求めた。一方, 負荷が大きいときに Vdd-low で動作させると性能に影響がでるため, 平均 3 ポート以上が埋まるような高負荷なトラフィックでは Vdd-high で動作させるのが好ましいと考えられる。

5. まとめと今後の課題

NoC のトラフィック負荷に応じてオンチップルータの供給電圧を調節することで低消費電力化を実現できるが, 低電圧化によってビットエラー率が上昇してしまう。そこで, 与え

られた供給電圧とエラー率に応じてエラー検出・再送機能をルータレベルで行い, 信頼性を損なわずに低消費電力化を狙う。

本論文では, 二電源エラー検出・再送ルータを設計し, 面積オーバーヘッド, 電圧切り替え時の遅延およびエネルギーオーバーヘッドを測定した。その結果, ベースラインルータ比べて, 二電源エラー検出・再送ルータの面積オーバーヘッドは 25.3%, 切り替え遅延は 5.77nsec, 1 回の電圧切り替えで消費されるエネルギーは 35.3pJ, 1 ポート使用の時 BET は 8 サイクル, 2 ポート使用の時 BET は 6 サイクルとなった。以上の結果より, NoC のビットエラー率を維持したままで, 負荷が小さい場合, 消費電力 40%削減できた。

謝辞 本研究は東京大学大規模集積システム設計教育研究センターを通じ, 株式会社半導体理工学研究センター, (株) イー・シャトル, 富士通株式会社の協力で行われた。本研究に対し, 有益な助言をして下さった慶應義塾大学 小島悠氏に感謝致します。

参 考 文 献

- Lee, K., Lee, S.-J. and Yoo, H.-J.: Low-power network-on-chip for high-performance SoC design, *IEEE Transactions on Very Large Scale Integration (VLSI)*, pp.148-160 (2006).
- Beigne, E., Miermont, F. C.S. and Vivet, P.: Dynamic Voltage and Frequency Scaling Architecture for Units Integration within a GALS NoC, *Proceedings of the International Symposium on Networks-on-Chip (NOCS'08)*, pp.129-138 (2008).
- Shivakumar, P., Kistler, M., Keckler, S.W., Burger, D. and Alvisi, L.: Modeling the Effect of Technology Trends on the Soft Error Rate of Combinational Logic, *Proceedings of the International Conference on Dependable Systems and Networks (DSN'02)*, pp.389-398 (2002).
- Kobayashi, H., Kawamoto, N., Kase, J. and Shiraish, K.: Alpha particle and neutron-induced soft error rates and scaling trends in SRAM, *IEEE International on Reliability Physics Symposium*, pp.206-211 (2009).
- Park, D., Nicopoulos, C., Kim, J., Vijaykrishnan, N. and Das, C.R.: Exploring Fault-Tolerant Network-on-Chip Architectures, *International Conference on Dependable Systems and Networks (DSN'06)*, pp.93-104 (2006).
- Bertozzi, D., Benini, L. and G, D.M.: Error control schemes for on-chip communication links: the energy-reliability tradeoff, *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, pp.818-831 (2005).
- 小島 悠, 松谷宏紀, 鯉淵道紘, 天野英晴: エラー訂正・検出符号を用いた Network-on-Chip の低消費電力化, 第 8 回先進的計算基盤システムシンポジウム (SACSYS'10) 論文集, pp.3-10 (2010).