

A-10

スタンダードセルベース CMOS デジタル回路の電源雑音解析手法

Power supply noise analysis of a standard cell based CMOS digital circuit

松野哲郎[†] 小坂大輔[†] 永田真^{†‡}

Tetsuro Matsuno Daisuke Kosaka Makoto Nagata

1. はじめに

システム全体をワンチップ化する SoC に代表されるミックスドシグナル LSI では電源・グラウンド雑音が回路性能に大きな影響を与える。アナログ回路や RF 回路とデジタル回路を同一チップ上に集積するためには雑音を考慮した設計フローが非常に重要であり、雑音発生回路から雑音を受ける回路までの雑音伝播をチップレベルで解析することが求められる。

電源雑音、基板雑音解析に関する基礎的な研究はこれまでに多く報告されている[1]。例えばスタンダード論理セルの雑音源等価回路[2]やチップ全体の基板等価回路モデル[3,4]等である。

本報告ではスタンダードセルベース CMOS デジタル回路の電源雑音解析を効率的に行なう解析手法について述べる。

2. 電源雑音の解析手法

2.1 容量充電モデル

スタンダードセルベースの CMOS デジタル回路は図 1 (a)に示すように高密度に論理セルが並べられている。通常の電源雑音のシミュレーションは図 1 (b)に示すようなフルトランジスタレベルのネットリストでの回路解析を行なうか、同数の雑音源等価モデルの解析を行なう必要がある。本報告では図 1 (c)に示す時分割容量充電(time series divided parasitic capacitance :TSDPC) モデルを提案する。

TSDPC モデルは微小時間内にスイッチ動作する論理ゲート群を近似的に同一タイミングでスイッチしたものとみなし、論理ゲート群を VDD / VSS 間の単一容量として置換するモデルである。容量値は微小時間内にスイッチするゲート群が持つ寄生容量の合計値と等しくする。

連続的な TSDPC モデルの容量充電による電源、基板雑音のシミュレーションを図 2 に示す。1 列に並べられた M 個の TSDPC モデルは左から順に T1, T2, ... Tn-1, Tn, Tn+1, ... Tm のタイミングで外部電源からの電荷供給を受けて連続的に充電される。Cn の容量が充電される時、Cn-1 の容量は放電される。このことにより、外部電源が消費するエネルギーはすべて Cn の充電のみに使用される。このとき放電される容量に蓄積されていたエネルギーは自身の両端の短絡パスを通して局所的に熱として消費される。この連続的な容量充電によって電源電流をモデル化することができ、電源、グラウンドインピーダンスを通じた配線上の電圧変動や低抵抗の基板コンタクトを通じた雑音の基板への漏れこみを再現することが出来る。

TSDPC モデルは CMOS デジタル回路に対して一般化が可能な技術である。TSDPC モデルの段数を多くすることで長時間の雑音波形のシミュレーションを実行可能とし、周波数解析などに有効である。

[†] 神戸大学, Kobe University

[‡] JST-CREST

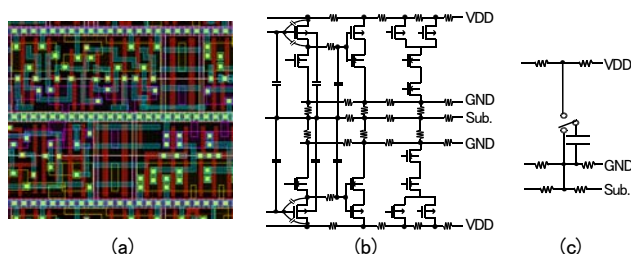


図 1. (a)デジタル回路レイアウト (b) フルトランジスタ ネットリスト (c)等価雑音源モデル

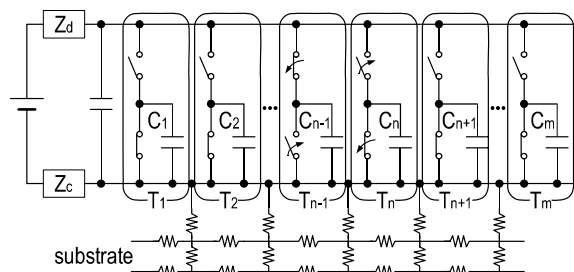


図 2. TSDPC モデルによる連続時間電源、基板雑音

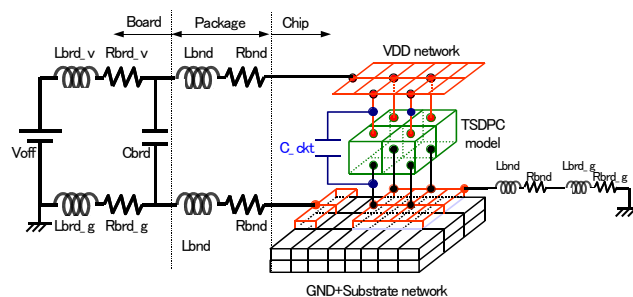


図 3. 解析ネットリスト全体図

2.2 オフチップを含めた解析系

本節では前節で説明した TSDPC モデルを用いた電源、グラウンド、基板雑音の解析系について述べる。

解析系全体の概略図を図 3 に示す。解析系は大きくボード、パッケージ、チップ内の 3 つに分けて構築する。まず、ボードのモデル内の各素子値はネットワークアナライザ等を用いた実測結果から決定する。次にパッケージのインピーダンスはボンディングワイヤ長から算出される値を用いる。最後にチップ内のモデルは TSDPC モデルと電源配線モデル、グラウンド+基板モデル、VDD-GND 間の静的容量から構成される。電源配線モデルとグラウンド+基板モデルはそれぞれ F 行列演算によって簡易化された抵抗メッシュ [5,6] であり、TSDPC モデルのローカル VDD 端子/GND 端子に接続される。また、通常のデジタル LSI では複数箇所の GND IO からボード上の同一プレーンに接続されるため、該当箇所からパッケージ、ボードのグラウンド側に該当するインピーダンスを適宜接続する。

3. 解析対象回路

本報告ではスタンダードセルベースの CMOS デジタル回路雑音源として図 4(a)に示す SBNS (standard cell base noise source)回路を用いた。SBNS 回路は図 4(b)に示す 32bit loop shift register (loop-SR)が 512 列搭載されたものである。

512 列の loop-SR は各列毎に動作/非動作を設定することが可能であるため、きめ細かい動作回路数の制御ができる。また、loop-SR のクロック入力信号は外部から入力しており、任意のビット列を入力可能であるため、D-FF の出力信号の遷移確率を任意に設定することができる。クロック信号はチップ外部から入力し、任意の周波数で動作させる。シフトレジスタは論理深さが最小の同期式デジタル回路と等価であり、クロックエッジ近傍に信号遷移のタイミングが集中する特徴がある。また回路構成が簡素であることで同期式デジタル回路の標準雑音源として最適であり、プロセス間の雑音比較などにも適している。

4. 評価チップ

解析対象として 90nm 1.2 V CMOS プロセスを用いた評価チップを作成した。チップサイズは 5mm x 5mm であり、SBNS 回路 (loop-SR Array)と雑音評価を行なうために detector array を搭載した。Detector array によって電源、グラウンド、基板雑音を測定する。

SBNS 回路のレイアウトサイズは1600 μ m x 400 μ m である。

5. 解析結果

SBNS 回路は上述したように動作する loop-SR の数を任意に設定することが可能である。動作する loop-SR の数を 32, 64, 128, 256, 512 列と変化させた場合について TSPDC モデルによるシミュレーション結果と評価チップを用いて実測した結果の波形を図 5 にて比較した。動作周波数は 100MHz で loop-SR の入力ビットパターンは 0101...01 である。TSDPC モデルによるシミュレーションにおいて動作回路規模が大きくなるにつれて雑音振幅が大きくなる様子を良く再現していることが分かる。また図 6 では電源、グラウンド、基板雑音それぞれについて動作回路規模に対する雑音振幅(Vp-p)の変化を実測とシミュレーションで比較した。動作回路規模の増加につれて Vp-p が大きくなっていく傾向が電源、グラウンド、基板雑音すべてで再現できている。

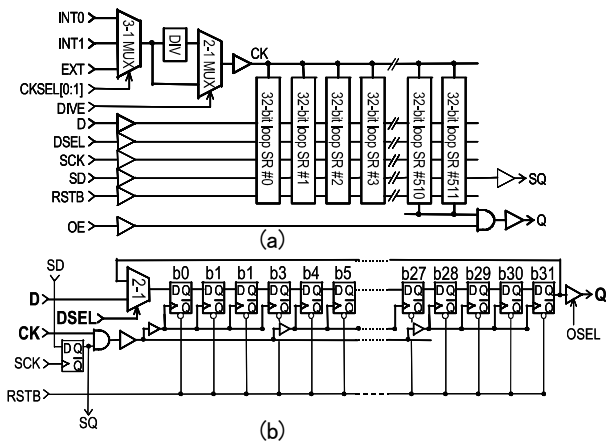


図 4. (a) SBNS 回路, (b) 32bit ループシフトレジスタ

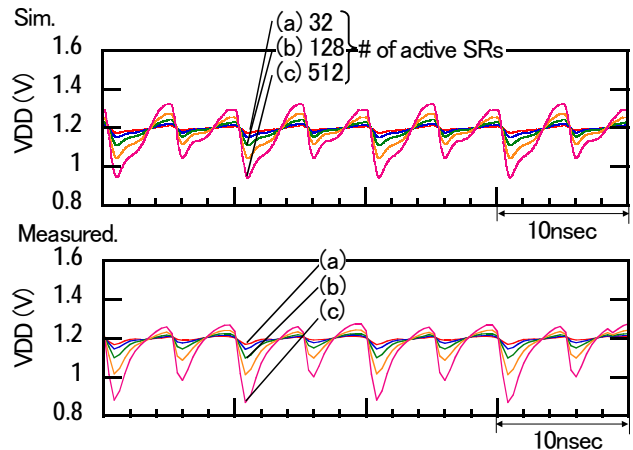


図 5. 電源雑音の動作回路規模依存性波形比較,

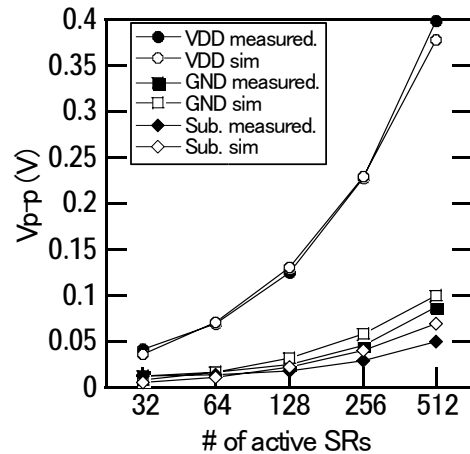


図 6. 動作回路規模依存性 Vp-p 比較

6. まとめ

本報告では容量充電モデル(TSPDC)モデルの原理、解析手法とその解析結果について論じた。解析対象として SBNS 回路を提案し、90nm CMOS プロセス用いた評価チップを用意した。SBNS 回路の動作回路規模依存性について評価チップによる雑音の実測結果と解析結果はよく一致し、TSDPC モデルによる解析手法の正当性を示すことが出来た。

参考文献

- [1] A. Afzali-Kusha, M. Nagata, N. K. Verghese, D. J. Allstot, "Substrate Noise Coupling in SoC Design: Modeling, Avoidance, and Validation," Proc. IEEE, Vol. 94, No. 12, pp. 2109-2138, 2006.
- [2] M. Badaroglu, G. Van der Plas, P. Wembacq, S. Donnay, G. G. E. Gielen, H. J. De Man, "SWAN: High-Level Simulation Methodology for Digital Substrate Noise Generation," IEEE Trans. VLSI Systems, vol. 14, no. 1, pp. 23-33, Jan. 2006.
- [3] A. Samavedam, A. Sadate, K. Mayaram, T. S. Fiez, "A Scalable Substrate Noise Coupling Model for Design of Mixed-Signal ICs," IEEE J. Solid-State Circuits, pp. 895-904, June 2000.
- [4] I. L. Wemple and A. T. Yang, "Integrated Circuit Substrate Coupling Models based on Voronoi Tessellation," IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems, Vol. 14, pp. 1459--1469, Dec. 1995.
- [5] D. Kosaka, M. Nagata, Y. Murasaka, A. Iwata, "Evaluation of Isolation Structures against High-Frequency Substrate Coupling in Analog/Mixed-Signal Integrated Circuits," IEICE Trans. Fundamentals, vol.E90-A, no.2, pp. 380-387, Feb. 2007.
- [6] D. Kosaka, M. Nagata, Y. Murasaka, A. Iwata, "Chip-Level Substrate Coupling Analysis with Reference Structures for Verification," IEICE Trans. Fundamentals, vol. E90-A, no. 12, pp. 2651-2660, Dec. 2007.