

SA-01

人工衛星搭載用プロセッサとソフトウェア対策

齋藤宏文†
Hirobumi Saito

1. はじめに

人工衛星の情報処理システムには、地上の情報処理システムとは違った特徴がある。本稿では、人工衛星の情報処理システムにどのような工夫と技術が用いられているかを、筆者らが参加した研究開発の成果を中心に述べていきたい。

人工衛星は、一旦軌道上に打ち上げられると、修理や交換作業が不可能なことが多い。このため、人工衛星の情報処理システムには、非常に高い信頼性や低い故障率が要求され、複数台の搭載ハードウェアが搭載される待機冗長系をなしている場合が多い。

搭載機器の故障発生は、人工衛星の電力、姿勢、通信機能といった人工衛星の生存そのものにかかわる可能性があるため、故障の検出、影響波及の隔離、そして、故障の回復 (fault detection, isolation and recovery) 機能には特段の配慮が払われている。多くの場合、搭載機器が相互に機能を検出しあって搭載機器の故障を自動的に判断する。故障した機器は、待機冗長系に機能を自動的に移行していく。

宇宙空間における情報処理機器の機能異常の中でも重要なものは、宇宙放射線による電子回路の異常である。高いエネルギーの宇宙放射線により電子回路が一時的に誤動作するソフトエラー、ないしはシングレイventアップセット (SEU) 現象が大きな問題となる。さらに、近年は、論理LSIの急速な高性能化や低電圧化によって、比較的小さな放射線環境である地上においてもソフトエラーが無視できない状況となりつつある。今後は宇宙や地上を問わず、論理LSIにソフトエラー対策を導入する必要性が増すと考えられる。

本稿では、第2章にて放射線と半導体の相互作用について概観し、第3章にてシステムレベルでのソフトエラー対策の実例として筆者らがインハウス開発して打ち上げられた小型科学衛星“れいめい”での3重多数決計算機の例を紹介する。第4章ではデバイスレベルでのソフトエラー対策として、SOIデバイスを用いた記憶素子や論理素子、LSI内部での対策例を紹介する。

2. 放射線と半導体の相互作用

放射線が半導体に入射すると、半導体を構成する原子と非弾性散乱を引き起こし、電子正孔対を生成する。衛星軌道で飛来してくる放射線により $1\mu\text{m}$ のシリコン中に生成される電荷量はおよそ数 $10\sim$ 数 100 fC である。放射線粒子の電荷発生能力を表す量として、線エネルギー付与 (Linear Energy Transfer, LET) という量を用いる。これは、材料中を放射線が単位長さ進む際にその物質に与えるエネルギーを、材料の密度で割ったものである。地上では、 $\text{LET} = 1\sim 1.3\text{ MeVcm}^2/\text{mg}$ の放射線を考慮すればいいの

に対して、宇宙ではおよそ、 $\text{LET} = 4.0\text{ MeVcm}^2/\text{mg}$ を考慮する必要がある。

図1は、インバータ素子のNMOSトランジスタに放射線が入射した際に発生する電荷とその動きを示した模式図である。発生した電子の一部は正孔と再結合することで消滅するが、それ以外は外部からの印加電界によってドレインに収集される。今日のトランジスタの動作は $f\text{C}$ のオーダーの電荷量で制御されるため、重イオンによって誘起される電荷 (数 $10\sim$ 数 100 fC) がトランジスタの動作に与える影響は無視できない。

記憶素子に放射線が当たると、放射線がデータの記憶ノードに誘起する電荷が原因でソフトエラーが発生する。例えば、図2のようにSRAMの記憶素子のオフ状態の

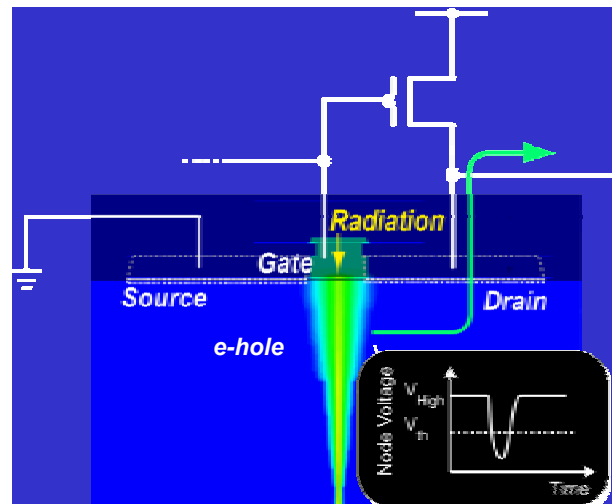


図1. 放射線がインバータ素子のNMOSに入射した場合の様子。放射線の電離作用によって電子正孔対が生成され、外部から印加される電界によって電子がドレインへと収集される。

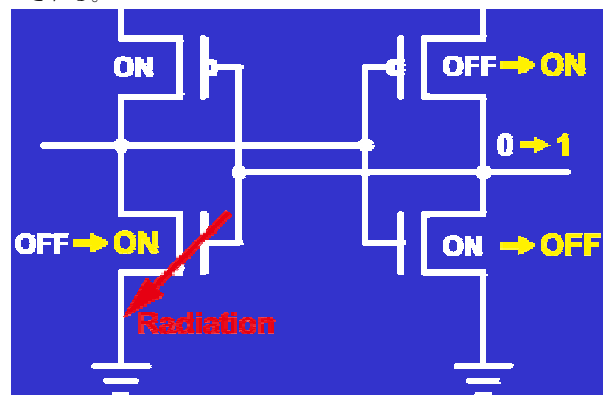


図2. SRAMの記憶素子におけるソフトエラーの発生原理。オフ状態のトランジスタに対して放射線が入射し、その電離作用で電荷 Q_{dep} を生成する。生成された電荷は、電界によってドレインに収集される。

† (財) 宇宙航空研究開発機構 宇宙科学研究本部、JAXA/ISAS

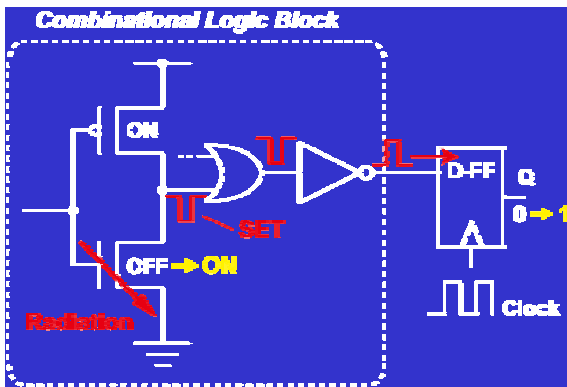


図3. SETが発生し、回路を伝播して記憶素子にラッチされてソフトエラーを発生させる様子。

NMOSに放射線が入射したとすると、電界によって電子がドレインに収集される。この収集電荷量を Q_{col} とする。電圧変動が始まった直後はPMOSがON状態であるため、PMOSからノードAの電圧変動を打ち消すように正の電荷 Q_{res} が供給される（回復電流）。NMOSのドレインの集荷電荷量 Q_{col} が十分大きく、正の電荷の供給が追いつかない場合（ $Q_{col} \gg Q_{res}$ ）、図中左側のインバータの論理が反転し、ソフトエラーとなる。

論理素子に放射線が入射すると、放射線が生成する電荷によって論理素子の出力電圧が変動する。この過度的な電圧変動のことをシングルイベント・トランジエント（Single Event Transient, SET）と呼ぶ。SETはデジタルのパルスとなって論理回路中を伝播する。SETが回路中を伝播して記憶素子の入力端子に到達し、それと同時にクロックがトリガされた場合、SETが記憶素子にラッチされてソフトエラーを引き起こす恐れがある（図3）。

この論理素子に由来するソフトエラーは、クロックトリガのタイミングに関係するため、その発生頻度はクロック周波数に比例する。一方、記憶素子に由来するソフトエラーの発生頻度は、飛来する放射線数に比例するだけであり、クロック周波数に依存しない。

宇宙用LSIは、現状では、200MHz以下の動作周波数であり、記憶素子由来のソフトエラーが支配的である。一方、民生用LSIは、現在では、数GHzの動作がターゲットとなっており、地上での放射線環境を考慮すると、すでに論理素子由来のソフトエラーが支配的になってきている。

3. システムレベルでの衛星搭載プロセッサのソフトエラー対策

前章で述べたような宇宙放射線によるソフトエラーに対して、システムレベルで対策をとった例として、小型衛星れいめいの3重多数決プロセッサについて述べる。

れいめい衛星は、宇宙航空研究開発機構宇宙科学研究本部がインハウスで開発した70kg級の小型衛星であり¹⁾、2005年8月23日に、きらり(OICETS)衛星打ち上げの副衛星として、ロシア・バイコヌール宇宙基地からドニエプロケットにより打ち上げられた。軌道は高度600～650kmの準太陽同期極軌道である。れいめい衛星の目的は、科学ミッションとして、マルチバンドカメラと電子/イオン計測器を用いたオーロラの微細構造の観測を行うほか、新規の衛星技術を軌道上において実証することにある。実証項



図4. 図軌道上でのOBCの再構成[×]とNMI[*]の発生位置（打ち上げ後2年間）

目としては、同クラスの衛星では世界最高レベルの地磁気制御ベースの三軸姿勢制御²⁾、薄膜反射器つき太陽電池パドル³⁾、車載用GPS受信機の衛星搭載化⁴⁾、などが挙げられ、いずれも大きな成果を上げている。

れいめい搭載プロセッサOBCはCPUに民生のRISCプロセッサ(Hitachi SH-3[SH7708])を使用した特色のある計算機ボードである⁵⁾。トータルドーズ(TID)耐性は、近地球の周回衛星に搭載する部品としては十分であるといえる。しかしながら、シングレイベントアップセット(SEU)については、特にキャッシュメモリを使用する場合、ある程度のレートで発生するという見積もり結果となっており、本OBCにおいては、三重多数決論理回路を構成して、反転ビットが出力されることを回避する方式を採用している。OBC内部では、CPUやシステムROM、DRAMなどからなるセルが三重化されており、シングル部にあるVoter（アンチフェューズ型の宇宙用FPGAで実装）が多数決エラーを検出した場合には、異常セル内のDRAMデータやCPUのレジスタ値を正常セルのそれで置き換え（DMA転送）、即座にコンシステンシーを回復する（再構成）。再構成に要する時間は、DRAMの使用範囲にもよるが、ノミナルで2秒強程度である。多数決エラーのほか、セル間の同期ずれやDRAMの2ビットエラーなどでも、再構成プロセスを起動する設計としている。なお、OBCに搭載したDRAMの放射線耐性は、LET(Linear Energy Transfer)が10MeV/mg/cm²程度、飽和断面積が約0.3cm²であり、30分周期でメモリパトロールをして、1ビット誤り訂正/2ビット誤り検出を行っている。

SH-3のSEUは、捕捉陽子とSiとの原子核反応で誘起されるものが支配的である。ブラジル上空に存在する宇宙放射線密度が高いSAA(South Atlantic Anomaly)領域におけるプロトン起因の再構成が、両極域における銀河宇宙線起因の再構成が支配的である。打ち上げ後2年間分の再構成の発生位置を、世界地図上にプロットしたものを第4図に示す（×が1回の再構成に対応）。発生位置は極域とSAA付近が多く、発生回数は2年間で計19回である。さらに、再構成要因の内訳をみると、DRAMの2ビットエラーが14回、多数決エラーが3回、同期エラーが2回となっており、SH-3のSEUの影響はごくわずかである。

れいめいで開発した計算機は、小惑星探査機はやぶさ、月探査機かぐやにも搭載されている。このように、ソフトエラー耐性がない民生用プロセッサを利用して3重多数決計算機を適切に構成すれば、実用に耐えられる搭載プロセッサを開発できる。ただし、回路規模が大きくなるという欠点が残る。

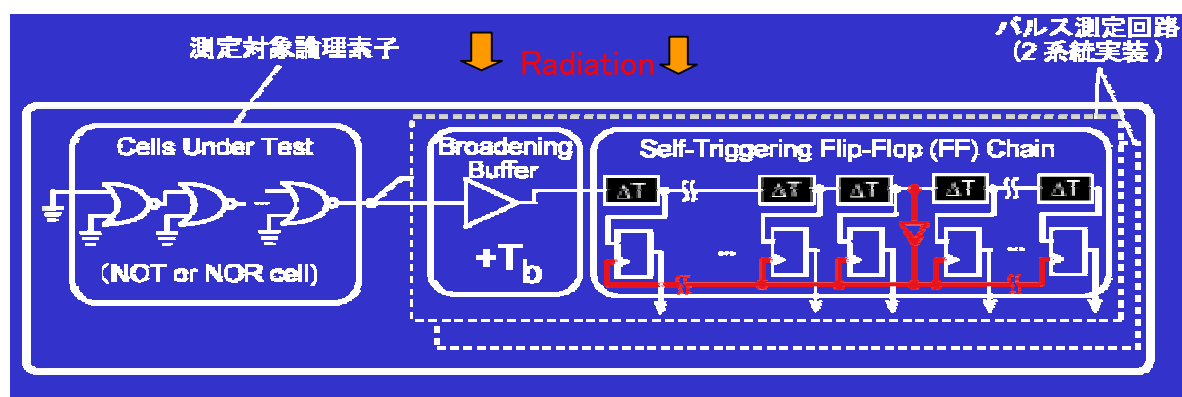


図 5. SET パルス幅測定回路。この回路全体に放射線を照射し、測定対象の論理素子で発生した SET パルスをスナップショット回路で取得する。照射試験中は測定対象の論理素子以外でも SET が発生するため、取得したパルスデータが測定対象素子で発生したものであるかを確認できるように、A と B の 2 系統のスナップショット回路を実装する。

4. デバイスレベルでのソフトウェア対策

4.1 特殊地上用途 SOI デバイスとの協調路線

前述のシステムレベルでのソフトウェア対策ではシステムが複雑になり、重量、体積、電力的にも不利である。一方、デバイスレベルでのソフトウェア対策を採用するためには、相当額のコストが必要な LSI 製造分野に立ち入る必要がある。我が国の人工衛星産業の規模は年間 1 千億円程度であり、電子部品には 100 億円弱が充てられているに過ぎない。衛星搭載デバイスだけで LSI のデバイスレベルに立ち入るソフトウェア対策を実用化することは、容易ではないと予想される。

このため、われわれは、宇宙以外の需要と協調して、ソフトウェア対策された LSI を開発する途を求めている。バルクウェファァーから SiO₂ 絶縁膜によって隔離されている厚み 0.1 ミクロン程度のシリコン電子活性層を利用している SOI デバイスは、放射線によって生成された電子正孔対が捕集される領域が薄いので、デバイスレベルでのソフトウェア対策が容易であるという特徴を持つ。加えて、低消費電力、高温環境での動作が可能である。ソフトウェア耐性を高めた高信頼用途（dependable system）、携帯機器用低消費電力 LSI、エンジンルームなどの自動車用途と協調して、ソフトウェア耐性が高い LSI 生産体制を、SOI 製造メーカー（ファウンダリ）に維持していくことが可能になってきている。

宇宙航空研究開発機構宇宙科学研究本部では、三菱重工と協調し、ローム社（旧沖電気）の 0.2 ミクロン完全空乏型 SOI 製造ラインを用いて、宇宙用 LSI の開発体制を作り上げている。宇宙用 LSI として実用的には十分である LET < 40 MeV/mg/cm² の放射線に対してソフトウェア耐性を持つ、スタンダードセルのライブラリーをそろえて、複数のユーザーを集めたマルチジョブプランの仕組みを整備している。衛星メーカーや、東大らが既に利用している。また、三菱重工（株）は、宇宙用の SH4 プロセッサを開発中であり、2013 年度打ち上げの X 線天文観測衛星 ASTRO-H に搭載する計画である。

以下では、この 0.2 ミクロン SOI 製造ラインを用いて行なった研究成果を紹介する。

4.2 放射線起因極短パルス波形のその場測定

放射線起因のソフトウェアについてデバイスレベルで対策を取るためには、放射線によってデバイス内部に誘起される極短パルス信号の波形を、LSI のその場で測定することが重要である。

われわれは、放射線起因のパルス幅を直接測定するためにオンチップのパルス幅測定回路を開発した⁶⁾。開発したスナップショット回路と呼ばれるパルス幅測定回路を図 5 に示す。放射線起因のパルス幅は 1 nsec 以下と非常に短く、時間的、空間的にランダムに発生するため、その波形を測定することは容易ではない。この回路では自己トリガー機構を持ち、それらの幅をチップ上で測定できる。測定回路は、測定対象の論理回路と、そこで発生した放射線起因のパルス幅を測定する波形拡張バッファチェーン、及び自己トリガー式フリップフロップチェーンから構成される。波形拡張バッファチェーンは、放射線起因の 1 nsec 以下の短いパルスを、フリップフロップ回路でトリガーされるパルス幅にまで拡張する。

自己トリガー式フリップフロップチェーンは、直列インバーターチェーンと、耐放射線型 D フリップフロップ（D-FF）からなり、パルスの先頭がトリガーポイントに到達すると、パルス自身によって前 D-FF がトリガーされ、その

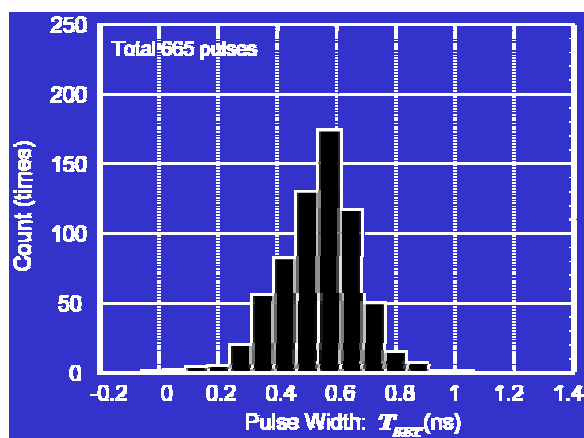


図 6. Kr 照射下（LET=40MeV/mg/cm²）の 24 素子の NOT 素子チェーンで発生した SET パルスの幅ヒストグラム。

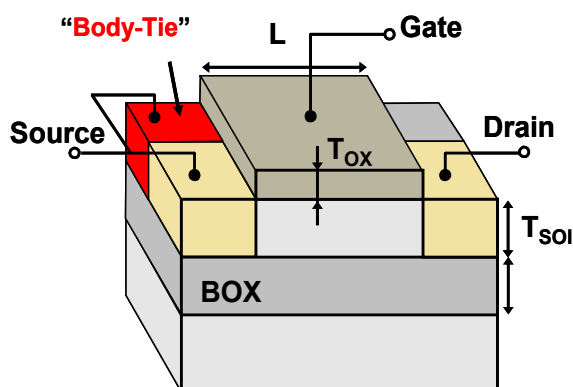


図 7. ボディータイを付加した SOI-MOS トランジスタの構造

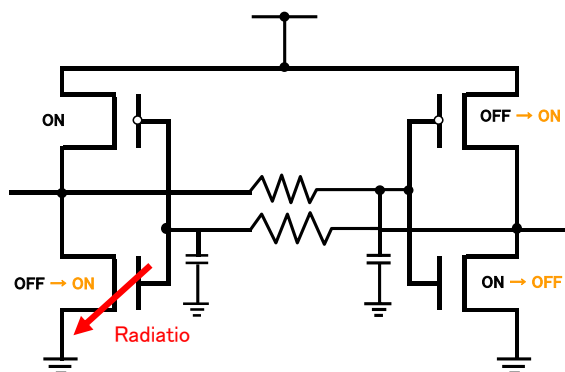


図 8. RC フィルターを備え付けたソフトエラー耐性の高い SRAM。

時点でインバータチェーン上にあるパルスが“0...1111110...0”というビット列の形で D-FF に取り込まれる。パルス幅の既知のパルスを注入することで、フリップフロップの段数とパルス幅の関係を校正できる。

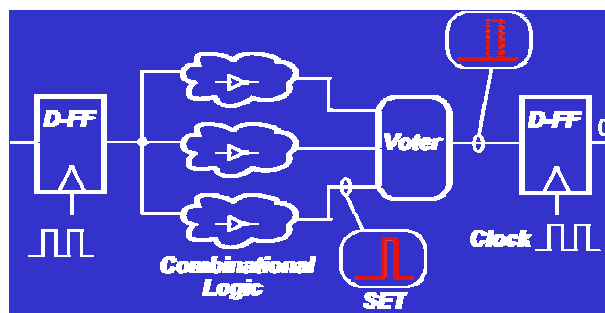
このパルス幅測定回路を用いて、宇宙環境を模擬した重イオン照射下（LET=40MeV/mg/cm²）において、0.2 ミクロン完全空乏型 SOI プロセスで作成した論理素子で発生する放射線起因のパルス幅を測定した。その結果の例を図 6 に示す。パルス幅は 1nsec 以下であり、放射線がトランジスタのどの部位に入射したかによる分布を持つ事がわかる。

4.3 記憶素子のソフトエラー対策

LSI 中の記憶素子に由来するソフトエラーを抑圧する有効な方法では、想定する放射線の LET 値（放射線環境の厳しさ）の上限と面積コスト負担を考慮することが重要である。地上での放射線環境を対象にした場合は、放射線起因のパルス幅は短いため、面積コスト負担が比較的小さい対策で対応できる。宇宙での放射線環境を対象にした場合には、放射線起因のパルス幅が長くなるため、面積コスト負担が大きい対策を取ることが必要になる。

地上での放射線環境を対象とした場合には、LET<10MeV/cm²/mg 程度の領域であり、0.2 ミクロンの SOI プロセスでは、図 7 のようなボディータイ構造を SRAM 型記憶素子のソース領域に備える方法を採用した⁷⁾。

(a) 3 重多数決方式



(b) RC フィルター方式

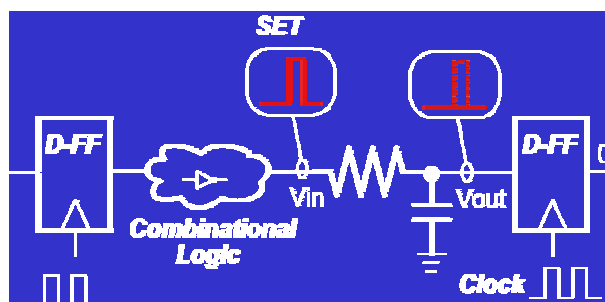


図 9. 論理素子起因のソフトエラーを防止する方法。(a)3 重多数決方式、(b)RC フィルター方式。

低電力の民生用途トランジスタでは、リーク電流を減少させる目的で、ボディータイ構造をソース領域に取り付けることがある。ボディータイ構造は、寄生バイポーラ効果を抑制する効果があり、放射線により発生した荷電粒子の増幅効果を抑圧し早期にデバイス領域から逃がす効果がある。ボディータイ構造を備え付けることにより、ソフトエラー耐性の程度を示す LET の閾値が、3 MeV/cm²/mg から 9 MeV/cm²/mg に上昇した。また、ボディータイ構造は面積コスト負担なしに備え付けられるため、地上での高信頼性デバイスには非常に有望である。

宇宙での放射線環境を対象とした場合には、LET<40MeV/cm²/mg 程度の領域であり、図 8 のような SRAM 型記憶素子のインバータのフィードバックラインに、CR フィルターを挿入する方法を採用した。

図中の左下のオフ状態の NMOS に放射線が入射して、導通状態になりかけ左側のインバータが反転しかけたとしても、RC フィルターの積分効果により、その反転状態は、右側のインバータには伝達されない。このため、SRAM の記憶状態は反転しない。R はポリシリコン、C はゲート酸化膜を利用している。CR=0.1nsec とすることにより、閾値 LET=40 MeV/cm²/mg でも、ソフトエラーを起こさない極めて耐性の高い SRAM を開発した。この場合の面積コスト負担は、約 75%であった。

4.4 論理素子のソフトエラー対策

論理回路に由来するソフトエラーを防止する方法としては、図 9 (a) に示すような多数決論理方式が考えられる。同時に 2 か所に放射線が当たる確率は無視できるため、論理回路を 3 重以上に組み、放射線耐性が高いトランジスタで作られた多数決回路にて判定を行う方法である。しかしこの方法では、面積コスト負担が大きいという欠点がある。

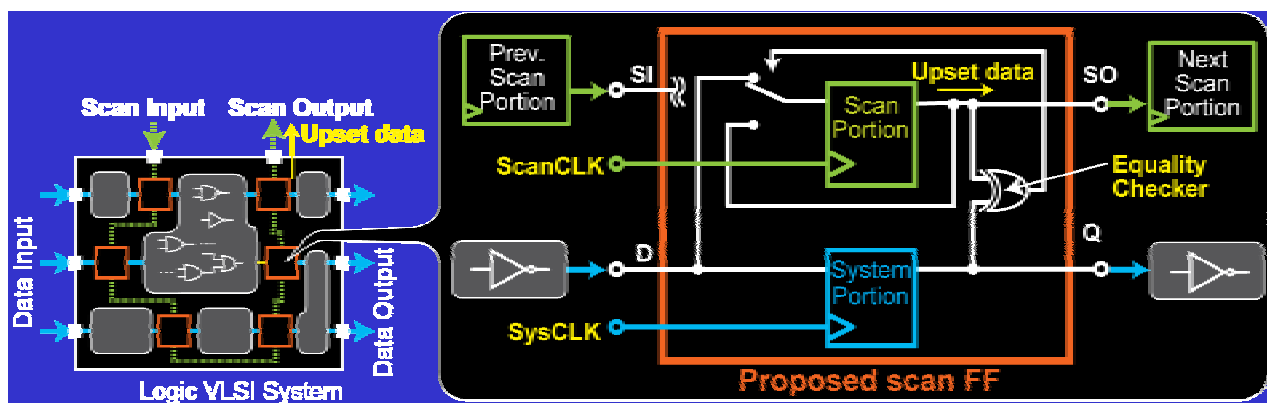


図 10. 記憶素子由来と論理素子由来の両ソフトウェアを検出・保持可能なスキャンフリップフロップ。スキャンポーションとシステムポーションをそれぞれ別のクロック “ScanCLK” and “SysCLK” で駆動する。

宇宙用や地上用の高信頼性デバイスでは、信頼性や低消費電力が優先されるため、高い処理速度を追及することは行われない。現時点における、世界最速レベルの宇宙用デバイスでも、処理速度は高々200MHz（クロック周期5nsec）程度である。一方、4.2に示したように、放射線起因のパルス幅は1nsec程度である。このタイムスケールの違いを利用して、図9(b)に示すように、論理回路チェーンがフリップフロップに入力される前にRCからなる低域通過フィルタを挿入する方法が考えられる。Rはポリシリコン、Cはゲート酸化膜を利用する。そのRCの面積コスト負担はNOT素子4.9個分程度あり、図9(a)のような多数決回路よりも面積コストが小さいソフトウェア対策がとれる。

4.5 論理LSIで発生するソフトウェアのその場測定

われわれは、論理LSIで発生する放射線起因ソフトウェアの発生率を記憶素子ごと・発生要因ごとに測定することができる新たな測定手法を示し、そのために必要なソフトウェア取得機能つきスキャンフリップフロップを提案した⁸⁾。図10は、提案・開発した記憶素子由来と論理素子由来のソフトウェア発生頻度を識別できる機能を付けたスキャンフリップフロップのブロック図である。

テスト容易化設計で使用される一般的なスキャンフリップフロップでは、所定のシステム機能を持つシステムポーションのフリップフロップと並行して、スキャン機能を持つスキャンポーションにフリップフロップが備えついている。提案した回路では、スキャンポーションのフリップフロップにも独立なクロックを備え付けて、2つのクロックを独立にオンオフする事で、記憶素子と論理素子由来のソフトウェアを識別できるようにしている。また、ソフトウェアの発生を検知し外部に読み出すまで保持するイクオリティチェッカーとフィードバック機能を追加したことで、従来は困難であった、論理素子、及び記憶素子で発生するソフトウェアを外部から詳細に把握することを可能にした。

提案スキャンフリップフロップを実装したテストチップを用いて重イオン照射試験を行い、その結果に基づき提案スキャンフリップフロップが設計どおりの機能を有することを実証した。さらに、提案したスキャンフリップフロップの実装コスト見積もりを行い、現実的なコスト負担で論理LSIのソフトウェアの発生率の詳細な測定が可能になった。

5. おわりに

本稿では、人工衛星搭載用のプロセッサの特徴を概観し、問題となる放射線によるソフトウェアについて解説を加えた。特に、ソフトウェア対策としては、筆者らが開発に直接携わった技術を紹介した。システム（機器レベル）でのソフトウェア対策としては、筆者らがインハウス開発した小型衛星れいめいにおける3重多数決計算機とその軌道上データを紹介した。

デバイスレベルでの対策としては、マーケットが小さい宇宙分らの弱点を補完するために、特殊地上用途のマーケットを持つ三菱重工と共同して開発した、放射線耐性の高い完全空乏型0.2ミクロンSOI製造ラインを用いた成果を紹介した。これらのデバイスレベルでのソフトウェア対策を利用して、宇宙用SH4プロセッサが現在開発中である。

参考文献

- 1) H. Helvajian, and H. Saito et al., “Small Satellite, Past Present and Future,” Chap.15, pp.197-232, AIAA, Aerospace Press, 2009.
- 2) Sakai, S., Fukushima, Y., Kaneda, R., and Saito, H.: “Studies on Magnetic Attitude Control System for the REIMEI Microsatellite,” AIAA Guidance, Navigation, and Control Conf., AIAA 2006-6450, 2006.
- 3) Saito, H. et al.: “Development and On-Orbit Results of Solar Concentrated Paddles with Thin Film Reflector,” 25th Int. Symp. Space Technology and Science (ISTS), 2006-f-03, 2006.
- 4) 齋藤宏文他: “車載用技術を利用した超小型宇宙用GPS受信機の開発と軌道上実証”, 日本航空宇宙学会論文誌, vol. 56, no.650, pp.123-130, 2008.
- 5) 福田盛介他, “れいめい (INDEX) 衛星における統合化衛星制御,” 日本航空宇宙学会論文集, vol.57, no.660, pp.25-31, 2009.
- 6) Y. Yanagawa et al., “Direct measurement of SET pulse widths in 0.2- μ m SOI logic cells irradiated by heavy ions,” IEEE Trans. Nucl. Sci., vol. 53, pp. 3575–3578, 2006.
- 7) K. Hirose et al., “SEU resistance in advanced SOI-SRAMs fabricated by commercial technology using a rad-hard circuit design,” IEEE Trans. Nucl. Sci., vol. 49, pp. 2965–2968, Dec. 2002.

- 8) Y. Yanagawa et al., "Experimental Verification of Scan-Architecture-Based Evaluation Technique of SET and SEU Soft-Error Rates at Each Flip-Flop in Logic VLSI Systems," IEEE Trans. Nucl. Sci., vol. 56, no.4, Aug. 2009.