

## 省エネ組み込みヘテロジニアス・マルチチップ 積層 COOL System の開発

松本祐教<sup>†</sup> 大川猛<sup>†</sup> 池野理門<sup>†</sup> 宮崎崇史<sup>†</sup> マルコ チャシン<sup>†</sup> 萩本有哉<sup>†</sup>  
 内田裕之<sup>†</sup> 居村史人<sup>††</sup> 鈴木基史<sup>††</sup> 菊地克弥<sup>††</sup> 仲川 博<sup>††</sup> 青柳昌宏<sup>††</sup>

ヘテロジニアス・マルチチップ積層技術は、システムの低消費電力化、スケラブルな機能や性能の向上、少量多品種対応とそれに伴う価格性能比の向上を可能とする。本発表では、このような積層型 LSI の長所を活かした低消費電力型の情報機器の実現を目指した積層 COOL System の概要を紹介する。

### Development of a Heterogeneous Multi-Chip Stacked COOL System for energy-saving Embedded Systems

Yukoh Matsumoto<sup>†</sup> Takeshi Ohkawa<sup>†</sup> Rimon Ikeno<sup>†</sup> Takashi Miyazaki<sup>†</sup>  
 Marco Chacin<sup>†</sup> Michiya Hagimoto<sup>†</sup> Hiroyuki Uchida<sup>†</sup> Fumito Imura<sup>††</sup>  
 Motohiro Suzuki<sup>††</sup> Katsuya Kikuchi<sup>††</sup> Hiroshi Nakagawa<sup>††</sup> Masahiro Aoyagi<sup>††</sup>

Heterogeneous Multi-Chip-Stacking enables systems to be lower-energy, higher scalability in its functionality and performance with increasing the number of chips, manufactured more flexibly, and better cost performance than conventional SoC design. This presentation gives an overview of a project that aims to realize highly energy-efficient Information Systems that take advantages of Multi-Chip Stacking.

### 1. 低消費電力技術の現状と課題

情報端末のユビキタス化及びインターネット経由のサービスとして提供されるクラウド・コンピューティングの時代を迎え、デジタルテレビや携帯電話をはじめとする情報家電、ITS 化する車載システム、そしてデータセンター等の高性能サーバシステム、更にこれらの情報機器間を大容量高速通信で接続するネットワーク機器等、多くの情報機器の一層の小型化・低消費電力化・高機能化・低価格化が求められている。

これらの情報機器の消費電力は、機器数の増加とブロードバンド化によるデータ容量の増加と高速化に伴い年々増大傾向にある(図 1)。

また、情報機器に搭載される LSI の無駄な電力消費を削減する技術として、従来から①クロック・ゲーティング技術、②Dual Vt 技術、③静的/動的基板バイアス技術、④電力遮断術、⑤DVFS 技術、⑥低電源電圧技術等が開発されてきている。しかし、今後このような設計技術や製造技術を駆使したとしても LSI の消費電力は増加傾向にある。特にモバイル機器用 LSI の消費電力は、電力要件である 800mW~1000mW を遥かに超える見通し(図 2)であり、何らかのブレークスルーが必要とされている。

特に、LSI の低消費電力化については、リーク電流が支配的になる 90nm 以下の半導体製造技術の微細化に伴ってチップ内のトランジスタの使用効率が指数関数的に低下する“Utilization Wall”という課題が発生している[1]。

これらの課題を解決するために、余分な電力の削減ではなく、必要電力量の少ない処理・計算方式が必要とされている。

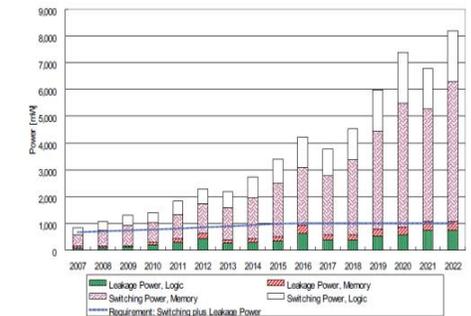
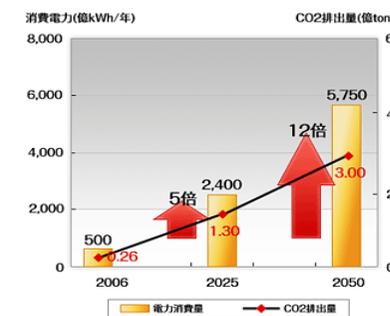


図 1 IT 機器における国内総電力消費量と CO2 排出量予測 (2006~2050) [2] 図 2 モバイル機器用 LSI の消費電力[3]

<sup>†</sup> 株式会社トプスシステムズ  
 TOPS Systems Corp.

<sup>††</sup> 独立行政法人産業技術総合研究所  
 National Institute of Advanced Industrial Science and Technology

## 2. 省エネ・ヘテロジニアス・マルチチップ積層 COOL System のビジョン

従来の平面型の半導体集積技術である SoC(System on Chip)のアプローチでは、半導体の微細化に基づく集積度の向上と低消費電力化の両立が難しい。また、微細化と高集積化に伴い SoC の開発コストが向上しており、SoC 開発は数百万台という大量生産が見込まれる数少ないアプリケーションに限定される傾向にある。

そこで、少量多品種への対応が容易で、組合せる LSI チップの数や種類をスケラブル変えることで様々なシステム要件に対応できる LSI システムとして、省エネ・ヘテロジニアス・マルチチップ積層 COOL System (図 3) の研究開発を進めている。

このマルチチップ積層 COOL System は、次の 3 つの基盤技術を用いて実現する。

- (1) **COOL Chip 技術**：処理性能を保ったまま動作クロック周波数を低減する技術
- (2) **COOL Software 技術**：高効率の分散処理を可能とするソフトウェアの技術
- (3) **COOL Interconnect 技術**：LSI チップをスケラブルに積層する基盤技術

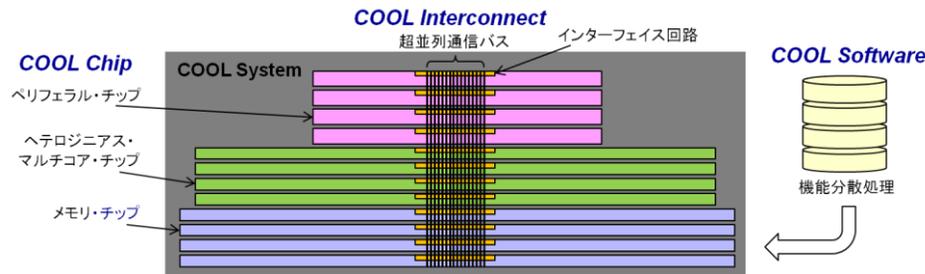


図 3 省エネ・ヘテロジニアス・マルチチップ積層 COOL System の構成

## 3. 低消費電力化のアプローチ

次の 3 つの技術により総合的に LSI システムの動作時の消費電力を削減する。

### (1) COOL Chip 技術による低消費電力化

基本的に、デジタル LSI チップの消費電力(Power)と性能(Performance)は以下の式で示される。

$$Power = \frac{1}{2} \alpha \times C \times f \times V^2$$

$$Performance = OPC \times f$$

ここで、 $\alpha$  はトランジスタのスイッチング率 (信号が 0/1 反転する割合)、 $C$  はトランジスタが駆動する静電容量 (トランジスタ数にほぼ比例)、 $f$  はクロック周波数(Hz)、

$V$  は電源電圧である。また、 $OPC[a]$  は 1 クロックあたりの演算量であり、クロック周波数を掛けると 1 秒間あたりの演算量(Performance)となる。従来は演算性能を向上するために  $f$  を増加してきた。同時に  $\alpha \cdot C \cdot V$  を下げることで消費電力を削減してきた。

本研究開発では、 $f$  を出来る限り下げるアプローチをとることで消費電力を大幅に削減する。例えば、周波数を  $n$  分の 1 とし、 $OPC$  を  $n$  倍にすることで、演算性能を保ちつつ消費電力を下げる。 $OPC$  を  $n$  倍にするために、1 クロックで  $n/2$  演算程度が可能な複合演算命令と複数プロセッサによる並列処理を行うヘテロジニアス・マルチプロセッサを開発する。周波数が  $n$  分の 1 になると、サイズが小さな論理ゲートを用いて論理回路を実現でき、キャッシュメモリも削減できるため、プロセッサ単体の回路規模は小さくなる。また、周波数を下げると電源電圧を下げやすくなる。一方で並列処理のためにプロセッサの数は増える。これらの条件を総合して  $\alpha \times C$  は 2 倍程度になるように設計することにより、消費電力は  $(n/2)$  分の 1 程度になると見込んでいる。

### (2) COOL Software 技術による低消費電力化

現状、単一プロセッサ向けに書かれた画像処理等のソフトウェアを、ヘテロジニアス・マルチ・プロセッサで構成された 8 プロセッサ程度に機能分割して並列動作させた場合、35%程度の時間しか本来必要な演算処理を行えないという実績データがある。すなわち 65%の時間は通信・待ち合わせに用いられている。この通信・待ち合わせ時間を 40%削減することで、現状 35%程度のプロセッサ稼働率を 60%まで向上し、消費電力を 40%削減する。

### (3) COOL Interconnect 技術による低消費電力化

現状は、プリント基板等の上で LSI チップ間を接続すると、配線容量は 100pF 程度となる。チップ間接続の消費電力はチップ間の配線容量  $C$  に比例するため、チップ間配線容量 100pF 程度を 2 桁程度小さくすることで、チップ入出力のドライバ電力を数十分の 1 として、チップ間接続の消費電力を 2 桁程度相対的に小さくする。

## 4. COOL System のアプリケーション

インターネット接続型のデジタルテレビの画像信号処理 LSI チップで消費されている消費電力のうち 15W を削減した場合、国内で稼働しているデジタルテレビの台数 (約 5 千万台) を基にすれば、原油換算 2.5 万 kL/年@2020 年 (1,000 万台に導入)、12.0 万 kL/年@2030 年 (5,000 万台に導入) の省エネルギー効果を達成できる。

そこで、今後デジタルテレビに期待されるネットワーク対応、GUI[b] の充実、Web 2.0 など後付アプリへの対応に必要となる、現在の PC 並みの柔軟性と性能を持つマルチメディア処理用の低消費電力プロセッサ開発を目指す。

a) Operation Per Clock  
b) Graphical User Interface

特に、情報家電製品では、ユーザーの要望にきめ細かく対応していくために製品の種類を増やさざるを得ないという傾向にあり、製品のラインアップの増加傾向は避けられない。そのような製品に対して、少量多品種に対応可能な省エネ組込みヘテロジニアス・マルチチップ積層 COOL System の応用が期待される。

## 5. COOL Chip の基本アーキテクチャ

チップ積層するマイクロプロセッサは、基本的に低消費電力で発熱が小さく、スケラブルなアーキテクチャが求められる。

そこで、プロセッサの性能向上における3つの基本的な課題である ILP Wall[c]、Memory Wall[d]、Power Wall[e]を解決する仕組みを備えた TOPSTREAM 基本アーキテクチャ (図4、図5) [4]を用いる。

TOPSTREAM™ 基本アーキテクチャには次の特長がある。

- ・アプリケーション・ドメインに適したヘテロジニアス・マルチコアを構成可能
- ・異なる種類のプロセッサ・コアの組合せにより、クロック周波数あたりの性能 (IPC)が高いマルチコア・プロセッサを設計可能
- ・プロセッサ・コアの追加により、機能や性能を容易に拡張可能
- ・プロセッサ・コア間のレジスタ・バンク共有によりメモリ・アクセス負荷を軽減

Features	MC ISA	DPE*	
		Control-ISA	Data-ISA
ISA	32-bit RISC	32-bit RISC	Any
Instruction Type	Load-Store Architecture		
Code Length	16-bit, 32/48-bit with prefixed		
# of Instructions	171	68	< 256
Operand	2 operands, 3 operands for special case		
Data Format	Little Endian		
GP Register Bank	32-bit x 16	32-bit x 16	n/a
# of GPR Banks	Up to 16	Up to 16	n/a
Data Reg Bank	n/a	n/a	n-bit x 16
# of DR Banks	n/a	n/a	Up to 16
Data Length	32-bit	32-bit	Any-bit
Address Space	4GByte		
Privilege Mode	System Mode/User Mode		
Execution Mode	Normal/Single Step/Branch Trace		
Power Mode	Normal/Doze/Stop		

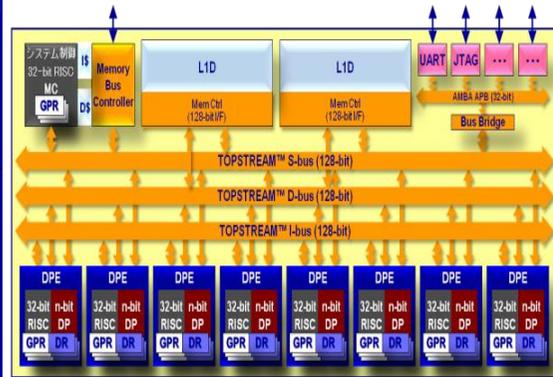


図4 基本命令セット・アーキテクチャ 図5 TOPSTREAM プラットフォーム構成

- c) CPU が並列に実行可能な命令数の壁
- d) 年率 50%で拡大する CPU とメモリの速度差による壁
- e) 上限に達した CPU の消費電力の壁

## 6. アーキテクチャ&アルゴリズム協調設計

### 6.1 ワークロード分析

はじめに、評価対象とするアプリケーション (Consumer Bench 1.1[f]や H.264 デコーダ) について、PC 上で VTune パフォーマンス・アナライザを用いた詳細な性能プロファイリングを行い、各対象アプリケーションに内在する命令レベルの並列性(ILP[g])、データレベルの並列性(DLP[h])、タスクレベルの並列性(TLP[i])を抽出した。

また、目標とする性能を達成するために必要な並列処理能力、演算処理能力、メモリ・アクセス能力等を定量的に分析した。

### 6.2 基本アプローチ

アプリケーションの実行に必要な周波数を下げるために、図6に示すアプローチに基づいて、アーキテクチャ&アルゴリズム協調設計を進め、各プロセッサのクロック・サイクル数を削減する。

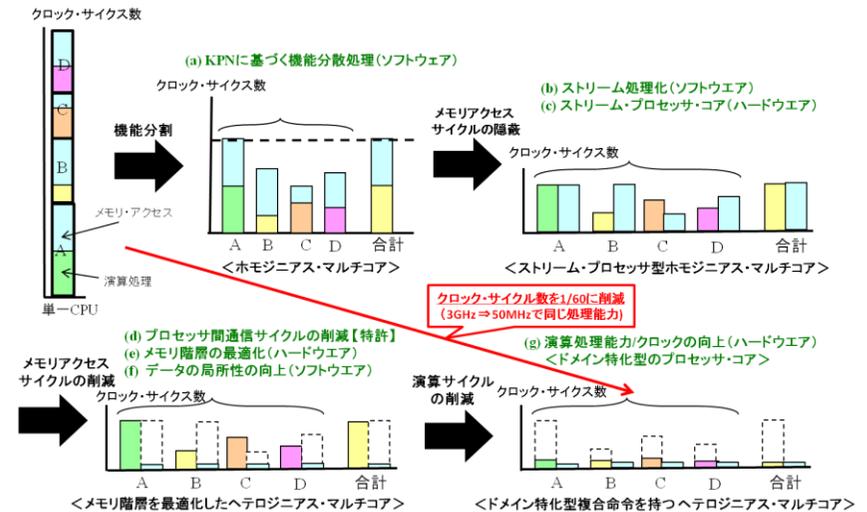


図6 クロック・サイクル削減の基本アプローチ

f) EEMBC の策定した民生機器向けプロセッサの性能ベンチマーク。JPEG のエンコーダ/デコーダやフィルタの処理が含まれている。

- g) Instruction Level Parallelism
- h) Data Level Parallelism
- i) Task Level Parallelism

### 6.3 アプリケーション・ソフトウェアの機能分割と最適化

ヘテロジニアス・マルチコア上で動作させるソフトウェアは、共有メモリによるレーシング・コンディションの課題を回避可能な、分散メモリを基本とする KPN[j] 型の分散処理の動作モデルへと機能分割した。

H.264 デコーダの機能分割例を図 7 に示す。10 個のプロセスに機能分割し、各プロセスに適した複合命令を設計することで、クロック・サイクル数を削減する。

### 6.4 プロセッサ・コア・アーキテクチャの最適化

H.264 デコーダ+Consumer Bench+GUI 等の次世代 DTV 向けの汎用性を考慮した構成ヘテロマルチ・チップ構成を図 8 に示す。この構成例は、ビット・フィールド・プロセッサ・チップ (C0)、ブロック・データ・プロセッサ・チップ (C1)、メモリ・チップ (C2)、ペリフェラル・チップ (C3) の合計 4 チップから構成される。プロセッサ・チップは、C0 と C2 の 2 チップで、合計 8 個のプロセッサ・コアを集積する。

プロセッサ・コアは、32-bit から 256-bit まで合計 5 種類で、それぞれのタスクの処理を最短のクロック・サイクルで実行できるように特化した複合命令を内蔵する。

また、MMP[k]は、外部メモリとのデータ転送機能に加えて、転送データの変換機能を提供する。

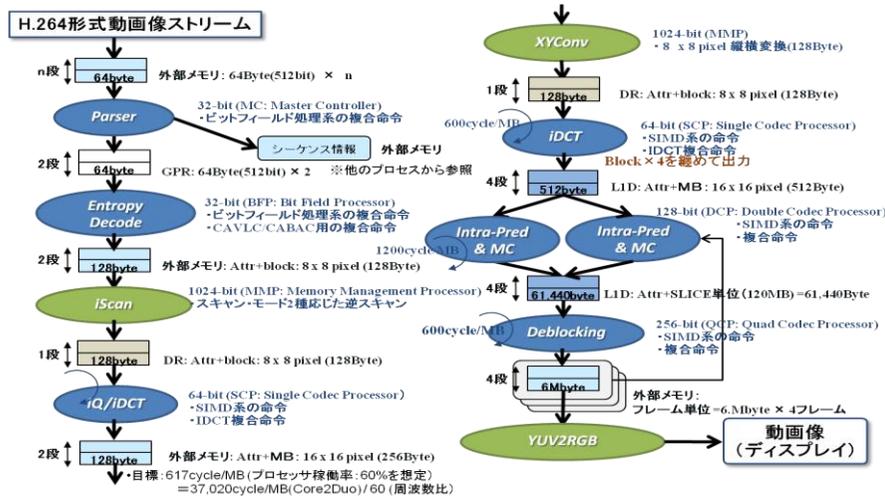


図 7 H.264 デコーダの機能分割 (KPN モデル)

j) Kahn Process Network: それぞれローカル・メモリを有するプロセスと、プロセス間を FIFO を含む一方のチャンネルで接続するプロセスのネットワーク。

k) Memory Management Processor

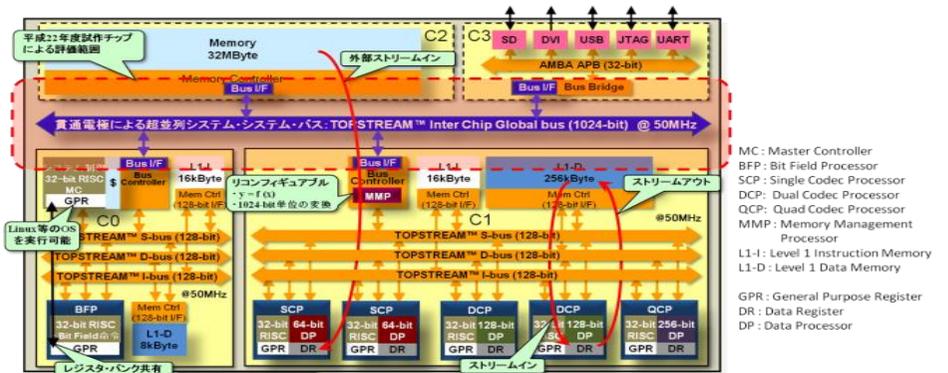


図 8 基本命令セット・アーキテクチャ

## 7. おわりに

今後、消費電力が低いアーキテクチャ&アルゴリズム協調型マルチコア/メニーコアを目指した積層 LSI の研究開発が世界中で行われ、技術競争が激しくなると予想される。特に、一般情報家電に限らず、普及率 70% を超えた携帯電話についても少量多品種化の傾向がみられ、SoC の開発コスト高騰に対するソリューションとして、低消費電力化と少量多品種化の可能なヘテロジニアス・マルチチップ積層 COOL System への期待は高まる。

携帯電話やデジタルテレビからスーパーコンピュータまで、積極的に導入が進むマルチコア/メニーコアの時代を勝ち抜くには、産官学の更なる連携により、3次元積層 LSI システムとしての早期実用化が望まれる。

### 謝辞

本研究は、独立行政法人新エネルギー・産業技術総合開発機構 (NEDO) の平成 21 年度省エネルギー革新技術開発事業からの委託研究により実施したものです。

### 参考文献

- 1) "GreenDroid: A Mobile Application Processor for a Future of Dark Silicon", Nathan Goulding, et al. UC San Diego and MIT, Hot Chips 22, Aug 2010.
- 2) 「情報通信機器の革新的省エネ技術への期待」 経済産業省グリーン IT シンポジウム 2007 年
- 3) "System Drivers", International Technology Roadmap for Semiconductors(ITRS) 2007 Edition
- 4) "Scalable Multi-Core SoC Platform for Low-Powered Architecture", Yukoh Matsumoto, et al. Cool Chips X, Apr. 2007