

## CMPにおけるオンチップルータの 細粒度パワーゲーティングの評価

松谷 宏 紀<sup>†1,†2</sup> 鯉 淵 道 紘<sup>†3,†4</sup> 池 淵 大 輔<sup>†5</sup>  
宇佐美 公良<sup>†6</sup> 中 村 宏<sup>†1</sup> 天 野 英 晴<sup>†5</sup>

本論文では、オンチップルータ内の様々な部品（仮想チャネルバッファ、クロスバ、出力ラッチなど）への電力供給を個別にオンオフできる細粒度パワーゲーティングルータを評価する。実際にパケット転送中の部品のみで電力を供給することで、オンチップネットワークのリーク電力を最小限に抑えることができる半面、スリープ中の回路に電力を供給してから動作可能になるまでに一定のウェイクアップ遅延がかかるため、パワーゲーティングによってアプリケーション性能が悪化したり、ウェイクアップ操作によって消費エネルギーが増えたりするという問題点がある。そこで、本論文では65 nm プロセスを用いて細粒度パワーゲーティングルータを実装し、各部品のSPICEレベルシミュレーションによってウェイクアップ遅延とエネルギーオーバーヘッドを見積もる。そのうえで、実際のCMPを想定したフルシステムシミュレータ上で細粒度パワーゲーティングルータを評価したところ、CMPの動作周波数が1 GHzの場合、アプリケーション性能が4.0%低下したが、アプリケーション動作時のリーク電力をオーバーヘッド電力を差し引いても59.3%削減できた。

### Evaluations of Fine-grained Power-gating of On-chip Router for CMPs

HIROKI MATSUTANI,<sup>†1,†2</sup> MICHIMOTO KOIBUCHI,<sup>†3,†4</sup>  
DAISUKE IKEBUCHI,<sup>†5</sup> KIMIYOSHI USAMI,<sup>†6</sup>  
HIROSHI NAKAMURA<sup>†1</sup> and HIDEHARU AMANO<sup>†5</sup>

This paper evaluates a fine-grained run-time power gating of on-chip router, in which power supply to each router component (e.g., VC buffer, crossbar MUX, and output latch) can be individually controlled. As only the router components which are just transferring a packet are activated, the leakage power of the on-chip network can be reduced to the near-optimal level. However, a certain amount of wakeup latency is required to activate the sleeping components, and

thus the application performance will be degraded. Also, a certain amount of overhead energy is consumed for the wakeup operation. In this paper, we estimate the wakeup latency and the overhead energy for each component based on SPICE-level simulations using a 65 nm process. The fine-grained power gating router is evaluated in terms of the application performance and leakage power. The results show that it reduces the leakage power by 59.3%, at the expense of 4.0% performance penalty when we assume a 1 GHz operation.

### 1. はじめに

半導体技術の微細化にともない1チップ上に複数のマイクロプロセッサを実装できるようになった。コンシューマ用途においても2コアや4コアの製品が広く普及しており、コアの数は今後も増え続けると予想される。コンシューマ用途のマルチコアでは、プログラミングの容易さから、すべてのコアが同一のメモリ空間を共有する共有メモリ型のチップマルチプロセッサ(CMP)が現実的といえる。ただし、複数のプロセッサが単一のキャッシュを共有するため、キャッシュアクセスに十分な帯域を確保しないとプロセッサ数に見合った性能向上は期待できない。そこで、図1のように、キャッシュを複数のキャッシュバンクに分割して帯域を稼ぐアーキテクチャ(Non-Uniform Cache Architecture, NUCA)<sup>1);2)</sup>が有望視されている。NUCAではプロセッサおよびキャッシュバンクをNetwork-on-Chip(NoC)<sup>3)</sup>で接続し、データ転送はオンチップルータを介したパケット転送によって行う。

このようなCMPでは、複数のプロセッサを用いて並列処理することで高いスループット性能を実現する。シングルコアに比べ、個々のプロセッサの動作周波数を低く抑えることができ、今後さらに深刻化するであろう消費電力の問題を緩和できる。いい換えれば、これ

†1 東京大学大学院情報理工学系研究科

Graduate School of Information Science and Technology, The University of Tokyo

†2 日本学術振興会特別研究員(SPD)

Research Fellow of the Japan Society for the Promotion of Science (SPD)

†3 国立情報学研究所

National Institute of Informatics

†4 総合研究大学院大学

The Graduate University for Advanced Studies

†5 慶應義塾大学大学院理工学系研究科

Graduate School of Science and Technology, Keio University

†6 芝浦工業大学情報工学科

Department of Information Science and Engineering, Shibaura Institute of Technology

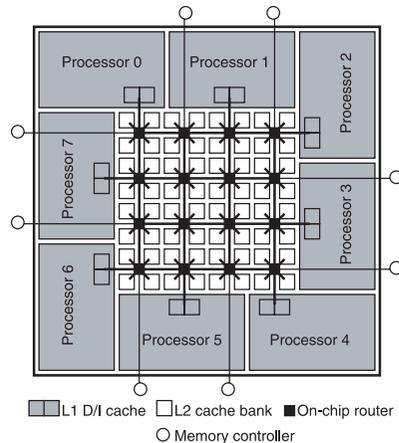


図 1 8 コア CMP の例 . 8 個のプロセッサと 64 個の L2 キャッシュバンクが 16 個のオンチップルータを介して接続されている

Fig.1 An example of 8-core CMP. Eight processors and 64 L2 cache banks are interconnected via sixteen on-chip routers.

は、コア数（物量）を増やすことで消費電力を抑えるアプローチである。しかし、半導体技術の微細化にともないリーク電力が増加している昨今、単純に物量を増やすアプローチでは増やした面積の分だけリーク電力も増えてしまい低消費電力化の効果が失われてしまう。

リーク電力削減のために様々な方法が実用化されてきたが、とりわけパワーゲーティングが有名である。これはアイドル中の回路ブロックへの電力供給を遮断することでリーク電流を抑える技術であり、プロセッサやキャッシュなどに適用されてきた。一方、最近ではノード数の増加にともない NoC の消費電力がますます問題となっているため<sup>\*1</sup>、本論文では細粒度パワーゲーティングをオンチップルータに適用する。オンチップルータの場合、コア間のデータ転送がなければ電力供給を遮断（スリープ）できるチャンスが多い。ただし、スリープ中のルータをウェイクアップさせるには一定の遅延がかかり、これによってアプリケーションの性能が低下するため、ルータにおいてはこのウェイクアップ遅延を隠蔽する手法が必要不可欠となる。

\*1 たとえば、RAW マイクロプロセッサにおける NoC の消費電流は全体の 36%<sup>4)</sup>、Sun UltraSPARC T1 プロセッサにおける単一クロスバスイッチの消費電力は全体の 6%<sup>5)</sup>、Intel TeraFLOPS プロセッサにおけるルータとリンクの消費電力は全体の 28%<sup>6)</sup> と報告されている。

我々はこれまでもオンチップルータを対象としたパワーゲーティングを研究してきたが<sup>(7),8)</sup>、本論文は以下の点で異なる。

- これまではルータの入力バッファのみをパワーゲーティング対象としてきた。一方、本論文ではルータ全体を 35 個のパワードメインに分割し、各ドメインの電源を個別にオンオフすることでリーク電力をさらに削減する。
- 本論文では 65 nm プロセスを用いて各パワードメインを実装し、レイアウト後の SPICE レベルシミュレーションによってウェイクアップ遅延や On/Off エネルギーなどのオーバーヘッドを詳細に評価する。
- CMP を想定したフルシステム（プロセッサ、メモリ、NoC、OS を含む）シミュレータ上で実アプリケーションを走らせながらパワーゲーティングルータを評価する。

本論文では、まず、2 章で細粒度パワーゲーティングを紹介する。次に、3 章で細粒度パワーゲーティングルータとその早期ウェイクアップ手法を提示する。4 章では、早期ウェイクアップ手法付き細粒度パワーゲーティングルータをアプリケーション性能、面積、リーク電力について網羅的に評価する。5 章で関連研究を紹介し、6 章で本論文をまとめる。

## 2. パワーゲーティング (PG) 技術

パワーゲーティングは、対象とする回路ブロックの粒度に応じて、粗粒度および細粒度パワーゲーティングに大別できる。

### 2.1 粗粒度パワーゲーティング

パワーゲーティング対象回路を power/ground リング（電源リング）で囲み、この電源リングと power/ground I/O セルの間にパワースイッチを挿入する。このパワースイッチをオンオフすることで、電源リングで囲まれたエリアへの電力供給を一括制御できるため、この方式は IP コア単位の電源制御に適している。実際、複数 IP コアを組み合わせる SoC 設計では、IP コア単位のパワーゲーティングは直感的に分かりやすく、広範囲に利用されてきた。しかし、NoC の場合は、ルータコア内でもバケットが頻りに流れるデータパスとあまり流れないデータパスの差が激しい（ルータ内部の時間的・空間的局所性が大きい<sup>\*2</sup>）ため、粗粒度なアプローチはあまり適さない。また、回路規模が大きいためスリープ中の回路を高速にウェイクアップさせるのが難しいといった欠点もある。

\*2 バケットの衝突が起きない限り、各入力ポートは独立に動作する。また、head-of-line ブロッキングが多発しない限り、同一入力チャンネル内の仮想チャンネルが同時に埋まることも考えにくい。

### 2.2 細粒度パワーゲーティング

細粒度パワーゲーティングの利点は高速なウェイクアップと高い柔軟性である。これにはいくつかの実装方式があるが、本論文では文献 9) の方式に着目する。この方式では、まず、個々のスタンダードセルに virtual ground (VGND) ポートを設ける。次に、単一のアクティブ信号で電源制御を行うセルどうしをグループ化することで細粒度パワードメインを形成し、パワードメイン内のセルの VGND ポートどうしをつなぐことで VGND ラインを形成する (図 2)。パワースイッチは VGND ラインと GND ラインの間に挿入され、これをオンオフすることで細粒度パワードメインへの電力供給を制御する。また、パワードメインの各出力ポートには、電源オフ時の出力値を固定するためのアイソレーションセルを挿入する。

図 2 には 2 個の細粒度パワードメインが図示されており、それぞれ VGND ラインとパワースイッチを持っている。このように、任意のセルの VGND どうしをグループ化することで柔軟にパワードメインを形成できる。また、スリープ中の回路を数ナノ秒でウェイクアップできるという利点もある (これについては 4.1.2 項で検証する)。この方式はプロセッサの演算器のパワーゲーティングに応用され、実チップで動作すること、また、実用的であることが確認されている<sup>10)</sup>。

以上より、NoC では、ルータ内部の時間的・空間的局所性を有効活用でき、ウェイクアップ遅延の小さい細粒度パワーゲーティングが適していると考えられる。

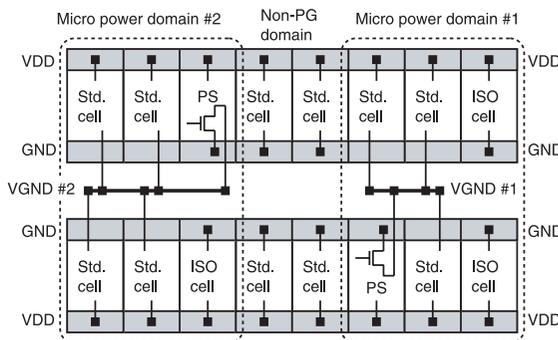


図 2 細粒度パワーゲーティングの実現例。図中の PS はパワースイッチ、ISO はアイソレーションセルを示す  
 Fig. 2 Implementation of the fine-grained power gating. PS and ISO refer to a power switch and an isolation cell, respectively.

### 3. 細粒度パワーゲーティングルータ

本章では、細粒度パワーゲーティングルータの設計について述べる。このルータは数十個の細粒度パワードメインに区切られ、実際にパケット転送中のドメインのみに電力を供給することで低リークを実現する。以降、パワードメインの分割とそのウェイクアップ方法について説明していく。

#### 3.1 パワードメイン分割

図 3 に一般的な入力バッファ型のワームホールルータを示す。このルータは  $p$  個の入力ポート、 $p$  個の出力ポート、 $p \times p$  クロスバスイッチ、クロスバの調停を行うラウンドロビンアービタを持つ。各入力ポートは仮想チャネル分の独立したバッファキューを持つ。一方、各出力ポートはクロスバの出力データを保持するための出力ラッチを持つ。

図 3 (a) に入力ポートの詳細を示す (仮想チャネル数は  $v$ )。入力ポートごとに経路計算ユニット (routing computation unit, 図中の RC)、 $v$  個の仮想チャネルから 1 つの出力値を選択する  $v$ -to-1 マルチプレクサ (VCMUX) を持つ。さらに仮想チャネルごとに状態レジスタ、制御ロジック、 $n$ -flit 分のバッファキュー (VC buffer) を持つ。

図 3 (b) に  $p \times p$  クロスバの詳細を示す。これは  $p$  個の  $p$ -to-1 マルチプレクサ (CBMUX) からなり、アービタからの制御信号によって出力値が選択される。

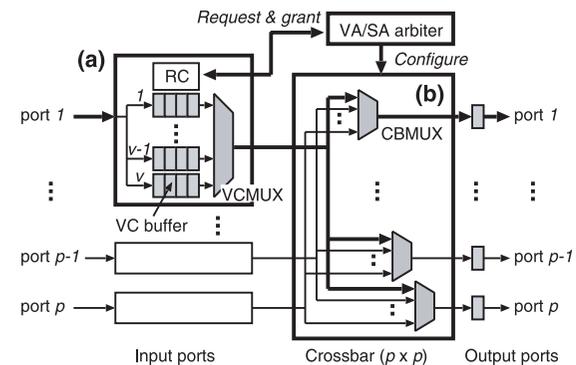


図 3 細粒度パワーゲーティングルータ。図中の (a) は入力ポート 1 の詳細、(b) はクロスバの詳細。図中の灰色のエリアがパワーゲーティング対象

Fig. 3 Fine-grained power-gating router. (a) Detail of Input port 1, (b) Detail of Crossbar. Each gray area denotes a power domain.

表 1 各ルータコンポーネントのハードウェア量 (パワースイッチ挿入前) [kilo gates]

Table 1 Hardware amount of each router component (before PS insertion) [kilo gates].

Module	Count	Total gate count
4-flit VC buffer	20	111.06
4-to-1 VCMUX	5	4.21
5-to-1 CBMUX	5	4.91
1-flit Output latch	5	5.49
Others	1	16.92
Total		142.58

次に、上記のオンチップルータを細粒度パワードメインに分割することを考える。ここではフリットデータ幅は 128-bit とし、残りのパラメータは  $p = 5$ ,  $v = 4$ ,  $n = 4$  としてオンチップルータの RTL モデルを作成した。表 1 に各部品のゲート数を示す。経路計算ユニット、アービタ、仮想チャネルの状態レジスタなどの雑多なロジックは Others としてまとめた。表 1 に示すとおり、Others の面積はルータ全体の 11.9% ( $= 16.92/142.58$ ) にしかならない。このような小規模ロジックの場合、削減できるリーク電力に比して、個別にオンオフ制御するためのハードウェアコストが大きいいため、パワーゲーティング対象から外した。結果的に、オンチップルータを VC buffer, VCMUX, CBMUX, Output latch からなる 35 個の細粒度パワードメインに分割した。表 1 に示すとおり、ルータ全体の 88.1% ( $= 100 - 11.9$ ) をパワーゲーティング対象にできている。

細粒度パワーゲーティングの面積オーバーヘッド、ウェイクアップ遅延、On/Off エネルギーを見積もるために、4 種類のパワードメイン (VC buffer, VCMUX, CBMUX, Output latch) を Fujitsu CS202SZ (高集積・高性能用 65nm プロセス) を用いて実装した。実装方法は文献 10) および文献 11) と同じため、設計フローの説明は割愛する。

細粒度パワーゲーティングの場合、回路のウェイクアップはきわめて高速 (1 GHz 動作時で数サイクル以内) に行えることが分かっている (実際のウェイクアップ遅延は 4.1.2 項で測定する)。しかし、本論文が対象とする CMP では、リモートキャッシュアクセスのたびに一定の通信 (要求・応答) が発生するため、数サイクルのウェイクアップ遅延でさえ、アプリケーション性能に大きな影響を与えてしまう。

### 3.2 早期ウェイクアップ手法

パワーゲーティングによるウェイクアップ遅延を隠蔽するため、パケットの到着を事前に検出し、事前にウェイクアップを開始する必要がある。本節では、そのための早期ウェイクアップ手法を提示する。

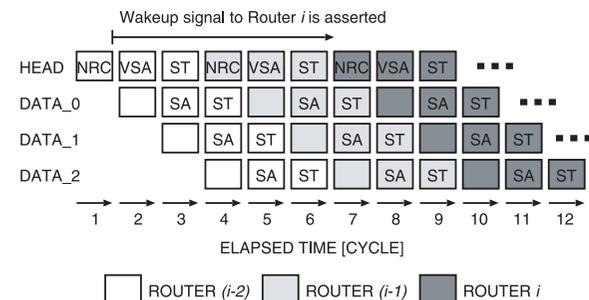


図 4 Look-ahead 手法のルータパイプライン。4 個のフリットからなるパケットがルータ  $(i-2)$ , ルータ  $(i-1)$ , ルータ  $i$  の順に通過

Fig. 4 Router pipeline of Look-ahead method. A packet consisting of four flits is transferred from Router  $(i-2)$  to Router  $i$  via Router  $(i-1)$ .

#### 3.2.1 Look-Ahead 手法

Look-ahead 手法では、look-ahead ルーティング<sup>\*1</sup>を応用することで 2 ホップ先のルータのどの入力ポートが使われるかを検出する。実際にパケットが到達する数サイクル前からウェイクアップを開始できるため、その分のウェイクアップ遅延を隠蔽できる<sup>7)</sup>。

図 4 にこの仕組みを図示する。図中の NRC (next routing computation) は通常の RC とは異なり、1 ホップ先のルータの出力ポートを計算する。たとえば、あるパケットがルータ  $(i-2)$ , ルータ  $(i-1)$ , ルータ  $i$  の順に移動するとき、ルータ  $(i-2)$  の NRC ユニツトは (自ルータではなく) ルータ  $(i-1)$  の出力ポートを計算する。ルータ  $(i-1)$  の出力ポートはルータ  $i$  の入力ポートに point-to-point で直接接続されるため、ルータ  $(i-2)$  の NRC ユニツトはパケットがルータ  $i$  のどの入力ポートへ向かうか検出できる。図 4 の例では、ルータ  $(i-2)$  は NRC が済んだと同時にルータ  $i$  へウェイクアップ信号を送信しており、パケットが実際にルータ  $i$  に到達するまで 5 サイクルの猶予がある。

Look-ahead 手法では、ルータ  $i$  の各パワードメインを以下のタイミングでウェイクアップさせる。

- VC buffer・VCMUX: ルータ  $i$  に向かうパケットがルータ  $(i-2)$  で NRC を完了したとき、ルータ  $i$  の対応する VC buffer と VCMUX をウェイクアップ。

\*1 look-ahead ルーティング自体は、経路計算のためのテーブル引き遅延を隠蔽するための手法として SGI Spider チップで提案された<sup>12)</sup>。

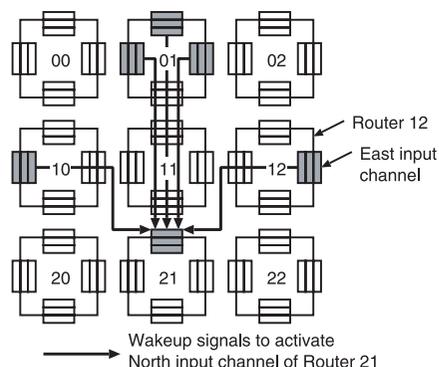


図5 Look-ahead 手法におけるウェイクアップ信号線  
Fig. 5 Wakeup signals of Look-ahead method.

- **CBMUX・Output latch** : ルータ  $i$  に向かうパケットがルータ  $(i-1)$  で NRC を完了したとき、ルータ  $i$  の対応する CBMUX と Output latch をウェイクアップ。

ルータ  $(i-2)$  の NRC ユニットの、到達可能なルータ  $i$  の VC buffer と VCMUX にウェイクアップ信号を送信できなければならない。同様に、ルータ  $(i-1)$  の NRC ユニットの、到達可能なルータ  $i$  の CBMUX と Output latch にウェイクアップ信号を送信できなければならない。図5に、ルータ21のNorth入力ポート(VC buffer と VCMUX)をウェイクアップさせるためのウェイクアップ信号を示す。この例では、ルータ01のNorth入力ポート、West入力ポート、East入力ポート、ルータ10のWest入力ポート、ルータ12のEast入力ポートの5カ所からウェイクアップ信号が集まっており、これらの信号の論理和が真のとき、ルータ21のNorth入力ポートをウェイクアップさせる。なお、ウェイクアップ信号の本数は使用するルーティングアルゴリズムの禁止ターンの位置、非最短経路の可否によって決まる。図5の例ではXY型の次元順ルーティングを想定しているため、非最短経路になるような転送、および、Y次元からX次元への転送に関するウェイクアップ信号は必要ない。禁止ターンのさらに少ないルーティングアルゴリズムを用いる場合、ウェイクアップ信号の本数は次元順ルーティングより多くなる。これらのウェイクアップ信号は、通常のルータ間リンクの2倍の長さになるため、ルータ間距離によっては伝搬に追加サイクルが必要になる。

また、Look-ahead方式には1ホップ目の早期ウェイクアップが難しいという欠点がある。Look-ahead方式では、パケット送信元ノードのネットワークインタフェース(送信元NI)

がパケットを生成する間に1ホップ目と2ホップ目をウェイクアップさせている。しかし、1サイクルでパケット化が完了する理想的な状況を想定すると、1ホップ目のVC bufferが使われるまでに1サイクルしか余裕がない。たとえば、ルータのパイプライン段数を3、ウェイクアップ信号の配線遅延を1サイクルとすると、2ホップ目のルータは最大4サイクル分のウェイクアップ遅延を隠蔽できるが、1ホップ目は1サイクル分しか隠蔽できない。この補えない分のウェイクアップ遅延によってアプリケーション性能が悪化してしまう。

### 3.2.2 Look-Ahead + Ever-On 手法

Look-ahead手法で問題となる1ホップ目のウェイクアップ遅延を緩和するため、ここではLook-ahead + ever-on手法(以下、Ever-on手法)を用いる。Ever-on手法では、頻繁に使われるVC bufferを「ever-onドメイン」に指定し、電力を供給したままにする。ever-onドメインはスリープしないためウェイクアップ遅延はかからないが、ever-onドメインの分だけ削減できるリーク電力が目減りする。これ以外のパワードメインはオリジナルのLook-ahead手法と一緒にある。

ever-onドメインを選定するため、図1に図示したCMPのトラフィックパターンを解析した。具体的には、4.2.1項で述べるCMPのフルシステムシミュレータを用いて並列アプリケーションを走らせ、NoC中のすべてのパワードメインについて「1ホップ目」として使われた回数をカウントした。この回数が多いパワードメインのみをever-onにすれば、最小限のリーク電力オーバーヘッドでアプリケーション性能の低下を抑えることができる。この解析の結果、プロセッサコアからのデータを受け付ける入力仮想チャネルバッファ(VC buffer)のうち、VC0とVC2の利用回数が多いことが分かった。これは、プロセッサ-L2キャッシュバンク間の通信でVC0とVC2が頻繁に使われたためである(仮想チャネルの使い分けについては4.2.1項で述べる)。よって、本論文ではプロセッサコアからデータを受けるVC bufferのうちVC0とVC2をever-onドメインに指定する。4章では、ever-onドメインによるアプリケーション性能の改善とリーク電力オーバーヘッドについて評価する。

### 3.2.3 Look-Ahead + Active Buffer Window 手法

Look-ahead + active buffer window(以下、ABW手法)もLook-ahead手法の拡張である。ABW手法では、文献13)で提案されたリーク電力を考慮したバッファ管理法を細粒度パワーゲーティングルータに応用することで、1ホップ目のウェイクアップ遅延の影響を大幅に緩和する。

ABW手法では、各VC bufferドメインをさらに細粒度なフリット単位パワードメインに分割する。たとえば、図3に示す4-flit VC bufferは4個のフリット単位パワードメイ

ンに分割され、各フリット単位ドメインの電源を独立にオンオフできるようにする。ABW手法では、1 ホップ目のウェイクアップ遅延の影響を抑えるため、各 VC buffer のうち数フリット分をつねにオンにしておく。ここで、VC buffer のうちアクティブな部分を「active buffer window」と呼び、このサイズはつねに一定とする。つまり、VC buffer にフリットが到着して active buffer window が消費されると、消費された分だけ VC buffer の残りの部分をオンにして後続フリットの到着に備える。たとえば、4-flit VC buffer において active buffer window サイズが2フリットするとき、パケット到着によって2フリット分のバッファが消費されたら、次の2フリット分のバッファを後続フリットの到着に備えオンにする。

#### 4. 評価

本章では、早期ウェイクアップ付き細粒度パワーゲーティングルータを網羅的に評価する。まず4.1節で各パワードメインの面積、ウェイクアップ遅延、エネルギーオーバーヘッドを求める。この基礎データをもとに、4.2節では早期ウェイクアップ付き細粒度パワーゲーティングルータをアプリケーション性能とリーク電力について評価する。

##### 4.1 パワードメインのハードウェア評価

3.1節で実装した4種類のパワードメイン（VC buffer, VCMUX, CBMUX, Output latch）を回路レベルで評価する。

##### 4.1.1 面積オーバーヘッド

表2にパワーゲーティング化後のルータのゲート数を示す。表中のISOとPSはアイソレーションセルとパワースイッチのゲート数であり、Overheadの列にある括弧なしの数値はISOとPSの面積オーバーヘッド（単位は%）である。ルータ全体でみるとISOとPSの面積オーバーヘッドは4.3%である。

2.2節で述べたとおり、今回の細粒度パワーゲーティング手法では各セルにVGNDポ-

表2 各ルータコンポーネントのハードウェア量（パワースイッチ挿入後）[kilo gates]  
Table 2 Hardware amount of each router component (after PS insertion) [kilo gates].

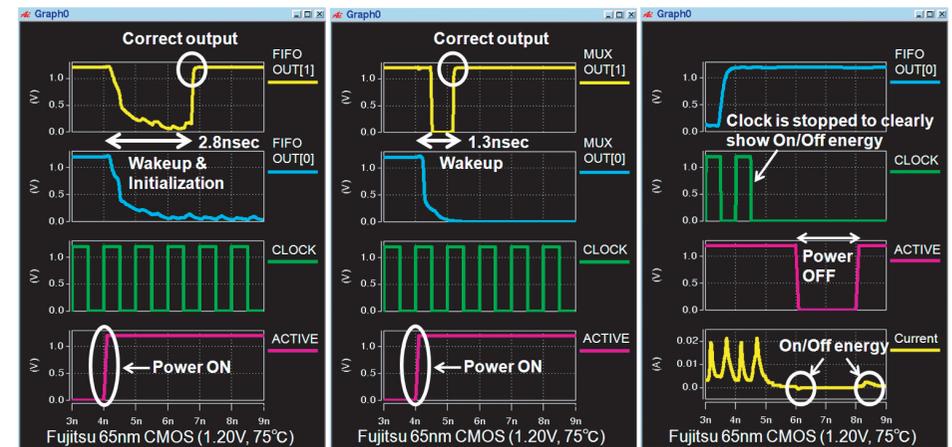
Module	Count	ISO	PS	Overhead
4-flit VC buffer	20	2.07	2.25	3.9% (15.4%)
4-to-1 VCMUX	5	0.54	0.02	13.3% (25.9%)
5-to-1 CBMUX	5	0.52	0.02	10.9% (23.3%)
1-flit Output latch	5	0.51	0.16	12.2% (24.6%)
Others	1	0	0	0% (11.1%)
Total		3.64	2.44	4.3% (15.9%)

トが必要である。我々は Fujitsu CS202SZ 65 nm スタンダードセルから代表的なもの106個を選び、各セルの高さを10/9倍することでVGNDポートを取り付けた。Overheadの列にある括弧ありの数値は、セルの高さを拡張した分を含めた面積オーバーヘッドである。この場合、ルータ全体の面積オーバーヘッドは15.9%となる。なお、セルの種類によっては高さを拡張する必要のないもの、もしくは、幅をわずかに広げるだけでVGNDポートを追加できるものもあり、パワーゲーティングセルの最適設計は今後の課題である。

##### 4.1.2 ウェイクアップ遅延

まず、各パワードメインのGDSファイルからCadence QRC Extractionを用いてSPICEネットリストを抽出する。これをSynopsys HSPICEを用いてSPICEレベルシミュレーションすることで、実際のウェイクアップ遅延およびOn/Offエネルギーを求めた。テクノロジーはFujitsu CS202SZ（高集積・高性能用65nmプロセス）、条件はtypical、電源電圧は1.20V、温度は動作時を仮定して75°Cとした。

本項ではVC bufferとCBMUXのウェイクアップ遅延を求める。Output latchはVC buffer、VCMUXはCBMUXと構造が近いためここでは割愛する。図6(a)と図6(b)に両者のシミュレーション結果を示す。グラフの1番目と2番目の波形は各パワードメイン



(a) Wakeup latency (VC buffer) (b) Wakeup latency (CBMUX) (c) On/Off energy (VC buffer)

図6 レイアウト後パワードメインのSPICEレベルシミュレーション結果  
Fig. 6 SPICE-level post-layout simulation results of each power domain.

の出力値の下位 2-bit (OUT[1] と OUT[0]) を表す。3 番目と 4 番目の波形は 1GHz のクロックとアクティブ信号である。グラフには表示していないが、パワードメインへの入力値の下位 2-bit (IN[1] と IN[0]) は 1 と 0 に固定している。シミュレーションでは 2 つ目のクロック立ち上がりでアクティブ信号をオンにしている。その後、OUT[1] と OUT[0] に正しい値が出るまでに VC buffer で 2.8 nsec, CBMUX で 1.3 nsec かかっている\*1。

以上より、すべてのパワードメインは 3 nsec 以内にウェイクアップできる。この遅延時間から逆算すると、ルータが 667 MHz 動作, 1 GHz 動作, 1.33 GHz 動作のとき、それぞれ 2 サイクル, 3 サイクル, 4 サイクルの待ちでウェイクアップが完了する。

#### 4.1.3 On/Off エネルギーの見積り

パワーゲーティングでは、アクティブ信号のオンオフ切替時にパワースイッチおよび周囲のバッファを駆動するためにダイナミック電力が消費される。これによってパワーゲーティングによるリーク削減効果が目減りする。パワーゲーティングのエネルギーオーバーヘッド  $E_{overhead}$  は次式で計算できる。

$$E_{overhead} = E_{on} + E_{off} + E_{wire} \quad (1)$$

ただし、 $E_{on}$  と  $E_{off}$  はオンおよびオフ時のスイッチングエネルギーとする。配線エネルギー  $E_{wire}$  は次式で計算できる。

$$E_{wire} = IV^2 C_{wire} / 2 \quad (2)$$

ただし、 $V$  を供給電圧、 $C_{wire}$  を配線容量、 $l$  をウェイクアップ信号の配線長とする。本論文では図 1 の CMP を十数ミリ角のチップに実装するものとし、ルータ間距離を 1.5 mm, ウェイクアップ配線長を 3 mm と仮定する\*2。  $V = 1.2 V$ ,  $C_{wire} = 0.32 \text{ pF/mm}$ \*3,  $l = 3 \text{ mm}$  のとき、 $E_{wire}$  は 0.691 pJ となる。

$E_{on}$  および  $E_{off}$  を求めるために各パワードメインの SPICE レベルシミュレーションを

\*1 パワードメインに対するパワースイッチの数を増やすことで、ウェイクアップ遅延を改善できる。表 1, 表 2 より、パワースイッチに対するパワードメインの面積比は VC buffer で 1:51, VCMUX で 1:254, CBMUX で 1:290, Output latch で 1:40 となった。なお、今回は Sequence Design CoolPower を用いて自動的にパワースイッチを挿入した。

\*2 図 1 の CMP を 12 mm 角の比較的大規模なコア領域 (I/O パッドや電源リングは含まない) に実装することを考える。図のように、チップ中央の 6 mm 角の領域に L2 キャッシュバンクを配置し、チップ外周に沿ってプロセッサ 8 個を配置する。この場合、チップ中央の 6 mm 角の領域に 16 個のルータを 2 次元メッシュ状に配置するため、ルータ間距離は 1.5 mm になる。3.2.1 項で述べたとおり、ウェイクアップ信号は通常のルータ間リンクの倍の長さが必要になるため、本論文ではウェイクアップ信号長を 3 mm に設定した。

\*3 ITRS によると 65 nm semi-global wire の配線容量は 0.20 pF/mm である。配線遅延を最小化するためにリピータバッファを挿入すると容量が 60%増加する<sup>14)</sup> ため、ここでは  $C_{wire} = 0.32 \text{ pF/mm}$  とした。

表 3 各ルータコンポーネントのリーク電力 [uW] (電圧 1.20 V, 温度 75°C)

Table 3 Leakage power of each router component (Vdd 1.20 V, temperature 75°C) [uW].

Module	Count	Total leakage
4-flit VC buffer	20	940.1
4-to-1 VCMUX	5	63.4
5-to-1 CBMUX	5	57.2
1-flit Output latch	5	82.8
Others	1	176.5
Total		1320.0

表 4 各ルータコンポーネントの On/Off エネルギー [pJ] (電圧 1.20 V, 温度 75°C)

Table 4 On/Off energy of each router component (Vdd 1.20 V, temperature 75°C) [uW].

Module	Leakage / count	On/Off energy
4-flit VC buffer	47.0	2.80 (59.6 nsec)
4-to-1 VCMUX	12.7	1.25 (98.6 nsec)
5-to-1 CBMUX	11.4	0.98 (85.7 nsec)
1-flit Output latch	16.6	1.31 (79.1 nsec)

行った\*4。図 6(c) は VC buffer のアクティブ信号をオンからオフ、オフからオンに遷移させたときの波形である。グラフの 4 番目の波形が電流量を示しており、オフ時とオン時に微小ながら On/Off エネルギーが消費されている。表 3 に 4 種類のパワードメインのリーク電力、表 4 に On/Off エネルギー ( $E_{on} + E_{off}$ ) を示す。たとえば、VC buffer 1 個のリーク電力は 47.0 uW, On/Off エネルギーは 2.80 pJ であるが、この On/Off エネルギーの償却には VC buffer のリーク電力を最低でも 59.6 nsec 止める必要がある\*5。表 4 の On/Off energy の列の括弧付きの数値は、このようにして求めた各ドメインの On/Off エネルギー償却時間である。

4.2 節では、表 4 のパラメータをフルシステムシミュレータに与えることでパワーゲーティングのエネルギーオーバーヘッドを含めた電力評価を行う。

\*4 消費エネルギーの見積りには、ゲートレベルシミュレーション、トランジスタレベルシミュレーションによる方法がある。前者は、各ゲートのスイッチング回数をもとにライブラリからテーブル引きで消費電力を計算する。一方、後者は、アナログ回路シミュレーションを行うため、パワーゲーティングにともなう電位の微小な変化を正確にとらえることができる。よって、本研究では後者を採用した。なお、SPICE シミュレーションには上述の商用ライブラリのトランジスタモデルを使用した。

\*5 アクティブ信号をオフにしても、VC buffer のリーク電流はすぐには止まらないため、On/Off エネルギーの償却にはさらに時間がかかる。

表 5 シミュレーション条件 (プロセッサ, メモリ)

Table 5 Simulation parameters (processor and memory).

Processor	UltraSPARC-III
L1 I-cache size	16 KB (line:64 B)
L1 D-cache size	16 KB (line:64 B)
# of processors	8
L1 cache response	1 cycle
L2 cache size	256 KB (assoc:4)
# of L2 cache banks	64
L2 cache response	6 cycle
Memory size	4 GB
Memory response	160 ( $\pm 2$ ) cycle
# of memory ports	8
Memory bandwidth	32 $\times$ 8 B/cycle for each direction

表 6 シミュレーション条件 (NoC, オンチップルータ)

Table 6 Simulation parameters (NoC and on-chip router).

Topology	4 $\times$ 4 mesh
Routing	dimension-order
Switching	wormhole
# of VCs	4
Buffer size	4 flit
Router pipeline	[NRC][VSA][ST]
Flit size	128 bit
Control packet	1 flit
Data packet	5 flit

## 4.2 フルシステム CMP のシミュレーション評価

4.1 節で示した基礎データをもとに, 細粒度パワーゲーティングルータを性能とリーク電力について評価する.

### 4.2.1 シミュレーション環境

図 1 に示した 8 コア CMP で使われる NoC をシミュレーションする. キャッシュアーキテクチャは SNUCA<sup>1)</sup> とする. 表 5 にプロセッサとメモリ関連, 表 6 に NoC とオンチップルータ関連のシミュレーション条件を示す. このような CMP のフルシステムシミュレータとして GEMS<sup>15)</sup> と Virtutech Simics<sup>16)</sup> を組み合わせて使用する.

#### ネットワークモデル

NoC モデルとして GEMS に付属の Garnet<sup>17)</sup> を拡張することで, 細粒度パワーゲーティ

ングルータと早期ウェイクアップ手法を cycle-accurate でシミュレーションできるようにした. 表 6 に示すとおり典型的な 3 サイクルルータを用いる. Look-ahead 手法, Ever-on 手法, ABW 手法のウェイクアップ信号の配線遅延は 1 サイクルとする. VC buffer のサイズは 4 フリットとし, ABW 手法の active buffer window サイズは 2 フリットとする.

#### キャッシュコヒーレンスプロトコル

Token coherence プロトコル<sup>18)</sup> を用いる. end-to-end のプロトコル (要求・応答) デッドロックを防ぐため, 仮想チャネル 4 本 (VC0-VC3) を以下のように使い分ける.

- VC0: L1 キャッシュから L2 キャッシュバンクへの要求. L2 キャッシュバンクから L1 キャッシュへの要求.
- VC1: L2 キャッシュバンクから主記憶への要求. 主記憶から L2 キャッシュバンクへの要求.
- VC2: L1 キャッシュ・主記憶から L2 キャッシュバンクへの応答. L2 キャッシュバンクから L1 キャッシュ・主記憶への応答.
- VC3: L1 キャッシュからの persistent 要求.

キャッシュのヒット率が高ければ, 主記憶へのアクセスが減り VC1 の利用率も下がる. VC3 はキャッシュアクセスのスターベーションを解決するための persistent 要求で使われるが, そもそも persistent 要求が必要となる状況は稀である (persistent 要求は全要求のうち 0.19%<sup>18)</sup>). 入力ポート単位のパワーゲーティング<sup>7)</sup> ではこのような仮想チャネルごとの利用率の偏りを活かせないが, 我々の細粒度パワーゲーティングルータなら各 VC buffer の電源を個別にオンオフできる.

#### 主記憶メモリモデル

主記憶アクセスがボトルネックになるような CMP アーキテクチャでは, パワーゲーティングによって通信遅延が悪化したとしてもアプリケーション性能への影響がはっきりとは出ない. そこで, 図 1 に示すとおり, GEMS で提供されているメモリコントローラモデルをチップの上端, 下端, 左端, 右端に 2 カ所ずつ (合計 8 カ所) 配置し, また, 各ノードが近傍のコントローラから主記憶にアクセスするようにすることで, 主記憶アクセスのための通信がチップ全体に分散するようにした. さらに, 通常のルータ間リンクの帯域は片方向 16 Byte/cycle としたが, 主記憶アクセスには片方向 32 Byte/cycle を 8 ポート分持たせ, 主記憶アクセスがアプリケーション性能のボトルネックにならないように配慮した. このように, 主記憶アクセスがアプリケーション性能に与える影響を小さく抑え, 細粒度パワーゲーティングによる通信遅延の増加がアプリケーション性能に与える影響を忠実に評価

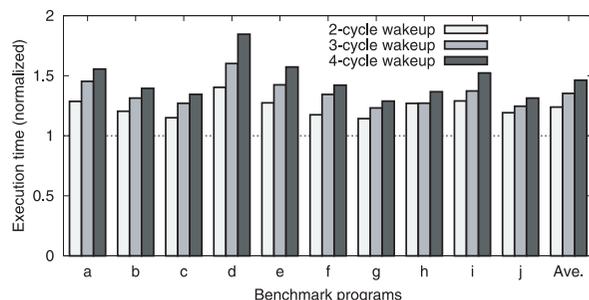


図 7 SPLASH-2 ベンチマークの実行時間 (早期ウェイクアップ手法なし). グラフ中の 1.0 はウェイクアップ遅延なしの場合の実行時間を示す

Fig. 7 Execution time of SPLASH-2 benchmark (w/o early wakeup method). 1.0 indicates the execution time without wakeup latency.

できるようにした.

#### ベンチマークプログラム

早期ウェイクアップ付き細粒度パワーゲーティングルータの性能を評価するため, SPLASH-2 ベンチマーク<sup>19)</sup> から 10 種類のプログラムを用いる. OS として Sun Solaris 9 をこの 8 コア CMP のうえで動作させる. ベンチマークプログラムを Sun Studio 12 でコンパイルし, Solaris 9 上で動作させる. プログラムのスレッド数はすべて 8 とする.

#### 4.2.2 アプリケーション性能

CMP 向け NoC のオンチップルータに細粒度パワーゲーティングと早期ウェイクアップ手法を適用する. そのうえで 10 種類のベンチマークプログラムを走らせ, その実行サイクル数を求める. 4.1.2 項でウェイクアップ遅延から逆算したとおり, ルータが 667 MHz 動作, 1 GHz 動作, 1.33 GHz 動作のとき, それぞれ 2 サイクル, 3 サイクル, 4 サイクルの待ちでウェイクアップが完了する. これらの動作周波数を仮定し, ここではウェイクアップ遅延が 2 サイクル, 3 サイクル, 4 サイクルの場合をシミュレーションする.

まず, 早期ウェイクアップ手法を用いないとどれだけアプリケーション性能が劣化するかを評価する. 図 7 にウェイクアップ遅延が 2 サイクル, 3 サイクル, 4 サイクルのときのアプリケーションの実行時間を示す. プログラムは (a) radix, (b) lu, (c) fft, (d) barnes, (e) ocean, (f) raytrace, (g) volrend, (h) water-nsquared, (i) water-spatial, (j) fmm である. Y 軸はウェイクアップ遅延なしの場合 (パワーゲーティング非適用時) の実行時間を 1.0 として正規化してある. ウェイクアップ遅延が 2 サイクル, 3 サイクル, 4 サイクルの

とき, アプリケーションの平均実行時間はそれぞれ 23.9%, 35.3%, 46.3% 延びている. 高性能 CMP ではこのような大幅な性能劣化は許容しにくいいため, 実際には 3.2 節で述べた早期ウェイクアップ手法が必要となる.

次に, 早期ウェイクアップ手法として Look-ahead 手法, Ever-on 手法, ABW 手法を用いたときのアプリケーション性能を評価する. 図 8 (a) にウェイクアップ遅延が 2 サイクル (動作周波数が 667 MHz) のときのアプリケーションの実行時間を示す. 早期ウェイクアップ手法なしでは実行時間が平均 23.9% 増加した (図 7) が, Look-ahead 手法, Ever-on 手法, ABW 手法を用いることでアプリケーションの性能オーバーヘッドをそれぞれ 6.3%, 3.2%, 0.0% まで低減させることができた.

図 8 (b) にウェイクアップ遅延が 3 サイクル (動作周波数が 1 GHz) のときのアプリケーションの実行時間を示す. 早期ウェイクアップ手法なしではアプリケーション実行時間が平均 35.3% 増加したが, Look-ahead 手法, Ever-on 手法, ABW 手法では性能オーバーヘッドをそれぞれ 10.5%, 4.0%, 2.4% まで低減させることができた. 1 GHz 動作時でさえ, Ever-on 手法と ABW 手法はウェイクアップ遅延の影響を大幅に抑えることができた.

図 8 (c) にウェイクアップ遅延が 4 サイクル (動作周波数が 1.33 GHz) のときのアプリケーションの実行時間を示す. 早期ウェイクアップ手法なしではアプリケーション実行時間が平均 46.3% 増加したが, Ever-on 手法と ABW 手法では性能オーバーヘッドをそれぞれ 6.7% と 4.9% まで低減させることができた.

#### 4.2.3 オンチップルータのリーク電力の削減量

早期ウェイクアップ付き細粒度パワーゲーティングルータをアプリケーション実行時の平均リーク電力について評価する.

細粒度パワーゲーティングルータの各 부품のリーク電力 (表 3), On/Off エネルギー ( $E_{on} + E_{off}$ ) (表 4), ウェイクアップ信号の配線エネルギー  $E_{wire}$  をテーブルとして CMP フルシステムシミュレータに持たせる. そのうえでアプリケーションを動作させ, 細粒度パワーゲーティングルータの平均リーク電力をオンオフの電力オーバーヘッド込みで求める. 個々のパワードメインのパワーゲーティング効果を示すため, 以下の 3 ステップで細粒度パワーゲーティングルータを評価する.

- Level 1 : VC buffer のみ
- Level 2 : VC buffer, VCMUX, CBMUX
- Level 3 : VC buffer, VCMUX, CBMUX, Output latch

図 9 (a) に Level 1 パワーゲーティング (VC buffer のみ) 適用時のルータの平均リーク

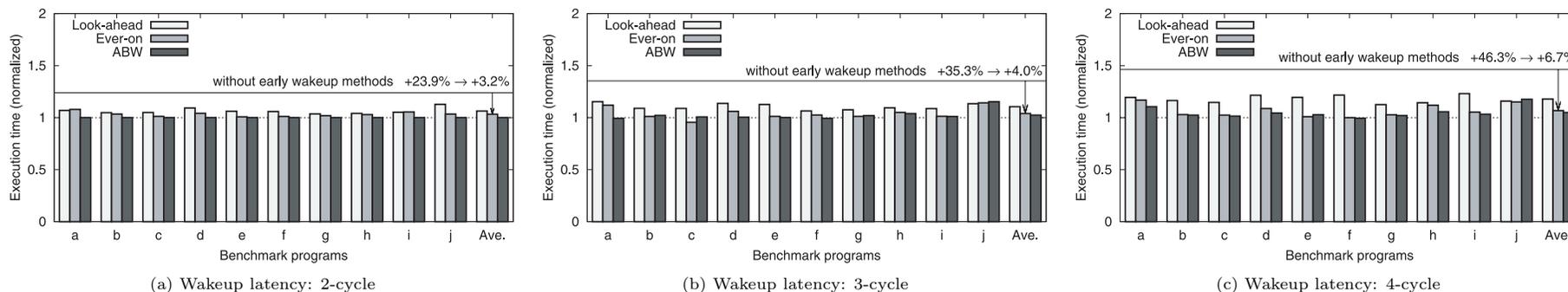


図 8 SPLASH-2 ベンチマークの実行時間 (早期ウェイクアップあり). グラフ中の 1.0 はウェイクアップ遅延なしの場合の実行時間を示す  
 Fig. 8 Execution time of SPLASH-2 benchmark (w/ early wakeup methods). 1.0 indicates the execution time without wakeup latency.

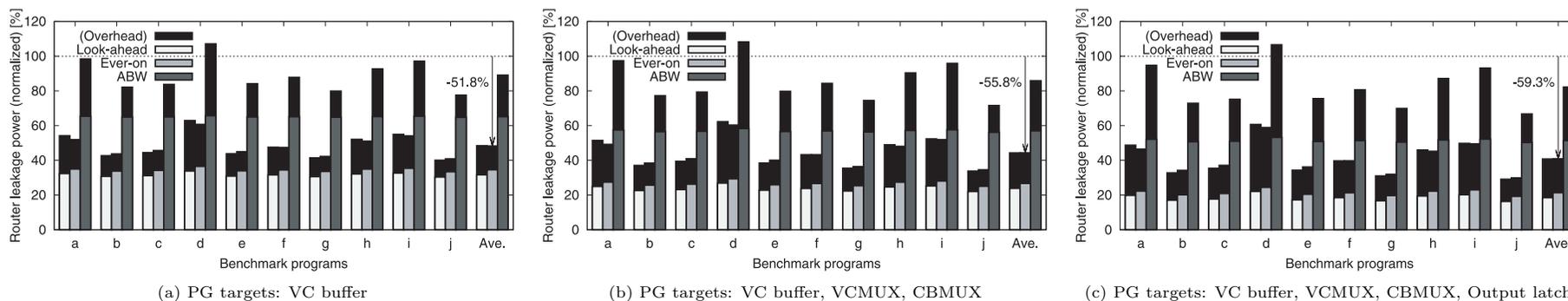


図 9 ルータの平均リーク電力 (SPLASH-2 ベンチマーク実行時). グラフ中の 100% はパワーゲーティングしない場合のリーク電力を示す  
 Fig. 9 Average leakage power of a router when SPLASH-2 benchmark is running. 100% indicates the leakage power of a router without power gating.

電力を示す. 1 GHz 動作を仮定してウェイクアップ遅延は 3 サイクルとした. グラフ中の 100% はパワーゲーティングしない場合のリーク電力 (1320 uW) を示す. グラフ中の黒塗りの部分はオンオフの電力オーバーヘッドであり, これには  $E_{on}$ ,  $E_{off}$ ,  $E_{wire}$  が含まれる.  $E_{wire}$  は 4.1.3 節で述べたとおり 0.691 pJ とした. この電力オーバーヘッドによってリーク削減量が 13% 以上目減りしたが, それ以上に VC buffer をスリープさせることができたため, ルータのリーク電力を十分削減できている.

図 9(a) より, Ever-on 手法のリーク電力<sup>\*1</sup> が最も小さい. Ever-on 手法では, 1 ホップ目のウェイクアップ遅延を減らすため, プロセッサコアからの入力ポートのうち VC0 と VC2 を ever-on ドメインとしている. ever-on ドメイン分のリーク電力が増えたものの, 頻繁にオンオフが生じるドメインが ever-on のため On/Off エネルギーが少なくて済んだ. 一方, ABW 手法では VC buffer の 2 フリット分が active buffer window としてつねにリーク電

\*1 ここでいう「リーク電力」は, 実際のリーク電力にオーバーヘッド電力を足して補正した電力値である.

力を消費するためリーク削減効果は低い。オリジナルの Look-ahead 手法はかなりリーク電力を削減できているが、1 ホップ目のウェイクアップ遅延を隠蔽できずアプリケーション性能が大幅に悪化するため実用的ではない。以上より、Ever-on 手法がアプリケーション性能とリーク電力削減量で最も効果的という結果になった。

図 9 (b) に Level 2 パワーゲーティング (VC buffer, VCMUX, CBMUX) 適用時のルータの平均リーク電力を示す。VCMUX や CBMUX では上流ドメインにバケットが存在する場合、電源をオンにしたままにすることで頻繁なオンオフにともなう無駄な On/Off エネルギーの消費を防ぐことができる。Level 2 では 3 種類のパワードメインをオンオフする分、電力オーバーヘッドによる影響が全体的に増えたものの、Ever-on 手法を用いたときリーク電力削減量は平均 55.8%となった。

図 9 (c) に Level 3 パワーゲーティング (すべてのパワードメインを含む) 適用時のルータのリーク電力を示す。Ever-on 手法を用いたときリーク電力削減量は平均 59.3%となった。

早期ウェイクアップ手法なしのパワーゲーティングルータでは、ウェイクアップ遅延によって 1 GHz 動作時のアプリケーション性能が 35.3%低下した。一方、Ever-on 手法を用いることでこれを 4.0%まで抑えることができた。そのうえでアプリケーション動作時のリーク電力を平均 59.3%削減できた。4.1.1 項の結果より、パワースイッチとアイソレーションセルの面積オーバーヘッドは 4.3%である。以上より、我々の細粒度パワーゲーティングルータは数パーセントの面積・性能オーバーヘッドでリーク電力を 6 割近く削減できることが分かった。

## 5. 関連研究

プロセスの微細化によってリーク電力がますます問題となっている昨今、オンチップルータにおいてもパワーゲーティングが研究されてきた<sup>(6-8),20)</sup>。文献 20) は IP コア単位のパワーゲーティングを行っている。文献 6) ではルータを 10 個のパワードメインに分割している。文献 7) はルータの入力ポート単位、文献 8) はルータの仮想チャネル単位のパワーゲーティングを検討している。文献 20) のようなコア単位のパワーゲーティングでは、コア内部の利用率の局所性を活かさない。文献 6) はルータの入力ポート単位でパワーゲーティングできるが、CMP のコヒーレンスプロトコルのように同一入力ポート内の各仮想チャネルの負荷が大きく違うような場合、仮想チャネルごとの利用率の局所性を活かさない。一方、本研究の細粒度パワーゲーティングルータでは、ルータ内の利用率の局所性を活かすためルータ内を 35 個のパワードメインに分割している。文献 7) および文献 8) は本論文の Level 1

(入力ポートのみ) パワーゲーティングに相当するが、本論文の Level 3 パワーゲーティングは Level 1 よりさらにリーク電力を削減できた。また、文献 7) および文献 8) では、パワースイッチおよびアイソレーションセルを含めた面積オーバーヘッド、実際の回路をもとにしたウェイクアップ遅延や On/Off エネルギーを評価していない。一方、本論文は文献 10) および文献 11) と同じ手法で各種パワードメインを実装し、面積オーバーヘッド、ウェイクアップ遅延、On/Off エネルギーを詳細に評価している。

パワードメインのオンオフ制御に関して、文献 21) ではリンクの利用履歴をもとにしたオンオフ制御を提案しているが、ウェイクアップ遅延をパラメータとしたネットワークの性能見積りと比較にとどまっている。文献 13) では Drowsy キャッシュを想定したバッファ管理方法を提案しており、本論文の ABW 手法もこの考えを応用している。また、Look-ahead 手法を用いた入力ポートの早期ウェイクアップ手法は文献 7) で提案されているが、本論文ではこれを VC buffer, VCMUX, CBMUX, Output latch のウェイクアップに応用し、詳細に評価している。しかも、文献 7) は 1 ホップ目のウェイクアップ問題を無視しているが、本論文ではこの問題を解決するために Ever-on 手法と ABW 手法を提案および評価している。

本研究ではオンチップルータの細粒度パワーゲーティングに着目したが、最後に、他のリーク電力削減手法と比較する。パワーゲーティング以外のリーク電力削減手法としては、1) クリティカルパスのみに  $V_{th}$  の低い (高速・高リーク) セル、それ以外に  $V_{th}$  の高い (低速・低リーク) セルを使う方法、2) 基板バイアス効果を利用する方法が一般的である。前者は、高速動作が必要な部分が多いルータにおいては、その効果は限定される。また、今回提案した細粒度パワーゲーティングと併用することが可能である。後者は、ボディの電位が安定するのに  $\mu\text{sec}$  オーダの時間がかかる (active to standby に 120  $\mu\text{sec}$ , standby to active に 0.2  $\mu\text{sec}$ <sup>22)</sup>) ため、nsec オーダのランタイム制御には向かないと考えられる。

## 6. ま と め

オンチップ通信の時間的・空間的を活かしてリーク電力を削減するため、ルータ内の様々な部品 (VC buffer, VCMUX, CBMUX, Output latch) への電力供給を早期ウェイクアップ手法を用いて個別にオンオフできるルータを評価した。

本論文では 65 nm プロセスを用いて 35 個のパワードメインを持つ細粒度パワーゲーティングルータを実装し、早期ウェイクアップ手法とあわせて、面積オーバーヘッド、ウェイクアップ遅延、On/Off エネルギー、アプリケーション性能、リーク電力の削減量について網羅的

に評価した。パワースイッチとアイソレーションセルの面積オーバーヘッドはたかだか4.3%であり、各パワードメインのウェイクアップ遅延は3 nsec以下であることが分かった。このウェイクアップ遅延によって、動作周波数が1 GHzのときアプリケーション性能が4.0%ほど低下したが、オーバーヘッドエネルギーを差し引いてもアプリケーション動作時のリーク電力を59.3%と6割近く削減できた。

謝辞 本研究は科学技術振興機構「JST」の戦略的創造研究推進事業「CREST」における研究領域「情報システムの超低消費電力化を目指した技術革新と統合化技術」の研究課題「革新的電源制御による次世代超低電力高性能システムLSIの研究」による。また、本研究は日本学術振興会特別研究員奨励費の助成を受けている。また、東京大学大規模集積システム設計教育研究センターを通し、株式会社半導体理工学研究センター、(株)イー・シャトル、富士通株式会社の協力で半導体設計ライブラリを利用させていただいた。

#### 参 考 文 献

- 1) Kim, C., Burger, D. and Keckler, S.W.: An Adaptive, Non-Uniform Cache Structure for Wire-Delay Dominated On-Chip Caches, *Proc. International Conference on Architectural Support for Programming Languages and Operating Systems (ASPLOS'02)*, pp.211–222 (2002).
- 2) Beckmann, B.M. and Wood, D.A.: Managing Wire Delay in Large Chip-Multiprocessor Caches, *Proc. International Symposium on Microarchitecture (MICRO'04)*, pp.319–330 (2004).
- 3) Dally, W.J. and Towles, B.: Route Packets, Not Wires: On-Chip Interconnection Networks, *Proc. Design Automation Conference (DAC'01)*, pp.684–689 (2001).
- 4) Kim, J.S., Taylor, M.B., Miller, J.E. and Wentzlaff, D.: Energy Characterization of a Tiled Architecture Processor with On-Chip Networks, *Proc. International Symposium on Low Power Electronics and Design (ISLPED'03)*, pp.424–427 (2003).
- 5) Leon, A.S., Tam, K.W., Shin, J.L., Weisner, D. and Schumacher, F.: A Power-Efficient High-Throughput 32-Thread SPARC Processor, *IEEE Journal of Solid-State Circuits*, Vol.42, No.1, pp.7–16 (2007).
- 6) Vangal, S.R., et al.: An 80-Tile Sub-100-W TeraFLOPS Processor in 65-nm CMOS, *IEEE Journal of Solid-State Circuits*, Vol.43, No.1, pp.29–41 (2008).
- 7) Matsutani, H., Koibuchi, M., Wang, D. and Amano, H.: Run-Time Power Gating of On-Chip Routers Using Look-Ahead Routing, *Proc. Asia and South Pacific Design Automation Conference (ASP-DAC'08)*, pp.55–60 (2008).
- 8) Matsutani, H., Koibuchi, M., Wang, D. and Amano, H.: Adding Slow-Silent Virtual Channels for Low-Power On-Chip Networks, *Proc. International Symposium on Networks-on-Chip (NOCS'08)*, pp.23–32 (2008).
- 9) Usami, K. and Ohkubo, N.: A Design Approach for Fine-grained Run-Time Power Gating using Locally Extracted Sleep Signals, *Proc. International Conference on Computer Design (ICCD'06)* (2006).
- 10) Ikebuchi, D., Seki, N., Kojima, Y., Kamata, M., Zhao, L., Amano, H., Shirai, T., Koyama, S., Hashida, T., Umahashi, Y., Masuda, H., Usami, K., Takeda, S., Nakamura, H., Namiki, M. and Kondo, M.: Geyser-1: A MIPS R3000 CPU Core with Fine Grain Runtime Power Gating, *Proc. IEEE Asian Solid-State Circuits Conference (A-SSCC'09)* (2009).
- 11) Seki, N., et al.: A Fine-Grain Dynamic Sleep Control Scheme in MIPS R3000, *Proc. International Conference on Computer Design (ICCD'08)*, pp.612–617 (2008).
- 12) Galles, M.: Spider: A High Speed Network Interconnect, *IEEE Micro*, Vol.17, No.1, pp.34–39 (1997).
- 13) Chen, X. and Peh, L.-S.: Leakage Power Modeling and Optimization in Interconnection Networks, *Proc. International Symposium on Low Power Electronics and Design (ISLPED'03)*, pp.90–95 (2003).
- 14) Ho, R., Mai, K.W. and Horowitz, M.A.: The Future of Wires, *Proc. IEEE*, Vol.89, No.4, pp.490–504 (2001).
- 15) Martin, M.M.K., Sorin, D.J., Beckmann, B.M., Marty, M.R., Xu, M., Alameldeen, A.R., Moore, K.E., Hill, M.D. and Wood, D.A.: Multifacet General Execution-driven Multiprocessor Simulator (GEMS) Toolset, *ACM SIGARCH Computer Architecture News (CAN'05)*, Vol.33, No.4, pp.92–99 (2005).
- 16) Magnusson, P.S., et al.: Simics: A Full System Simulation Platform, *IEEE Computer*, Vol.35, No.2, pp.50–58 (2002).
- 17) Agarwal, N., Peh, L.-S. and Jha, N.: Garnet: A Detailed Interconnection Network Model inside a Full-system Simulation Framework, Technical Report CE-P08-001, Princeton University (2008).
- 18) Martin, M.M.K., Hill, M.D. and Wood, D.A.: Token Coherence: Decoupling Performance and Correctness, *Proc. International Symposium on Computer Architecture (ISCA'03)*, pp.182–193 (2003).
- 19) Woo, S.C., Ohara, M., Torrie, E., Singh, J.P. and Gupta, A.: SPLASH-2 Programs: Characterization and Methodological Considerations, *Proc. International Symposium on Computer Architecture (ISCA'95)*, pp.24–36 (1995).
- 20) Beigne, E., et al.: An Asynchronous Power Aware and Adaptive NoC Based Circuit, *IEEE Journal of Solid-State Circuits*, Vol.44, No.4, pp.1167–1177 (2009).
- 21) Soteriou, V. and Peh, L.-S.: Exploring the Design Space of Self-Regulating Power-Aware On/Off Interconnection Networks, *IEEE Trans. Parallel and Distributed Systems*, Vol.18, No.3, pp.393–408 (2007).

22) Kuroda, T., et al.: A 0.9-V 150-MHz 10-mW 4 mm<sup>2</sup> 2-D Discrete Cosine Transform Core Processor with Variable Threshold-Voltage (VT) Scheme, *IEEE Journal of Solid-State Circuits*, Vol.31, No.11, pp.1770-1779 (1996).

(平成 22 年 1 月 26 日受付)

(平成 22 年 5 月 11 日採録)



松谷 宏紀 (正会員)

平成 16 年慶應義塾大学環境情報学部卒業。平成 20 年同大学大学院理工学研究科開放環境科学専攻博士課程修了。博士(工学)。現在、東京大学大学院情報理工学系研究科特別研究員。平成 21 年度より日本学術振興会特別研究員 SPD。計算機アーキテクチャ、オンチップネットワークの研究に従事。



鯉淵 道紘 (正会員)

平成 12 年慶應義塾大学理工学部情報工学科卒業。平成 15 年同大学大学院理工学研究科開放環境科学専攻博士課程修了。博士(工学)。平成 14 年度より 16 年度まで日本学術振興会特別研究員。現在、国立情報学研究所准教授、総合研究大学院大学複合科学研究科情報学専攻准教授(兼任)。ハイパフォーマンスコンピューティングとインターコネクタに関する研究に従事。IEEE Computer Society Japan Chapter Young Author Award 2007, 平成 19 年度情報処理学会論文賞受賞。IEEE, 電子情報通信学会各会員。



池淵 大輔

平成 22 年慶應義塾大学大学院理工学研究科開放環境科学専攻修士課程修了。



宇佐美公良

昭和 57 年早稲田大学理工学部電気工学科卒業。昭和 59 年同大学大学院理工学研究科電気専攻修了。同年(株)東芝入社。半導体技術研究所にてマイクロプロセッサの設計, 開発に従事。平成 5~7 年スタンフォード大学客員研究員。東芝に復職後, 低消費電力設計手法・CAD 技術の研究開発に従事。平成 12 年早稲田大学より博士(工学)を授与。平成 15 年芝浦工業大学工学部情報工学科助教授, 平成 17 年同大学教授。電子情報通信学会 VLSI 設計技術委員会(VLD)研究専門委員会委員, 幹事, ISLPED, ICCD, ASP-DAC の Program Committee 委員。



中村 宏 (正会員)

昭和 60 年東京大学工学部電子工学科卒業。平成 2 年同大学大学院工学系研究科電気工学専攻博士課程修了。工学博士。同年筑波大学電子・情報工学系助手。同講師, 同助教授, 平成 8 年東京大学先端科学技術研究センター助教授, 平成 20 年より東京大学大学院情報理工学系研究科准教授。この間, 平成 8~9 年カリフォルニア大学アーバイン校客員助教授。高性能・低消費電力プロセッサのアーキテクチャ, ハイパフォーマンスコンピューティング, ディペンダブルコンピューティング, デジタルシステムの設計支援の研究に従事。情報処理学会より論文賞(平成 5 年度), 山下記念研究賞(平成 6 年度), 坂井記念特別賞(平成 13 年度)各受賞。IEICE, IEEE, ACM 各会員。



天野 英晴 (正会員)

昭和 56 年慶應義塾大学工学部電気工学科卒業。昭和 61 年同大学大学院理工学研究科電気工学専攻博士課程修了。工学博士。現在, 慶應義塾大学理工学部情報工学科教授。計算機アーキテクチャの研究に従事。