

プロセスばらつきを考慮した NoC アーキテクチャの検討

中田 洋平[†] 竹内 幸大[†]
川口 博[†] 吉本 雅彦^{†,††}

プロセステクノロジーの微細化に伴い、LSI 設計におけるプロセスばらつきによる閾値電圧ばらつきの影響が増加している。微細プロセスにおける NoC (Network-on-Chip) プロセッサは多くのプロセッサコアによって構成され、プロセスばらつきの影響によって個々のコアの特性が異なるという特徴を持つ。本項では NoC プロセッサにおけるプロセスばらつきの影響を考慮し、影響を抑制可能であるアーキテクチャについて検討を行う。

An Investigation of Variation-Aware NoC Architecture

Yohei Nakata,[†] Yukihiro Takeuchi,[†]
Hiroshi Kawaguchi,[†] and Masahiko Yoshimoto^{†,††}

As process technology advances, its minimum feature size decreases, which enables manufacturing with higher density and lower costs. However, technology scaling increases the threshold-voltage (V_{th}) variation of MOS transistors. NoC processor in an advanced process technology has many cores which have different characteristics individually. This paper shows an investigation of Variation-Aware NoC (Network-on-Chip) Architecture which enables to suppress the effect of process variation.

1. はじめに

近年、SoC に用いられる CMOS プロセスは進化の一途を辿っており、プロセステ

クノロジーの微細化が進んでいる。テクノロジーの微細化に伴い、製造工程の過程において発生するプロセスばらつきの影響が増加し、CMOS LSI の設計において無視することができないものとなっている。

本稿ではマルチ/メニーコアプロセッサの新たなパラダイムである NoC プロセッサにおけるプロセスばらつきの影響について評価を行い、微細プロセスにおける強いプロセスばらつき環境下での NoC アーキテクチャについての検討を行う。

2. 背景

2.1 プロセスばらつき

プロセスばらつきを原因とするしきい値電圧 (V_{th}) ばらつきはダイ間ばらつき (D2D ばらつき)、ダイ内ばらつき (WID ばらつき) によって構成され、その中でも WID ばらつきはシステムティック (グローバル) 成分とランダム (ローカル) 成分に分類される。WID ばらつきはチップ内の各コアの特性に影響を与えるため、本稿では WID ばらつきに着目する。システムティックばらつき成分は主にリソグラフィにおけるレンズ収差により発生し、チップ内での空間的相関性を持つ。ランダムばらつき成分は主にトランジスタのチャネルに対する不純物ドーピングの揺らぎによって成る。不純物ドーピングの揺らぎは個々のトランジスタにおける不純物のドーピングされる位置や個数が異なることによって引き起こされ、個々のトランジスタ毎に異なる特性ばらつきを引き起こす。

2.2 NoC プロセッサ

パケット交換方式の通信を行う Network-on-Chip (NoC) プロセッサは、メニーコア時代におけるスケーラブルで高いバンド幅を実現可能な唯一のマルチコアプロセッサにおけるオンチップ通信手段として注目されている。NoC プロセッサは、パケット通信型のオンチップネットワークを用いることにより、GALS 構成が容易になる、共有バスと比較して低消費電力化が可能であり、低遅延に設計することが容易になる、などの利点を持つ。

2.3 NoC プロセッサにおけるプロセスばらつき

NoC プロセッサにおけるプロセスばらつきは個々のコア毎の動作周波数特性ばらつきとなって現れる。コア毎に動作周波数特性が異なる状況下において、プロセッサ全体での同期設計を行うことを考慮すると、プロセッサ内の最も遅いコア (ブロック) に同期して動作させる必要があるため、プロセスばらつきの影響が大きくなるほどプロセッサ全体のスループットが低下する。そのため、個々のコアとネットワーク部を異なる動作周波数で動作させる GALS 設計が NoC プロセッサの設計において広く用いられている。さらに、GALS 設計を用いることにより、コア毎に DVFS・Adaptive Body Bias (ABB) を適用することが容易となる。しかしながら、ネットワーク部に関しては

[†] 神戸大学システム情報学研究科
Graduate School of System Informatics, Kobe University

^{††} 独立行政法人科学技術振興機構, CREST
JST, CREST

設計の容易化の観点から単一の周波数と供給電圧で設計されることが多い [1]. しかし、ルータ、信号線、バッファによって構成されるネットワーク部を単一の周波数と供給電圧ドメインで構成すると、コアと同様にプロセッサ全体に分散しているネットワーク部の動作周波数特性がばらつき、ネットワーク全体の動作周波数が遅いブロックの動作周波数に依存することが問題となる。

3. プロセスばらつきが回路に与える影響

3.1 プロセスばらつきによるコアの動作周波数特性

本項ではプロセスばらつきによる V_{th} のばらつきがプロセッサコアの動作周波数に与える影響について述べる。動作周波数への影響を調べるため、プロセッサコアのクリティカルパスとして 20 FO4 インバータ遅延を想定し、SPICE 回路シミュレーションによるモンテカルロ解析を行った。 V_{th} ばらつきのシステムティックばらつき成分は ITRS [3] による値を参照し、 $\sigma_{system} = 0.06/\mu$ と仮定した。 V_{th} ばらつきのランダムばらつき成分については、65-nm プロセスにおける実測値 [4] より、NMOS におけるランダムばらつき成分値 $\sigma_{rand,nmos} = 43\text{mV}$ (L=60nm, W=140nm)、PMOS におけるランダムばらつき成分値 $\sigma_{rand,pmos} = 28\text{mV}$ (L=60nm, W=140nm) をそれぞれ使用した。シミュレーション条件を表 1 にまとめる。

表 1 SPICE シミュレーション条件

Technology	65-nm CMOS	σ_{system}	$0.06 / \mu$
Process Corner	TT	$\sigma_{rand, nmos}$	43mV
Temperature	25°C	$\sigma_{rand, pmos}$	28mV
# of Monte Carlo	10000		

図 1, 図 2 にシミュレーションによって得られた動作周波数ばらつき、動作周波数ヒストグラムをそれぞれ示す。10000 サンプルについて評価を行い、平均量、標準偏差の統計量を算出した。統計量を表 2 にまとめる。

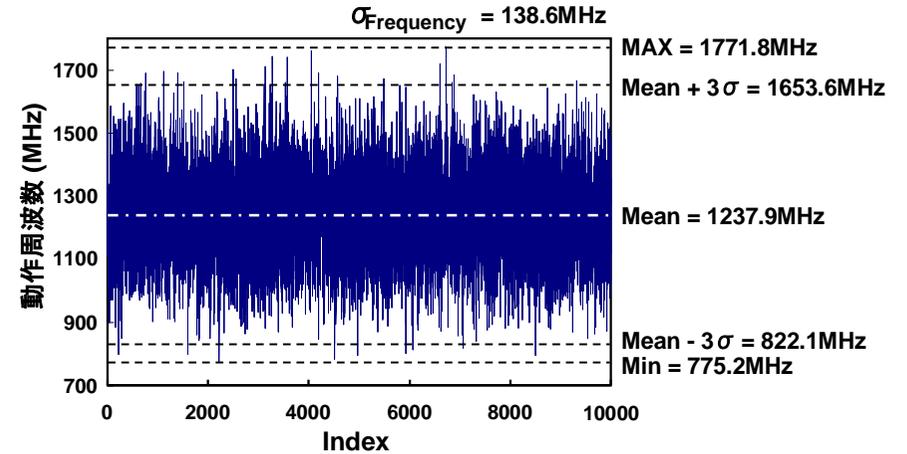


図 1 周波数ばらつき(10000 サンプル).

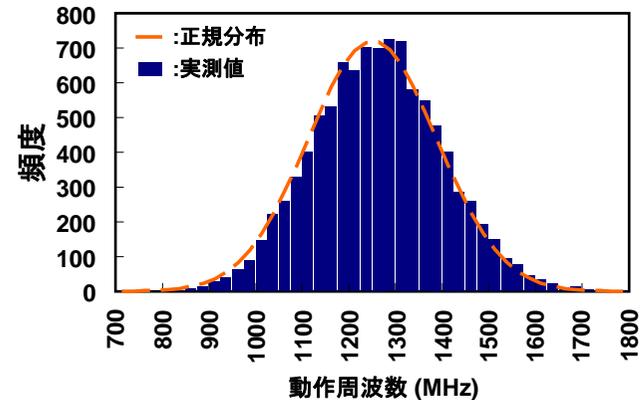


図 2 動作周波数ヒストグラム(10000 サンプル).

表 2 動作周波数に関する統計量

平均値: μ	1237.9MHz	$\mu + 3\sigma$	1653.6MHz
標準偏差: σ	138.6MHz	$\mu - 3\sigma$	822.1MHz
最大値	1771.8MHz	最小値	775.2MHz

図 2 より, V_{th} ばらつきによって生じる動作周波数ばらつきは正規分布によって近似可能であるとわかる. また, プロセッサコアにおけるクリティカルパスは 1σ あたり 138MHz のばらつきを示し, NoC プロセッサ内のコア同士は大きく異なる動作周波数特性を示すことがわかる.

3.2 プロセスばらつきがネットワークに与える影響

2.3 節で述べたように, ネットワーク部を単一の周波数と供給電圧ドメインで構成すると, ネットワーク部の個々のばらつきが問題となる. そこで, ネットワーク部におけるルータのパイプライン段数をばらつきによる影響に対応して可変にすることを考える.

PPIN [5] による Routing Computation (RC), Virtual Channel Allocation (VA), Switch Allocation (SA), Switch Traversal (ST) の 4 ステージによって構成されるパイプラインを想定し, プロセスばらつきによって動作速度が速いルータのパイプラインを一段バイパスし, 3 ステージでルーティングを行う. 動作速度が遅いルータについては, 通常と同様に 4 ステージでのルーティングを行う. それによってネットワーク部の動作周波数を変更することなくネットワーク部のプロセスばらつきに対応した NoC 制御が可能となる.

4. 評価

本章ではプロセスばらつきによる NoC の個々のコアの動作周波数ばらつきによる性能への影響と, プロセスばらつきに対応した可変パイプラインステジルータによる効果をシミュレータによって評価することを目的とする.

4.1 評価条件

評価環境として Booksim シミュレータ [7] を用いた. シミュレーションにもちいるトラフィックパターンとして SESC シミュレータ [8] 上での SPLASH2 fft ベンチマークのトレースファイルを用いた. Booksim におけるシミュレーション条件を表 3 に示す.

ばらつき環境下での動作周波数として, 図 2 の統計値より 4 種類の動作周波数スロットを設定した. また, 今回の評価においては, Frequency(0), Frequency(1)で動作するコアにおけるルータの遅延を 4 サイクル, Frequency(2), Frequency(3)で動作するコ

アにおけるルータの遅延を 3 サイクルと仮定した. 動作周波数スロットとルータのレイテンシに関する詳細を表 4 に示す. 図 3 に 4 種類の動作周波数を用いて作成した 12 種類の動作周波数ばらつきマップを示す.

表 3 シミュレーション条件

Router type	PPIN [5] 4-stage pipeline	# of VCs	2
Topology	4x4 Mesh	VC buffer size	16 [flits]
Routing function	Dimension routing	Packet size	4 flits

表 4 動作周波数スロット

Frequency Slot	Frequency(0)	Frequency(1)	Frequency(2)	Frequency(3)
Frequency	800MHz	1.1GHz	1.2GHz	1.3GHz
Percentage	26.5%	27.0%	23.3%	23.2%
Router latency	4 cycles	4 cycles	3 cycles	3 cycles

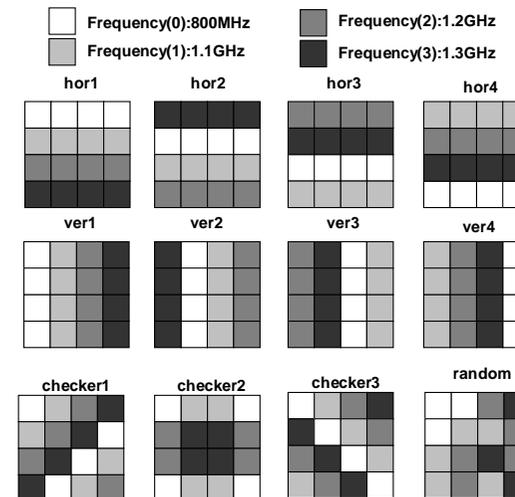


図 3 動作周波数ばらつきマップ.

4.2 評価結果

図 3 におけるそれぞれの動作周波数マップについて fft ベンチマークを実行した結果を図 4 に示す. 図 4(a)にプロセッサ全体における処理サイクル数, 図 4(b)に平均パケット到着レイテンシを示す. 図 4(a)では 6000 サイクル程度の処理サイクルばらつきがみられる. 図 4(a)に示す処理サイクルばらつきは各プロセッサに割り当てられる処理のサイクル数との相関性をもつ. 図 5 に fft ベンチマークにおける各プロセッサに割り当てられた処理サイクル数のばらつきを示す. 図 5 は $(i, j) = (0, 2)$ におけるノードが最も割り当てられた処理サイクル数が少なく, $(i, j) = (0, 1)$ におけるノードが最も処理サイクル数が多いことを示す. 図 4(a)のグラフにおいては Frequency(0)の動作周波数が遅いプロセッサに対して, 少ない処理サイクル数を割り当てるような場合(ver3)に図 4(a)に示す全体の処理サイクルが少なくなる. 逆に, Frequency(0)のプロセッサに対して多い処理サイクルを割り当てるような場合(hor1, ver2, ver4, random)には全体の処理サイクルが多くなる. 従って, この結果からプロセッサの動作周波数ばらつきに対して, タスクの処理サイクル数を鑑みて適応的にタスクを割り当てることはプロセッサ全体の処理サイクルを削減する上で重要であると言える.

反して, 図 4(b)に示す平均パケット到着レイテンシには異なるルータのサイクルばらつきに対して目立った変化は見られない. 本件については, 今後の課題として, 異なるルーティング方式についての評価, どのようにルーティングが行われているかについての詳細な調査, などの追加評価を行うことによって詳しく原因を調査する.

5. まとめ・今後の課題

NoCプロセッサにおける個々のコアの動作周波数ばらつき特性を SPICEシミュレーションによって導出し, シミュレーションによってプロセスばらつきが NoC に与える影響を評価した. それにより, 個々のコアの動作周波数ばらつき環境下におけるタスク割り当てについての知見を得た.

今後の課題として, ルータのサイクルばらつきがルーティング遅延に与える影響の調査, プロセスばらつきのより詳細なモデリングによる動作周波数ばらつきの評価, パイプラインステージ可変ルータを実装し, プロセスばらつきを加味した SPICEシミュレーションによる動作の確認, プロセスばらつきの影響を考慮したタスクマッピング・スケジューリングアルゴリズムを実装しさらなる評価を行うこと, 等を行い, プロセスばらつきに適応した NoC プロセッサシステムを確立することを目指す.

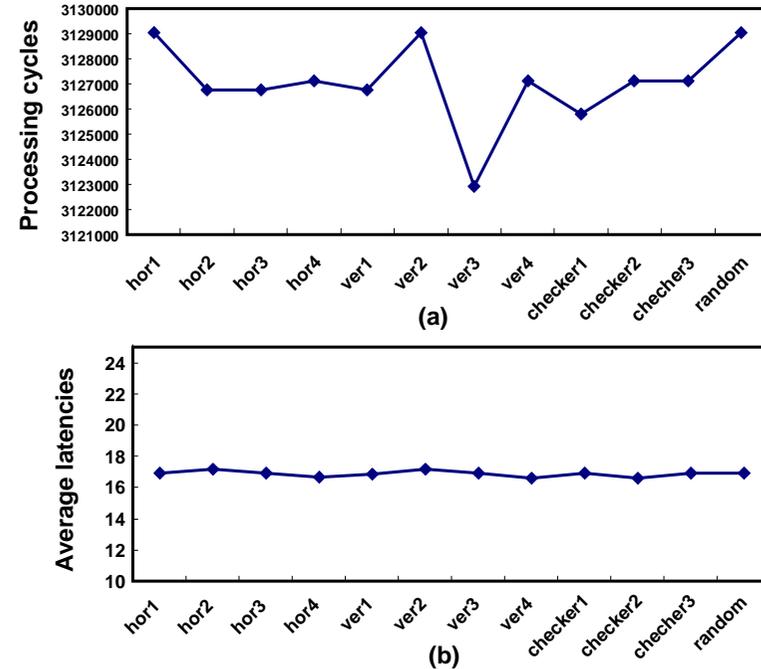


図 4 (a) 処理サイクル数 (b) 平均パケット到着レイテンシ

		j			
		0	1	2	3
i	0	1165	5568	0	3386
	1	4227	992	1821	304
	2	1089	1758	1220	4255
	3	1725	3645	104	4438

図 5 fft ベンチマークにおける各プロセッサに割り当てられた処理サイクルばらつき.

参考文献

- 1) Howard, J et al., "A 48-Core IA-32 message-passing processor with DVFS in 45nm CMOS," *IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2010* , pp.108-109, 2010.
- 2) Borkar, S.; Karnik, T.; Narendra, S.; Tschanz, J.; Keshavarzi, A.; De, V.; , "Parameter variations and impact on circuits and microarchitecture," *Design Automation Conference(DAC), 2003.*, pp. 338- 342, 2003
- 3) The International Technology Roadmap for Semiconductors (ITRS 1999)
- 4) Tsunomura, T.; Nishida, A.; Hiramoto, T., "Analysis of NMOS and PMOS Difference in V_T Variation With Large-Scale DMA-TEG," *IEEE Transactions on Electron Devices*, vol.56, no.9, pp.2073-2080, Sept. 2009
- 5) W. Dally, et.al, "Principles and Practices of Interconnection Networks", Morgan Kaufmann (2004)
- 6) Teodorescu, R.; Nakano, J.; Tiwari, A.; Torrellas, J.; , "Mitigating Parameter Variation with Dynamic Fine-Grain Body Biasing," *40th Annual IEEE/ACM International Symposium on Microarchitecture (MICRO).*, pp.27-42, 2007
- 7) Booksim <http://sourceforge.net/projects/booksim/>
- 8) Renau, J.; Fraguera, B.; Tuck, J.; Liu, W.; Prvulovic, M.; Ceze, L.; Strauss, K.; Sarangi, S.; Sack, P.; Montesinos, P., "SESC Simulator,"Jan. 2005. <http://sesc.sourceforge.net>.
- 9) Kumary, A.; Kunduz, P.; Singhx, A.P.; Pehey, L.-S.; Jhay, N.K.; , "A 4.6Tbits/s 3.6GHz single-cycle NoC router with a novel switch allocator in 65nm CMOS," *25th International Conference on Computer Design.. (ICCD) 2007*, pp.63-70, 2007