

可変段数パイプラインプロセッサのチップ試作と評価

中 林 智 之^{†1} 佐々木 敬 泰^{†1}
大 野 和 彦^{†1} 近 藤 利 夫^{†1}

近年、モバイル端末等の高性能化に伴う消費エネルギーの増大が問題となっており、低消費エネルギーと高性能の両立が要求されている。そこで我々は、低消費エネルギーと高性能を両立する手法として可変段数パイプラインアーキテクチャ(VSP; Variable Stages Pipeline)を提案している。VSPはパイプラインレジスタにLDS-cellという特殊なセルを導入し、パイプライン段数を動的に変化させることで実行時間を削減すると同時に、ステージ統合によって増加する組合せ回路内のグリッチを削減することで低消費エネルギーと高性能の両立を目指す手法である。本稿ではVSPプロセッサのチップを試作し、試作チップの電力評価を行うことでVSPの有用性を示す。評価の結果、VSPプロセッサは従来手法と比較して13%消費エネルギーを削減できることが明らかとなった。

Implementation and Performance Evaluation of Variable Stages Pipeline Processor Chip

TOMOYUKI NAKABAYASHI,^{†1} TAKAHIRO SASAKI,^{†1}
KAZUHIKO OHNO^{†1} and TOSHIO KONDO^{†1}

Recently, the increase of the energy consumption of mobile computers caused by performance enhancement becomes one serious problem. So many researches for low energy and high performance computing are performed. In order to reduce the energy consumption, variable stages pipeline architecture (VSP) that improves execution time by unifying pipeline stages dynamically is proposed. VSP processor adopts special pipeline register called LDS-cell (Latch DFF Selector - cell) that unifies pipeline stages and prevents glitch propagation caused by unified the stages on low energy mode. This paper implements VSP processor chip and evaluates the energy consumption. The evaluation results shows that VSP processor can achieve 13% lower energy consumption than the conventional low energy approach.

1. はじめに

近年、モバイルコンピューティングの分野において消費エネルギーの増大が問題となっており、低消費エネルギーと高性能の両立が求められている。現在広く用いられている低消費エネルギー化手法の1つであるDVS (Dynamic Voltage Scaling)¹⁾は、動的に電源電圧と動作周波数を変化させることで消費エネルギーを低減する。DVSは消費エネルギーを低減する手法としては有効であるが、プロセス技術の進歩により電源電圧が年々低下しており、将来的に電源電圧変化幅が減少するため消費エネルギーの削減効果の低下が予想される。また、動作周波数の低下に比例して性能が低下するという問題点もある。

そこで我々は電源電圧に依存しない低消費エネルギー化手法として、可変段数パイプラインアーキテクチャ (VSP; Variable Stages Pipeline)²⁾³⁾を提案している。VSPはパイプライン段数を動的に変化させることで、低消費エネルギーと高性能の両立を目指す手法である。また、VSPは一部のパイプラインレジスタに通常のDFF (D Flip Flop)ではなく、LDS-cell (Latch DFF Selector - cell)という特殊なセルを用いることでパイプラインステージ統合時に増加する組合せ回路内のグリッチを緩和し消費エネルギーを削減している。著者らは現在までに、シミュレーション評価によってVSPの有効性を示してきた。しかし、シミュレーションでは計算量の問題から配線遅延や配線容量を考慮した評価ができず、ゲート遅延により発生するグリッチに関する評価のみしか行えていなかった。そのため、配線遅延や配線容量を考慮した評価を行えば配線遅延やクロストークノイズによって発生するグリッチも緩和できるため、LDS-cellの電力削減効果としてより高い効果が期待できる。そこで、本稿ではVSPプロセッサをROHM0.18 μ m CMOSプロセスを用いてチップを試作し、試作チップの電力評価を行うことでVSPの有用性を示す。評価の結果、グリッチの伝播を抑制することで、従来手法と比較して13%消費エネルギーを削減できることが明らかとなった。

2. 関連研究

本節では、プロセッサの低消費エネルギー化手法に関連する研究について概括する。現在の代表的な低消費エネルギー化手法の1つとしてDVSがあげられる。DVSは動的に電源

^{†1} 三重大学大学院工学研究科情報工学専攻
Graduate School of Engineering, Mie University

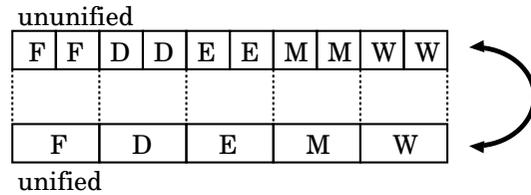


図 1 可変段数パイプライン

電圧と動作周波数を制御することによって消費エネルギーを削減する．消費エネルギーは電源電圧の 2 乗に比例するため，電源電圧を低下させることは消費エネルギーを大きく削減することにつながる．しかし，プロセスの微細化により LSI の電源電圧は年々低下しており，将来的に閾値電圧の制御などの問題から電源電圧を低下させることのできる変化幅は小さくなり，DVS による消費エネルギーの削減効率は低下することが予想される．さらに，動作周波数の低下に比例して性能が低下するという問題点がある．

そこで，電源電圧に依存しないアーキテクチャレベルの低消費エネルギー化手法が多く提案されている．アーキテクチャレベルの低消費電力化手法として，PSU (Pipeline Stage Unification)⁴⁾⁵⁾ や DPS (Dynamic Pipeline Scaling)⁶⁾ のように動的にパイプラインステージを変化させる手法がある．これらのプロセッサのパイプライン構造の例を図 1 に示す．PSU は動作周波数に応じて動的にパイプラインステージを統合する．このことにより以下の利点がある．

- 分岐ペナルティとデータ依存による待ちサイクルの削減によって実行時間を削減することが可能である．
- 使用しないパイプラインレジスタやユニットへのクロックを停止することでその部分の消費エネルギーを削減できる．

以上の利点により低消費エネルギー化が可能である．また，非同期のプロセッサにおいてパイプラインラッチコントローラを制御することでパイプライン段数を削減し，低消費エネルギー化を実現する手法も提案されている⁷⁾．我々の行った評価では，PSU は DVS と比較して 50%以上消費エネルギーを削減できることが明らかとなっている．そのため，本稿ではこれ以降，DVS については議論の対象外とする．

このようにパイプラインステージを統合することにより消費エネルギーを低減する手法がいくつか提案されているが，いずれの手法もパイプラインステージを統合することにより，巨大な組合せ回路ができ，その結果多大なグリッチが発生するという問題点がある．こ

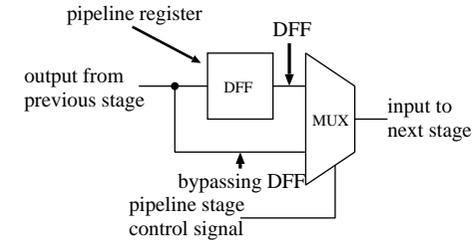


図 2 DFF+MUX

れは，パイプライン統合時に消費エネルギーが増大する一因となり，低消費エネルギー化の阻害につながる．一方，我々の提案する VSP ではパイプラインステージ統合時に増加する組合せ回路内のグリッチを LDS-cell という特殊なセルを用いて緩和している．次節に VSP についての詳細を述べる．

3. VSP (Variable Stages Pipeline) の概要

VSP は PSU と同様にパイプライン段数を動的に変更し，HS (High Speed) モードと LE (Low Energy) モードの 2 つのモードを使いわけることによって低消費エネルギーと高性能の両立を目指す手法である．パイプラインステージの統合はパイプラインレジスタを図 2 のようなユニット (以下，「DFF+MUX」と呼ぶ) に変更することで実現している．DFF+MUX は HS モードでは DFF として動作することでパイプラインレジスタとして動作し，LE モードでは DFF をバイパスすることでパイプラインステージを統合する．

しかし，パイプライン統合には，統合によって組合せ回路が巨大化し，発生するグリッチが増加するという問題点がある．ここで，グリッチとは回路にあらわれる無駄な電気信号の変動のことであり，ゲート遅延，配線遅延のばらつきなどで生じる無駄な信号変化のことである．また，グリッチには一度発生すると次の回路に伝播され，後段の回路ではさらにグリッチが発生するという特徴がある．我々の行った予備評価により，グリッチによる電力消費はおおよそ回路規模の 2 乗に比例することがわかっている．

そこで，VSP では統合するパイプラインステージのパイプラインレジスタを全て DFF+MUX に置換するのではなく，一部を LDS-cell という特殊なセルに置換することでグリッチの伝播を緩和する．LDS-cell は図 3 のような構成になっており，HS モードでは DFF として動作させ，LE モードではラッチとして動作させることによりグリッチの発生

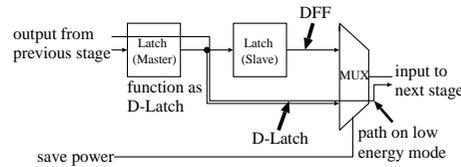


図 3 LDS-cell

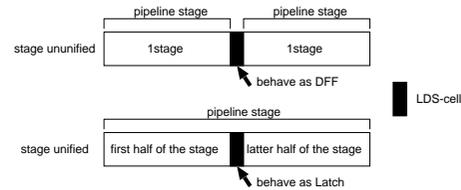


図 4 LDS-cell を導入したパイプラインの動作

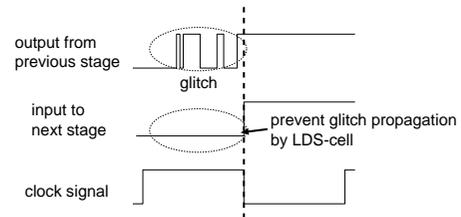


図 5 グリッチの緩和

を緩和する。また、LDS-cell は DFF+MUX と同じトランジスタ数で実装可能という利点がある。LDS-cell はパイプライン統合時において図 4 のような動作をする。

図 5 に LE モード時の LDS-cell によるグリッチの緩和の様子を示す。図 5 で示すように LDS-cell はクロックが High の間は保持している値を出力し、クロックが Low に立ち下ると前ステージの出力を次ステージへの入力とするというように、ラッチとして動作することで組合せ回路の巨大化により増大するグリッチの発生を緩和する。

VSP の HS モードと LE モードのそれぞれの特徴は以下に示す通りである。

HS モード

- 9 段パイプライン構成であり、LDS-cell はパイプラインレジスタとして動作する。

LE モード

- 3 段パイプラインであり、LDS-cell はグリッチの緩和を行う D ラッチとして動作する。また、DFF+MUX では DFF を停止し、MUX で信号をバイパスすることでパイプラインを統合する。
- 周波数を低下させること、バイパスされて使用しなくなったパイプラインレジスタのクロックを止めることから消費エネルギーを削減することが出来る。
- 分岐予測ミスペナルティの低下、データ依存による待ちサイクルの低減により、HS モードに比べ IPC が向上する。

著者らはこれまでに VSP を詳細設計し、トランジスタレベルでのシミュレーションによってその有効性を示している²⁾。

VSP は、パイプライン統合時に PSU では動作を停止させる一部のパイプラインレジスタを LDS-cell として駆動することでグリッチを削減している。そのため、LDS-cell を駆動することによる消費エネルギーの増加がグリッチ削減による消費エネルギーの低減を上回ると消費エネルギーが増加してしまう。特に機能ユニットへの命令が NOP、つまり何もすることがない場合発生するグリッチが少なく、消費エネルギーが増加してしまう公算が高い。

そこで、LDS-cell に関する 2 つの低電力化手法を提案しており⁸⁾、今回の試作チップでもその 2 つの手法を実装している。試作チップでの評価に先んじて 4 節、5 節でそれぞれの低電力化手法について述べ、6 節でそのシミュレーション評価結果について述べる。

4. ベースとなる DFF の改良による LDS-cell の低電力化

4.1 DFF の LDS-cell 化に関する考察

従来の VSP では、LDS-cell に単純な構成のマスタースレーブ型 DFF を用いていた。マスタースレーブ型 DFF は LDS-cell のベース DFF とする際に内部にラッチとしての機能を含んでいるため、LDS-cell が DFF+MUX と同じトランジスタ数で実装可能であるという利点がある。しかしながら、単純なマスタースレーブ型 DFF は消費電力が高いという問題点がある。

一方、高性能セミスタティック TSPC DFF はクロックの前半ステージにラッチ相当の出力をする回路を含んでおり、LDS-cell を実装する際に DFF+MUX と同じトランジスタ数で実装できる。また、単純なマスタースレーブ型 DFF、従来のセミスタティック DFF、従来の TSPC DFF と比較して消費電力が低いことが文献⁹⁾で証明されている。これらの理由から我々は高性能セミスタティック TSPC DFF を LDS-cell を含めたパイプラインレジスタ

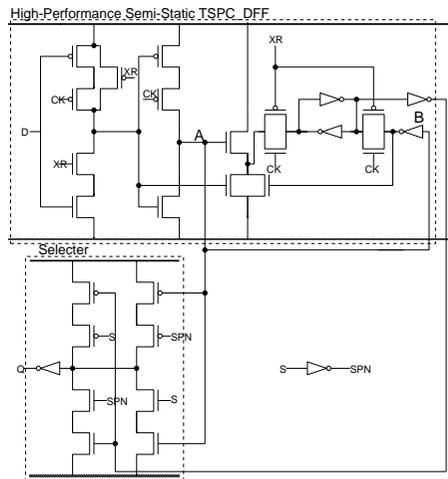


図 6 提案 LDS-cell

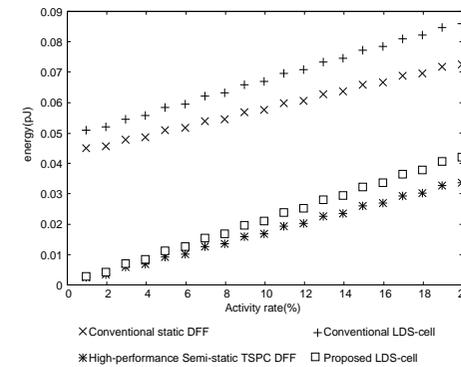


図 7 DFF, LDS-cell 単体評価

タに適用し、VSP を低電力化する手法を提案する．次項では高性能セミスタティック TSPC DFF についての詳細および、LDS-cell への適用方法について説明する．

4.2 高性能セミスタティック TSPC DFF の LDS-cell 化

高性能セミスタティック TSPC DFF の一般的な特徴は以下の通りである．

- クロックの片相のみを使用するので、クロックで駆動されるトランジスタ数が本質的に少なく、低消費電力である．
- クロックが Low レベルの時に定常的にデータを保持できるセミスタティック回路なので、クロックを停止させた場合にデータが消失するダイナミック回路の使用上の制約を解消できる．

以上の利点に加え、LDS-cell に適用する場合には回路内の前半ステージがラッチ相当の回路となっており、LDS-cell が DFF+MUX と同じトランジスタ数で実装できるという利点がある．高性能セミスタティック TSPC DFF を用いて実装した LDS-cell の回路図を図 6 に示す．図 6 から LDS-cell が DFF+MUX と同じトランジスタ数で構成できていることがわかる．

4.3 電力評価

高性能セミスタティック TSPC DFF の消費電力に関する単体評価を行った．評価環境は、

テクノロジーに ROHM0.18 μ m CMOS プロセス、比較対象のマスタースレープ型 DFF および LDS-cell のベース DFF には VDEC 京都大学版ライブラリの ROHM18DFRP010 を用いた．また、消費電力は Synopsys HSPICE を用いて測定した．

一般にクロックの遷移に対するデータの遷移率は低いので、データ遷移率 20%までに対して 500MHz 消費電力評価を行った．その結果を図 7 に示す．図 7 の Conventional static DFF は従来のマスタースレープ型 DFF、Conventional LDS-cell は従来のマスタースレープ型 DFF を用いて実装した LDS-cell、High-performance Semi-static TSPC DFF は高性能セミスタティック TSPC DFF、Proposed LDS-cell は高性能セミスタティック TSPC DFF を用いて実装した LDS-cell である．また、図 7 の縦軸は消費電力、横軸は入力データの遷移率である．図 7 から従来の LDS-cell と比較して改良型 LDS-cell の消費電力は遷移率 5% の時に 20%、遷移率 20%の時に 50%であることがわかる．

VSP の LDS-cell を含めたパイプラインレジスタに高性能セミスタティック TSPC DFF を導入したところ、プロセッサ全体で約 12%消費エネルギーを低減できた．

5. 細粒度クロックゲーティング適用による LDS-cell の低電力化

5.1 概要

現在実装している VSP には、乗除算を行う MDU とそれ以外の演算を行う ALU の 2 つのユニットが実行ステージに存在する．この 2 つのユニットに LDS-cell が導入されており、LE モード時にラッチとして動作することでグリッチの伝播を緩和している．現在の VSP

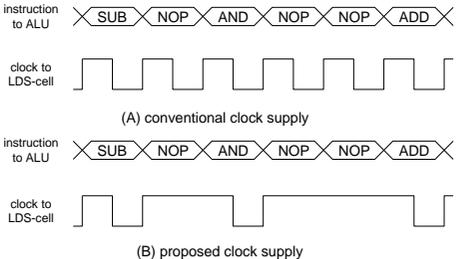


図 8 LDS-cell へのクロック供給の様子

はシングルパイプライン構成で、LE モード時における ALU と MDU の使用率は、アプリケーションによるが、それぞれ使用率が高いアプリケーションで ALU が 90%、MDU が 3%程度である。従来の VSP ではそれぞれのユニットの動作に関わらず毎サイクルクロックを供給している。それぞれのユニットが動作するサイクルでは大量のグリッチが発生し、LDS-cell による消費エネルギー削減効果が LDS-cell 駆動による消費エネルギーの増加を上回る。しかしながら、ユニットが動作しないサイクルではグリッチがあまり発生しないために LDS-cell を駆動する消費エネルギーが無駄になってしまう。そこで、それぞれのユニットが動作しないサイクルでは LDS-cell へのクロック供給を停止する細粒度なクロックゲーティングを行うことで LDS-cell の消費エネルギーを低減する手法を提案する。この細粒度クロックゲーティングは LDS-cell が LE モード時にラッチとして動作するという特性を利用することで簡単に実現できる。次項にその詳細を述べる。

5.2 実装

第 3 節で述べた通り、LDS-cell は LE モードではラッチとして動作する。そこで、ALU と MDU それぞれのユニット内の LDS-cell に与えるクロックを当該ユニットが使用されない時には High で固定し、ユニットが使用される場合にはクロックの後半ステージで Low になるようにクロックゲーティングを行う。従来 VSP の ALU 内の LDS-cell の動作を図 8(A) に、提案する LDS-cell の動作を図 8(B) に示す。図 8 での NOP とは、使用しない実行ユニットに発行される演算無効信号のことである。例えば、乗算命令を行っているサイクルでは ALU に NOP が発行される。逆に、加算命令を行っているサイクルでは MDU に NOP が発行される。図 8(A) のように、従来の VSP ではユニットへの命令が NOP のサイクルでも LDS-cell にクロックを供給している。ユニットへの命令が NOP の場合、値が変化せず発生するグリッチが少ないため、LDS-cell の駆動は無駄になってしまう。そのた

め、図 8(B) のようにユニットへの命令が NOP のサイクルにクロックの供給を停止することで消費エネルギーを削減できる。このことにより、LDS-cell 自体の消費エネルギーに加え LDS-cell を駆動するためのクロックバッファの消費エネルギーを低減することができる。また、この機能はトランジスタ数 80 個以下という非常に小規模なハードウェアの追加によって実現できる。

この細粒度クロックゲーティングを VSP に適用したところ、約 5%消費エネルギーを低減できた。

6. シミュレーション評価

本節では、VSP のシミュレーション評価について述べる。高性能セミスタティック TSPC DFF をパイプラインレジスタとして用いた PSU、2 つの低電力化手法を実装した VSP の 2 つのプロセッサのそれぞれの詳細設計を行い、消費エネルギーについて評価を行う。詳細設計には、論理合成に Synopsys Design Compiler を、テクノロジーには ROHM0.18μm CMOS プロセス、高性能セミスタティック TSPC DFF および、LDS-cell 以外のセルライブラリに京都大学版ライブラリを用いた。また、消費エネルギーは Synopsys Nanosim を用いて測定した。評価において HS モードの動作周波数を 100MHz、LE モードの動作周波数を 25MHz とした。

各モードにおける消費エネルギーの評価結果を、図 9 と図 10 に示す。各図の縦軸はそれぞれの動作周波数の条件下での評価結果において、PSU の値を 1 とした時の消費エネルギー比、横軸は使用したベンチマークプログラムである。各図中の PSU は高性能セミスタティック TSPC DFF をパイプラインレジスタに用いた PSU、VSP は 2 つの提案手法を実装した VSP である。

図 9 は HS モードにおける消費エネルギー比の評価結果である。HS モードでは PSU と VSP は一部のクロックツリーを除き同様の回路となるのでほぼ同等の消費エネルギーとなる。図 10 は LE モードにおける消費エネルギー比の評価結果である。VSP は PSU と比較して 5%~7%程度消費エネルギーを削減している。これは LDS-cell によって発生するグリッチを緩和したためである。この結果から VSP は LDS-cell でグリッチを緩和することにより PSU より消費エネルギーを低減することができるといえる。

しかしながら、このシミュレーション評価では計算量の問題から配線遅延や配線容量を考慮した評価ができておらず、ゲート遅延により発生するグリッチに関する評価のみしか行っていない。そのため、配線遅延や配線容量を考慮した評価を行えば配線遅延やクロストーク

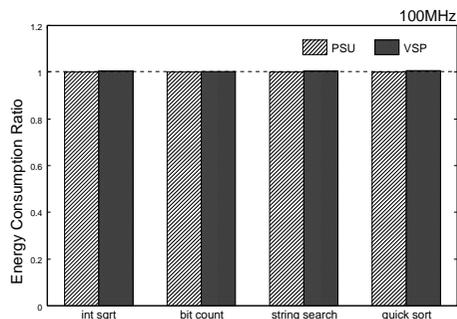


図 9 HS モード消費エネルギー比

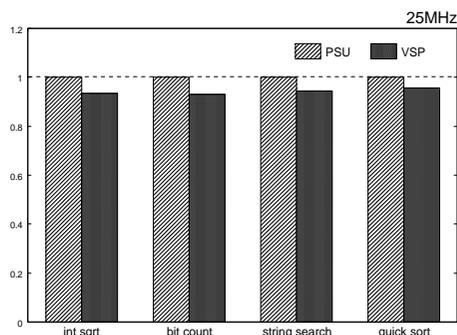


図 10 LE モード消費エネルギー比

ノイズによって発生するグリッチも緩和できるため、LDS-cell の電力削減効果としてより高い効果が期待できる。

そこで、このシミュレーション評価で用いた VSP と PSU のチップをそれぞれ試作した。次節で試作チップでの評価結果について述べる。

7. チップ評価

本節では試作チップでの評価結果について述べる。6 節でシミュレーションを行った PSU と VSP の 2 品種を ROHM0.18 μ m CMOS プロセスを用いて試作した。試作したチップの写真を図 11 に示す。試作チップの評価には京都大学 VDEC サブセンターの LSI テスター

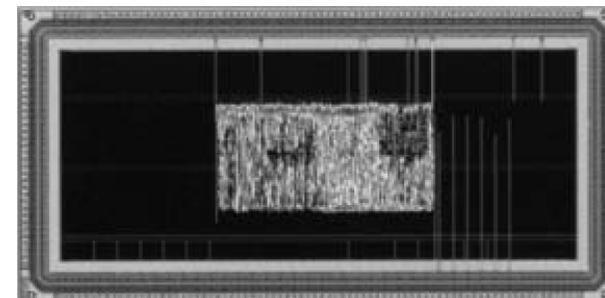


図 11 VSP チップ

表 1 ベンチマーク

ベンチマーク	実行サイクル数	
	HS モード	LE モード
int sqrt	993,228	418,716
bit count	893,898	343,484
string search	748,727	327,529
quick sort	928,966	726,794

HP83000 を用いた。ベンチマークプログラムは MiBench¹⁰⁾ にて配布されているものの中から、整数の 2 乗根を求める int sqrt, long 型の変数中で 1 のビット数を数える bit count, 文字列の検索をする string search, 文字列をクイックソートする quick sort を用いた。また MiBench に含まれる quick sort のアルゴリズムには Newlib¹¹⁾ のものを利用した。表 1 に使用したベンチマークの実行サイクル数を示す。HP83000 で実行できるベンチマークは 100 万サイクルまでなので、今回使用するベンチマークの実行サイクルは HS モード時に 100 万サイクル程度になるよう調整した。

図 12 に VSP チップの LE モードにおける shmoo プロットを示す。図の縦軸は電源電圧を 1.0V から 1.8V までを 0.1V 単位で、横軸はサイクルタイムを 10ns から 50ns まで 1ns 単位でプロットしている。図より VSP の LE モードの動作周波数の上限は 47.6MHz(21ns), 動作電圧の下限は 1.55V であることがわかる。シミュレーション評価において、HS モードでの限界動作周波数は 100MHz であり、LE モードでは最大で 4 ステージを 1 ステージとして統合しているので動作周波数を 25MHz として評価していた。図 12 より、実チップにおいて LE モードは最高で 47.6MHz で動作することが明らかとなった。HS モードでの shmoo プロットについては、シミュレーションでは 100MHz で動作していたが、LSI テス



図 12 VSP チップの shmoos プロット

ターとチップを接続するサブボードの電気的な特性により限界動作周波数が 50MHz 程度となるため、正確な shmoos プロットを作成することができなかった。そのため、本稿では HS モードに関する評価結果の詳細については言及しない。

図 13 に 25MHz で動作させた時の HS モードの消費エネルギー比を示す。図中の縦軸は PSU を 1 として正規化した消費エネルギー比、横軸は使用したベンチマークである。図 13 から PSU と比較して VSP の消費エネルギーは 20%程度低いことがわかる。しかし、本来 PSU と VSP は同等の消費エネルギーとなるはずである。実際、電子回路シミュレータ Nanosim を用いて行ったシミュレーション評価では図 9 に示すようにその差異は 1%未満であった。また、この差異は図 13 に見られるようにベンチマークに依存せずほぼ一定の割合である。ベンチマークに依存しないこと、評価した 10 チップ全てで再現性があることからこの差異は製造ばらつきが原因であると考えられる。その場合、電源電圧を変化させると差異の比率が変化する可能性があるが、PSU と VSP では HS モードと LE モードで電

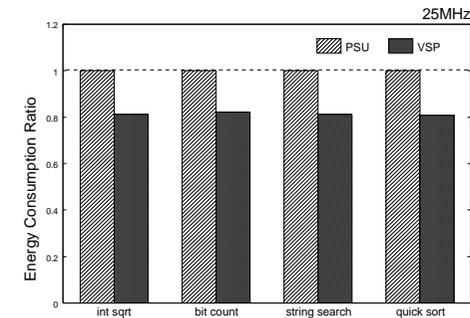


図 13 HS モード消費エネルギー比 (実測値)

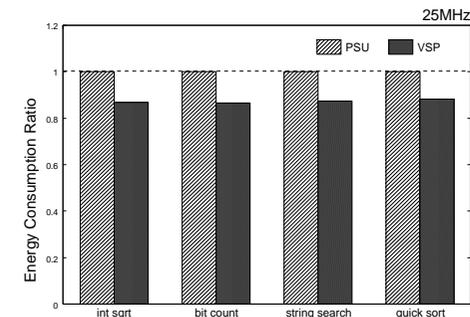


図 14 LE モード消費エネルギー比 (補正值)

源電圧が変化しないので、同じ比率で差異が発生することが予想される。そこで、LE モードでの電力評価では HS モードでの差を補正してその評価を行う。具体的には、HS モードにおいて VSP の消費エネルギーは PSU の約 80%であるので、その比率を LE モードでの PSU の値にかけて、補正を行った上で評価を行う^{*1}。

図 14 に上記補正を行った場合の LE モードの消費エネルギー比を示す。図中の縦軸は HS モードでの差分を基に補正を行った PSU を 1 として正規化した消費エネルギー比、横軸は使用したベンチマークである。図 14 から VSP は PSU と比較して 13%程度消費エネルギー

*1 PSU の消費エネルギーを減少させるので、この補正は VSP にとって不当に有利な結果にはならない

を低減できていることがわかる。図 10 のシミュレーション評価結果で VSP が PSU に対して 5%~7% 消費エネルギーを削減しているのと比較すると VSP がより消費エネルギーを削減できていることがわかる。前述の通りシミュレーション評価では計算時間を現実的な時間に抑えるため、配線遅延や配線容量を考慮した評価を行っておらず、発生するグリッチはゲート遅延を原因とするものに限られる。それに対して、今回の試作チップでの評価では配線遅延やクロストークノイズによって生じるグリッチも緩和できるため、シミュレーション評価と比較して LDS-cell の電力削減効果が高くなる。このように実チップではより大量のグリッチが発生し、その伝播を LDS-cell により緩和できるため、VSP の有用性がさらに高くなるといえる。

また、VSP のベンチマーク実行時の平均電流はシミュレーションでは 7.1mA、試作チップでは 16.7mA となり、試作チップでの電流値が約 2.35 倍となる。このシミュレーション評価との差異の原因については現在原因を調査中である。

8. ま と め

本稿では VSP と PSU の LSI チップを試作し、その電力評価を行った。その結果、LE モードにおいて PSU と比較して 13%消費エネルギーを低減できることが明らかとなった。また、シミュレーション評価結果との比較から、実チップでは配線遅延やクロストークノイズによって発生するグリッチも緩和できるため、LDS-cell でより高い電力削減効果が得られることがわかった。このことから実チップでは VSP の有用性がさらに高まるということが出来る。

今後の研究では、近年モバイルプロセッサでも用いられている 64bit アーキテクチャやスーパースカラアーキテクチャに VSP 手法を適用していく予定である。これらのアーキテクチャでは回路がより複雑かつ大規模になるため、さらに大量のグリッチが発生し、LDS-cell のより高い電力削減効果が期待できる。

謝辞 本研究の一部は科研費補助金 (19700042) の援助を受けている。また、LSI 設計は東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、日本ケイデンス株式会社、メンター株式会社の協力で行われたものである。本チップ試作は東京大学大規模集積システム設計教育研究センターを通し、ローム (株) および凸版印刷 (株) の協力で行われたものである。

参 考 文 献

- 1) J. Pouwelse, K. Langendoen, H. Sips, "Dynamic Voltage Scaling on a Low-Power Microprocessor", 7th ACM Int. Conf. on Mobile Computing and Networking (Mobicom), pp.251-259, July 2001.
- 2) 市川 裕二, 佐々木 敬泰, 弘中 哲夫, 谷川 一哉, 北村 俊明, 近藤 利夫, "可変パイプラインを用いた低消費エネルギープロセッサの設計と評価", 情報処理学会論文誌. (コンピューティングシステム) Vol.47, pp. 231-242, 2006 年 5 月
- 3) Takahiro Sasaki, Yuji Ichikawa, Tetsuo Hironaka, Toshiaki Kitamura and Toshio Kondo: Evaluation of Low Energy and High Performance Processor using Variable Stages Pipeline Technique, IET Journal of Computer and Digital Techniques, Vol.2, No.3, pp230-238 (2008/4).
- 4) 嶋田 創, 安藤 秀樹, 島田 俊夫, "パイプラインステージ統合: 将来のモバイルプロセッサのための消費エネルギー削減技術", 2003 年先進的計算基盤システムシンポジウム SACSI2003, pp.283-290, 2003 年 5 月
- 5) Hajime Shimada, Hideki Ando, and Toshio Shimada, "Pipeline Stage Unification: A Low-Energy Consumption Technique for Future Mobile Processors", The International Symposium on Low Power Electronics and Design 2003, pp.326-329, August 2003.
- 6) Koppanalil, J., Ramrakhiani, P., Desai, S., Vaidyanathan, A. and Rotenberg, E., "A Case for Dynamic Pipeline Scaling", Proc. of Int. Conf. on Compilers, Architecture, and Synthesis for Embedded Systems 2002, pp.1-8, 2002.
- 7) Efthymiou, A. and Garside, J. D., "Adaptive Pipeline Depth Control for Processor Power-Management", Proc. of Int. Conf. on Computer Design 2002, pp. 454-457, 2002.
- 8) 小林 智之, 佐々木 敬泰, 大野 和彦, 近藤 利夫, "VSP プロセッサ用パイプラインレジスタ (LDS-cell) の低電力化手法の提案と評価", 情報処理学会研究報告, vol.2009-ARC-184, No. 12, pp. 1-9, 2009
- 9) 草場 律, 近藤 利夫, "高性能セミスタティック TSPC DFF の検討" 電子情報通信学会論文誌 C Vol.J81-C2 No.5 pp.469-476, 1998 年 5 月
- 10) MiBench. <http://www.eecs.umich.edu/mibench/>
- 11) Newlib. <http://sourceware.org/newlib/>