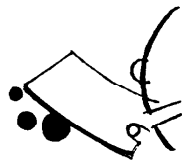


報告

電子装置のCAD (3)†

—実装設計自動化技術の最近の動向—



電子装置設計技術研究委員会

1. ま え が き

電子装置や LSI の設計において、回路設計終了後部品の配置や配線などを決定する過程を実装設計と呼び、この段階を自動化することは、電子装置や LSI の複雑化とともに急激に重要性を増している。この分野の技術動向の調査報告としては、昭和 48 年の本学会計算機設計自動化研究委員会報告があるが、その後の技術動向について、本学会電子装置設計技術委員会において調査活動を行った(昭和 52, 53 年度)。本文はその概要の報告である。

昭和 48 年以来、実装設計の自動化技術に関しては、算法の評価と改良、実用的システムの開発などを主とした活発な研究が行われ、現在では電子装置や LSI の設計に不可欠な技術としてほぼ定着したと言える。実装設計の自動化技術としては、電子装置の PWB (プリント基板)の場合と LSI (大規模集積回路)の場合とでは多少異なる面があるが、図-1 に示すように、論理分割、ゲートおよびピンの割りつけ、配置、配線、設計チェックおよびアートワークデータ処理に分けることができる。以下では、これらの各段階について算法とプログラム例を述べ、さらに実装設計の自動化に用いられるハードウェアシステムの構成について述べる。(吉田憲司: 日電東芝(株))

2. 論理分割

2.1 分割問題

論理分割とは、ある与えられた論理回路の集合を、LSI, PWB といった実装単位 (モジュール) へ割付ける問題である。いま、分割すべき論理回路の集合を A 、分割の条件パラメータ C_i に対する制限値を C_i^{\max} とするとき、分割問題は、

$$C_i(P_i) \leq C_i^{\max} \quad i=1, 2, \dots, n$$

を満足するような集合 A , $A = \bigcup_{i=1}^n P_i$ の部分集合 P_i を求める問題として定式化される。ここで、 $C_i(P_i)$ は、ある P_i に対しての C_i の値を示す。

一般に、分割問題にて考慮する必要がある条件パラメータとしては、(i)モジュールの回路収容スペースおよび外部接続端子数などの物理的制約、(ii)モジュールの汎用度などのコスト上の制約、(iii)伝播遅延時間、発熱などの回路特性に依存した制約、(iv)保守およびテストの能力などに依存した試験上の制約、などがある。

これらの制約条件のすべてを満足するような分割問題の解を、計算機処理のみによって得ることは、巨大な組合せ問題を解くこととなり、実際には不可能に近い。そのため、今日までに報告されている自動分割の

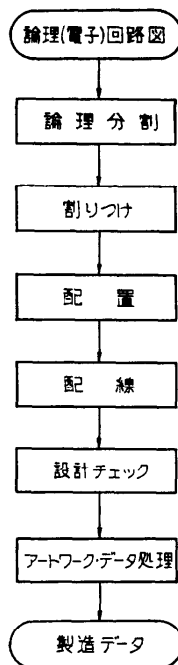


図-1 実装設計の流れ

† Computer Aided Design of Electronic Equipments (3) — The Recent Trends of the CAD Technology in Physical Design— by Research Committee on the Design Technology of Electronic Equipments

算法は、その殆んどが一つ若しくは二つのパラメータに限定したもので、中でも特に (i) のパラメータを考慮したものが多い。

つぎに、代表的な分割算法について簡単にその概要を紹介する。詳しくは、参考文献を参照していただきたい。

2.2 代表的な分割算法

(1) 最大結合-最小非結合 (Max. Conjunction-Min. Disjunction) 法²⁾

この手法は、まず、グループの核とすべき回路を一つ抽出する。つぎに、残りの回路の中から、スペースと外部端子数の制限を満足し、かつグループと最も結合の強い回路を順次選び、グループへ割付ける。制限を越えたら、そのグループの生成を終了し、つぎのグループの核を残りの回路から抽出して、同様の過程を繰返す。

(2) クラスタ (Cluster) 成長法

この手法は、前記の手法の分割過程が順序的である点を改善したもので、はじめに“シード (seed)”とよばれる回路を目的とする分割数だけ抽出する。つぎに、この“シード”をグループの核として、残りの回路を最も結合の強いグループへ並列的に順次割付けて行く手法である。

(3) マッピング (Mapping) 法³⁾

この手法は、機能グループの作成と機能グループの割付の二つの処理からなる。まず、一つのプライマリ出力または記憶回路の出力端子からバクトレースを行い、すべての分岐の先端がプライマリ入力もしくは他の記憶回路の出力端子へ到達するまでの範囲に含まれる回路の部分集合を一つの機能グループとして、すべての機能グループを求める。機能グループのモジュールへの割付は、前述のクラスタ成長法と同様であるが、割付単位が回路ではなく、機能グループである点が異なる。このような手法では、一つの回路が重複して複数のモジュールへ割付けられるが、Russo²⁾はこのような分割をマッピング、重複を許さない分割をパーティショニング (Partitioning) と定義している。

(4) ペア交換法³⁾

この手法は、前述の三つの手法が、初期分割的な性格をもっているのに対し、繰返し改善的な性格をもっている。まず、適当に初期分割されたグループ間で、互に交換することによってグループ間の接続本数が減少するような回路のペアをすべて求める。つぎに、求めた交換候補のペアの集合から、最大の減少をもたら

すペアの部分集合を抽出し、これを交換する。この過程を、改善が得られなくなるまで繰返す。

2.3 最近の動向と今後の問題

先にも述べたように、すべての制約条件を満たすような分割問題の最適解を、計算機処理のみによって得ることは、実用的な面から非常に難しい。そのため、実際の論理分割の作業は、その殆んどが人手によって行われているのが現状である。しかし、最近、効率よく分割作業を行う試みとして、人間のもつ総合的な判断力と計算機のもつ高速処理能力とを効果的に融合した、いわゆるグラフィック・ディスプレイなどを利用したインタラクティブなアプローチなどが報告されている⁴⁾。

以上、分割問題についてその概要を簡単に述べたが、テクノロジーの進歩による LSI, PWB, さらに装置の大規模化に対して、分割という概念が、単にモジュールへの割付けという範ちゅうにとどまらず、配置をはじめテストその他の関連する問題^{6),7)}においても、今後ますます重要な役割を果すようになると思われる。

(浜村博史：富士通(株))

3. 割 付 け

3.1 割付け問題

割付けとは、論理分割された論理を更に低レベルの論理機能単位の集合にまとめる作業である。論理機能単位としては配置の基本単位が用いられ、その例として PWB 上の IC, LSI 内のブロックなどがある。この作業はゲート割付けと呼ばれているが、他に IC やブロックのピンおよび PWB, LSI の外部接続用ピンを配線の交差が少なくなる様に選択するピン割付けがある。

これらの割付け問題は配置・配線処理と密接に関連しており、ゲート割付けは配置の初期プロセスと考えられ配置が進むにつれ割付けの変更(再割付け)が行われるのが一般的である。また、ピン割付けも配線の進行とともに配線の容易性を考慮して再割付けが行われる場合もあり、配線処理の一部として議論されてきたケースも多い。

3.2 割付け算法

3.2.1 ゲート割付け

ゲート割付けは、論理分割と非常に類似した処理であるが、PWB の例によりその相違点を明らかにする。論理分割では、与えられた論理を PWB 単位に切り出すのに対し、ゲート割付けではまず IC の論理構造を

ライブラリ化しておき、与えられた論理ゲートを数個のゲートの集合にまとめて最もそれに適した IC をライブラリ中より選択・決定するものである。すなわちゲート割付けはライブラリ中の IC を適当に選び出して与えられた論理を構成しなければならないが、論理分割では PWB 内に収まれば自由に論理をまとめる事が出来る。この様にゲート割付けは強い制約条件の付いた論理分割と考える事もでき、その算法も論理分割と同様のものが用いられる。

(1) 最大結合-最小非結合 (Max. Conjunction-Min. Disjunction) 法

論理分割と同様に結合度の高い素子同志をまとめるものである。割付けでは結合度の尺度として (a) ゲートの共通入力個数と共通出力個数の和のみとしたシンプルなもの⁹⁾⁻¹⁰⁾。(b)ゲート間の入出力関係の他に PWB のエッジピンとの接続関係・負荷数などを用いたもの¹¹⁾。(c)他のゲートを介した間接接続関係も考慮したもの¹²⁾がある。

(2) クラスタ成長法^{13),14)}

クラスタ成長法は最初に核 (Seed) を作成し、次にその核のまわりに IC 又はブロックの許容ゲート数に達するまで結合度の強いゲートを包含してゆくものである。

(3) その他

ゲート割付けの変形として、設計上の諸条件を考慮してゲートのタイプを変換する算法^{15),16)}も提案されている。

3.2.2 ピン割付け

ピン割付けは、与えられた論理接続情報と矛盾しない様にピンを割付けるものであり、その目的は配線率の向上である。

(1) 外部ピン割付け

配線を出るだけ簡単にするため、ゲートのピンとそれに対応する外部ピンの間を直線で引いた時に交差が起らない様に外部ピンを割付ける。割付け法¹⁷⁾は、各ネットごとに最も具合良く割付け出来る外部ピンの候補リストを作り、候補ピンの最も少ないネットより順次外部ピンを割付けするというものである。候補ピンの中から最適なピンを選ぶ際に、ネットの広がり小さいものから順次割付ける方法⁹⁾もある。

(2) 内部ピン割付け

内部ピン割付けの目的は、配線の交差を少なくすることと配線長を短くすることである。この目的を

達成するために IC 又はブロックのピンを決定する。注目している IC のピンとそれに接続される点をベクトル表示してベクトルの要素を対応させる方法¹⁸⁾やベクトルに優先度を与えて処理時間を短縮する方法¹⁹⁾、ネットの広がり考慮した接続点を領域に分けて、割付ける順序を工夫した方法²⁰⁾また、MOSLSI ではブロックの配置方向を最も交差の少ない方向に選ぶ方法²¹⁾等が報告されている。

これらの手法は IC またはブロック単位にピン割付けを行っているが、割付け可能ピンの全体とネットの全体から、PWB 上の同一 X, Y 座標の接続区間が多くかつ PWB 上全体に均一となる様な評価法を用いているもの⁹⁾もある。

(池本康博：(株)日立)

4. 配置

4.1 配置問題

実装設計の一段階として、部品の配置を定める作業がある。最も基本的な配置問題は、同じ大きさの IC を PWB 上に並べる場合である。配置の良し悪しは、引続いて行われる配線作業において配線が不都合なく引けるか否かで決まるのであるが、これを前もって評価しようとする、問題が複雑になりすぎる。そこで近似的な配置の評価基準として通常仮想配線長の総和 (図-2 に示す方法で仮想的に配線径路が定められる) が用いられる。最近の動向としては、カットラインを横切る配線数²²⁾、セル境界を横切る配線数²³⁾なども用

① 重み付け 完全グラフ		端子数を n とすると、完全グラフの各枝に例えは $2/n$ の重みを付加する。
② 最小 スパンニング木		端子以外の点では、配線を分岐させないで、最小の長さで結ぶ。
③ スタイナー木		端子以外の点でも配線の分岐を許して最小の長さで結ぶ。
④ 最小矩形の 周囲長		端子を囲む最小矩形の2辺の和 ($a + b$) 又はその半分も配線長とする。
⑤ 一筆書き		一筆書きの径路を配線長とする。始点又は終点を指定することもある。

図-2 配置の評価に用いる仮想配線径路を定める方法

いられている。

上に述べた基本的な配置問題の変形として次のものがある。

- (1) 1次元配置 バックボード上の PWB の配列, 1次元 MOS ゲート列²⁴⁾, MOSLSI ビルディングブロックレイアウトの一つのブロック列内のブロック配置²⁵⁾などで問題になる。
- (2) 2次元不規則配置 SSI, MSI, LSI が混在する PWB, ディスクリット部品を含む民生用 PWB, ROM を含む LSI チップ内などでは, 部品の大きさがばらばらで, 配置問題は複雑になる。

4.2 配置算法

次のものが組合せて用いられる^{26), 27)}。

4.2.1 構成的配置法

- (1) ランダム法 (Random Method) ランダムに配置を定める。繰返し改良の初期配置を与える。
- (2) ペアリンキング法 (Pair-Linking Method) 既に配置済みの部品とこれに最も多く接続している部品との対を選び, 近くに配置する方法。
- (3) クラスタ成長法 (Cluster-Development Method) 既に配置済みのすべての部品と, 最も多く接続している部品を選び, 最も良い位置に配置していく方法。
- (4) 重心法 (Force Placement Method)²⁸⁾ 互に接続されている部品間に張力を考え, ある部品に対する他の部品からの張力の合成ベクトルが零となる位置 (重心) に部品を配置する方法。

4.2.2 繰返し改良法

- (1) Steinberg 法 直接接続していない部品の集合を取除き, これらの部品の可能な配置のうち最適なものを採用して再配置する方法。
- (2) ペア交換法 (Pairwise Interchange Method) 二つの部品を交換して繰返し改良をはかる方法。交換する二つの部品の選び方としては, ランダムに選ぶ, 総当りの的に選ぶ, 近傍のものを選ぶ, 重心方向のものを選ぶなどがある。
- (3) 反復重心法 (Force Directed Relaxation Method) ある部品をその重心へ移動する。目標点に部品があればそれを追い出し, 次に追い出された部品の重心を求めそこに移動する。この操作を繰返す方法をいう。変形として, 部品 A の目標点近傍の部品を B とし, B の目標点が A の近傍にあれば交換する方法 (ペア単位反復重心法 Force Directed Pairwise Relaxation Metho-

表-1 配置プログラムの例

システム名 (作成)	対象	問題	配置の評価	配置算法
NOMAD ²¹⁾ (BTL)	PWB	規則的 2次元配置	総配線長 (最小スパンニング木)	クラスタ成長法, ペア交換法
		不規則的 2次元配置	総配線長 (最小スパンニング木)	重心法
— ¹⁴⁾ (シャープ)	PWB	規則的 & 不規則的 2次元配置	総配線長 (最小スパンニング木)	グルーピング クラスタ成長法 ペア交換法 反復重心法
IPLACE ²²⁾ (RAYTHE- ON)	セラミック基 板	規則的 2次元配置	総配線長 (最小スパンニング木), ラインを横切る配線数	ランダム法 ペア交換法 Steinberg 法
— ²³⁾ (IBM)	マスタスライ ス LSI	規則的 2次元配置	セル境界を横切る配線数	ペアリンキング 法 ペア交換法
— ²³⁾ (日立)	マスタスライ ス LSI	規則的 2次元配置	総配線長	ランダム法 ペア交換法
LTX ²⁴⁾ (BTL)	ビルディング ブロック LSI	規則的 2次元配置	総配線長 (最小矩形の周囲長)	クラスタ成長法 ペア交換法
BLOOM ²⁴⁾ (NEC)	MOS ゲート 列	1次元配列	配線チャネル 数	ランダム法 クラスタ成長法 ペア交換法

d)がある。後者の方法が繰返し改良法の中で最も良いという実験結果が報告されている²⁷⁾。

4.2.3 その他

最近では, 1次元配置をインターバルグラフを利用して解く手法²⁹⁾, ラフな人手設計図面をもとにチップ面積を小さくするように部品をつめる方法³⁰⁾, 大規模レイアウトのための階層的レイアウト法⁶⁾などが注目される。

4.3 配置プログラムの例

最近発表された配置プログラムの例を表-1に示す。
(可児賢二:日電(株))

5. 配線

5.1 PWB 設計における配線算法

PWB の自動配線は高密度実装, 多品種・少量生産の要求から一段と重要性を増しており最近種々の設計システムが開発されている。この中で配線算法のみに注目すると基本的には特に新しい算法が開発されたわけではなく, むしろ従来の算法をいかに効率的に用いて実用システムを実現するかが問題となっている。本節では配線算法における問題点と現状を概説する。

5.1.1 経路探索の準備

経路探索に先だって考慮すべき一連の準備として

- (1) 多端子ネットにおけるピンペア (pin pair) の決定問題

(2) 多層基板におけるピンペアの層への割付け問題

(3) 各層(又は1対の層)内で配線すべきピンペアの処理順序の決定問題

などがある。いずれも配線率を左右する重要な問題であるが最近には特に新しい報告はなく文献^{35),36)}などを参照されたい。

5.1.2 経路決定の算法

経路決定の算法は古くから研究され、多くの算法が開発・改良されているがここでは代表的なものについて概説する。

(1) 迷路法

迷路法とは、未接続端子中の1点を出発点として基板上の到達可能な格子点を順次探索し、探索領域を波状的に拡大して目的格子点に至る経路を見い出そうという算法であり Lee のアルゴリズム³⁷⁾はその代表的な例である。この算法の特徴はある配線状況の下で一つの未配線ネットに着目した時、経路が存在すればその最短なものを見出すが反面探索速度が極めて低いことである。そこでスピードアップのために各種の改良がなされている。たとえば、

- (i) 波状的な探索を極力抑え、目的格子点に向けて方向付けをした探索手順を用いる^{38),39)}。
- (ii) 探索の出発点として1点のみでなく、2点から同時に探索をおこなう⁴⁰⁾。
- (iii) 探索領域をピンペアを囲む最小矩形領域より少し広い矩形領域内に限定する⁴¹⁾(フレーミング(framing)という)
- (iv) 出発点の注意深い選択により無駄な探索を減らす⁴¹⁾。

などである。迷路法のもう一つの欠点は計算機メモリが多量に必要なことである。そこでメモリ節約の効果的な改良も提案され⁴¹⁾広く用いられている。又この算法は当初1層用であったが多層化への拡張も種々研究されている^{42),43)}。しかし迷路法は高速処理に向かないため次に述べる高速処理に向けた線分探索法と組み合わせることにより両者の特徴を生かすのが得策である。

(2) 線分探索法

迷路法が格子点を波状的に探索するのに対し、線分探索法は水平、垂直線分単位で探索する算法の総称であり二つの流れがある。一つは、結線すべき端子対の各々から引き得る水平、垂直線分およびこれらの線分からスルーホールを用いて引き得る垂直、水平線分を

順次探索して、それらの線分で経路が構成されるかどうかを調べていくものであり^{44),45)}、他方は、他のネットの配線経路を障害物とみなし、これらの障害物で囲まれた領域からなるべく早く脱出する線分を両方向から順次見出し出してそれらの線分で経路を構成しようとするものである⁴⁶⁾。現存する配線システムは国内では前者を、米国では後者を主として採用しているのは興味深い。この算法は高速処理が可能であるが、生成しうる経路にプログラム上制限がある。このため、たとえば迷路法の前段に適用するのが有効である。

(3) パターン限定法

探索する経路のパターンを限定し、特定の経路しか探索しないため処理時間は極めて短く配線処理の初期の段階、たとえば電源・アースなどの幹線とそれに属するピンとの接続に用いるのが有力である。

(4) その他の算法

LSIの配線問題に広く用いられるチャンネル割当法⁴⁷⁾は標準化の進んだPWBには有効である。又、障害となる経路を一旦取除いて配線を進めていく算法⁴⁸⁾や、層割付け、ピンペアの決定なども経路決定段階に同時に考慮するダイナミックな算法もある。

以上、経路探索算法についての概説をしたが詳細は文献(35), (49)を一読されたい。最後に本節をまとめるにあたり文献(36), (50), (51)の記述を参考にさせて頂いたことをお断りする。(西岡郁夫: シャープ(株))

5.2 LSI設計における配線

LSIの配線自動化は対象回路規模の増大に伴い、重要性が次第に増している。LSI配線はPWB配線の算法を応用しつつ発展してきた。しかし i) PWB配線で使えたジャンパ線が使えないため、100%結線を確実に実現しなければならない、ii) 歩留り向上のために配線面積を小さくしてチップ面積を最小にする、などのLSI特有の条件があり、このための算法や運用法の改良が提案されている。

5.2.1 配線算法

代表的な算法として迷路法、線分探索法、チャンネル割当法が挙げられる。前二者はPWB配線で用いられている算法と同じであり、用意されている配線領域が固定のマスタスライス(M/S)方式LSIで多く採用されている。後者のチャンネル割当法はチップ全面を分割して、配線領域単位の部分問題の組とする処理手法である。簡単な例では矩形の配線領域の上下辺に接続すべき端子が並べられており、配線領域の高さを極力低くするように線分を適切な位置に割付けて経路を作成す

る。配線領域が可変のビルディングブロック方式 LSI で多く用いられ^{53), 54), 55)}, 100% 結線を実現している。ほかに M/S 方式 LSI⁵⁶⁾, マルチチップ LSI⁵⁷⁾の例がある。このチャンネル割当法では問題が小規模となるためミニコンを使った例^{58), 59)}も報告されている。

5.2.2 運用例

(1) 算法の組み合わせ

高速処理の線分探索法を前段にし、未結線部を迷路法で探索する例⁶²⁾が多い。

(2) グローバル割当

大規模チップでは配線の集中により未結線が生じ易い。この対策として予め各系列の概略経路を均等に割当てておき、詳細配線をその制約下で行う。M/S方式 LSI で線分探索法⁵⁹⁾, 迷路法を用いた例がある。

(3) その他

結線率向上策として、未結線の場合にその原因となった配線を削除し、再配線する手法³⁹⁾, X方向に二つの層, Y方向に一つの層を割当てた3層配線⁵⁹⁾なども用いられる。設計時間の短縮策として, M/S方式 LSI のようにスルーホール位置選択だけ⁶⁰⁾, あるいは第2層配線とスルーホールだけ⁶¹⁾で経路を決定する例もある。

5.2.3 配線プログラムの例

最近発表された LSI 配線プログラムの例を表-2 に示す。(大津一弘: 沖(株))

6. 設計のチェックとアートワーク・データ処理

設計の最終段階で用いられるプログラムとして、設計過程で生ずる可能性のある各種のミスを自動的にチェックするプログラムと PWB や LSI の製造に用いられる各種自動製図機や工作機械の駆動データに変換するプログラムがある。前者を設計チェック・プログラム、後者をアートワーク・データ処理プログラムと呼び、本節ではこれらについて述べる。

6.1 LSI の設計チェックとアートワーク・データ処理

6.1.1 設計チェック

チェック機能は次の三種に大別できる。

(1) 幾何学的チェック^{63), 64)}……最小幅, 最小間隔などのような幾何学的設計規則の違反の有無をチェックするものである。基本的には近接するすべての図形どうしで、各辺の位置関係を調べれば良いが、LSI の場合、パターン数が多いので計算機

表-2 LSI 配線プログラムの例

システム名 (作成)	対象	グローバル割当	算法	特色
LTX ⁵³⁾ (BTL)	ビルディング ブロック LSI	有り	チャンネル割 当法	ミニコンで運用
(IBM) ⁵⁴⁾	マスタスライス LSI	有り	チャンネル割 当法	
MARC ⁵⁵⁾ (通研他)	マスタスライス LSI	有り	線分探索法	
(三菱) ⁵⁶⁾	マスタスライス LSI	有り	チャンネル割 当法	第2層とスルーホ ールで経路作成
LILAC ⁵⁷⁾ (日立)	ビルディング ブロック LSI	有り	チャンネル割 当法	
(日立) ⁵⁸⁾	マスタスライス LSI	無し	迷路法	再配線機能

時間を短縮するための算法が必要である。

(2) 回路接続チェック^{62), 66), 69), 71), 73)}……素子あるいは配線の欠落や誤配線の有無をチェックするものである。このためには回路接続情報に関連づけた配置・配線情報が必要であるが、データベースからこれらの情報が得られない場合は、パターン・データを解析してこれらの情報を得るための算法が必要となる。

(3) 電気的特性チェック^{65), 72)}……素子寸法の誤りや配線浮遊容量などの寄生効果により、所期の電気的特性が得られない場合があるが、これを事前にチェックするために、パターン・データから回路パラメータを自動算出し、回路シミュレーションを実行する試みがある。この場合にも、データベースによっては(2)と同様の問題がある。

また、これらのプログラムの用いられる環境としては、特定の設計システムの一部として用いられる場合^{66), 69)}と、独立した汎用チェック・プログラムとして用いられる場合とに分けられる。前者の場合は、例えばブロックと配線中心線という様にデータが簡略化されており、問題の規模が小さくなっていることと、回路接続情報も与えられることが多いことから、一般に計算機時間も短くてすむ。後者の場合は、多量のマスク・パターン情報のみをもとにチェックするので、一般に計算機時間が長い。パターンの表現のしかたを、矩形のみ⁶³⁾とか 45°に限定したパターンのみとかに制限することにより処理の簡単化を図ることも多い。その他の場合として、インタラクティブ設計システムの中で、指定したパターンについてのチェックを目的としたものもある⁷²⁾。

6.1.2 アートワーク・データ処理

LSI の場合、自動製図機としては、ペンプロッタ、光を用いたパターン・ジェネレータおよび電子ビーム

描画装置が多く用いられる。パターン・ジェネレータへのデータ変換では、任意のパターンを基本図形である矩形に分割する処理と製図時間を最短にするようにデータをソートする処理が重要である。電子ビーム描画装置の場合は、基本図形を台形とした同様の処理が必要な他、装置あるいは必要精度によっては、図形の近接効果や各種ひずみを補正する処理などが必要となる⁷⁴⁾。ただし、これらは電子ビーム描画装置の付随プログラムとして用意される場合も多い。

6.1.3 基本算法

設計チェック・プログラムでは、二図形の合成処理⁷⁵⁾や位置関係チェックなどの算法とともに、すべての隣り合う、あるいは重なりを持つ二図形を列挙する算法が、計算時間短縮のために重要である。この算法としては⁶⁷⁾、

- (1) 領域を分割した後、総当り式に調べる方法、
- (2) 代表点の座標でソートした後、近接した図形どうしを調べる方法、

などが用いられる。(2)の方法はさらに、基本閉図形単位でソートする方法^{62), 68)}、線分に分解してソートする方法⁶⁷⁾、点に分解してソートする方法⁷⁰⁾などに分れる。

パターン・ジェネレータ用データ変換では、任意多角形を矩形に分割する処理が重要であるが、公表された算法は少ない⁷⁶⁾。また、電子ビーム描画装置特有の処理算法としては、最近実用的な計算時間内で十分な精度の補正を行うための算法の研究が盛んである^{74), 75)}。

(吉田)

6.2 PWB の設計チェックとアートワークデータ処理

PWB の設計チェックは、基本的には LSI と同じまたは同種の手法が使われるが、回路接続および電気的的条件に関するチェックが重視されており、具体的には次のような不具合箇所の検出が CAD プログラムにより行われている⁷⁹⁾⁻⁸³⁾。

- (1) 論理との不一致、余分なパターン・ホール、異なるネット間の短絡、未配線区間
- (2) 設計禁止領域内のパターンおよびホール
- (3) 線長(一筆書き、分岐)・平行線長およびファンイン、ファンアウトの制限オーバー
- (4) パターン幅およびパターン間、パターンとホールの間隔不良

(1)~(3)に関しては PWB 固有およびそれが実装されるシステム特有の問題が多く一般的な処理算法

は開発されていない。(4)については LSI と同様の手法が使用されており市販のスタンドアロン CAD システムでは共用している場合もある。しかし一般に計算時間が N^2 (N =パターンセグメント、ホールの総数)に比例するため大規模な PWB になると計算時間がかかり過ぎる。その短縮のために個々の線分間の距離計算の前に、その対象を含む最小矩形⁷⁷⁾、あるいは最小円⁷⁸⁾を設定しその間の近似計算で粗チェックを行うテクニックが報告されている。アートワークはフォトリソによる作画、またはピーリングフィルムのカッティングにより作成されるが、その入力データの作成時には作画ヘッドの無駄な動作が生じないように配慮される。(上野靖彦:三菱(株))

7. CAD システムのハードウェア構成

7.1 PWB 用 CAD システム

本節では PWB 設計用の CAD システムについてシステム構成の面から考察する。これらのシステムは概ね次のように分類される。

- (1) デジタル・システム
- (2) 会話型修正システム
- (3) 会話型自動配線システム
- (4) 大形電算機による自動設計システム

歴史的には電算機メーカーにおいて大形電算機による自動設計システムがまず出現し、論理設計、論理分割、割付、配置、配線、設計検査、アートワーク、ボードテストなどを包含する一貫した設計システムとして自社内で実用されている。一方基板メーカーを中心に製造工程の機械化を目的としてデジタル・システムが実用され、その機動性向上のためにグラフィック・ディスプレイによる会話型修正システムが採り入れられるという過程を経て来た。この形態は配線設計作業が人手に委ねられており自動設計システムの範ちゅうでは論じられないが民生用プリント基板に対しては当分の間このタイプが主流になると思われる。また、経路探索プログラムは大形電算機で、配線修正はミニコンによる会話型という折衷型のシステムも一部で実用されている。ところが最近のミニコンコンピュータの高性能化にささえられて経路探索プログラムもミニコンにインプリメントし、グラフィック・ディスプレイによる配線修正機能もあわせ持つ自立型(スタンドアロン)の会話型自動設計システムが種々開発されるに至り⁸⁴⁾⁻⁸⁶⁾、やっと広く一般に活用される実用段階に入ったと考えられる。これらのシステムには二つの流れが

ある。その一つは LSI マスクパターン用の会話型システムを土台とし、それに自動配線プログラムを付加して PWB 用 CAD システムを一つのアプリケーションとして発展させたものであり、他方は自動配線プログラムを中心として開発し、これに基板設計用に会話型機能を付加して PWB 専用の設計システムとしたものである。いずれにしてもその評価をする上で重要な問題点を列挙する。

- (1) ハードウェアの信頼性
- (2) 配線処理能力
 - (i) 配線速度と配線率
 - (ii) 配線仕様の多様性(多層の自動配線が可能か、IC ピン間に複数配線が扱えるかなど)
- (3) 部品の自動配置処理など周辺ソフトの能力
- (4) 会話型修正能力
- (5) データファイルの管理能力
- (6) データチェック能力

などである。最後に現在市販されている主な設計システムについて LSI 用 CAD システムとをあわせ表-3に示した。(西岡)

7.2 LSI 用 CAD システム

7.2.1 概 説

LSI の設計にも PWB の設計と同様に種々の周辺装置が用いられている。特にグラフィックディスプレイは比較的早くから利用されており、1966年には United Aircraft 社においてオンライン結合されたグラフィックディスプレイシステム (CADIC)⁸⁷⁾ が開発された。その後、種々の会話型グラフィックディスプレイシステムが発表されており、LSI の設計にグラフィックディスプレイは不可欠であるといっても過言ではない。

本節ではグラフィックディスプレイを用いた会話型のレイアウト、アートワークシステムについて主として最近の動向を概説する。(1971年頃までの動向は文献 2) を参照されたい。)

グラフィックディスプレイシステムは当初大形計算機とオンライン接続された形態が多かったが、この方式は、大形計算機を専有するため計算コストが高かつくので、ミニコンピュータを中心とした安価なシステムに移行してきた。しかし集積度の増大につれてミニコンピュータの処理能力では満足できなくなり、最近では再び大形計算機との結合システムが復活してきている。この背景には、TSS やリモートジョブエントリ方式等の計算機利用技術の進歩と高度化があると考えられる。

表-3 PWB, LSI 用市販 CAD システム

会社名	国籍	CPU	CRT の種類	適用範囲	
				LSI	PWB 自動自動 配置配線
APPLICON	USA	PDP 11/34	Refresh Storage	○	○
COMPUTER VISION	USA	CGP 100	Storage Refresh	○	○
CALMA	USA	ECLIPSE	Storage	○	○
GCA	USA	PDP 11/35	Storage	○	○
MACRO DATA	USA	INTER DATA	Storage	○	○
REDAC	England	PDP 11/34	Refresh	○	○
Bell Northern Res.	Canada	PDP 11/70	Storage	○	○
Bell Lab.	USA	PDP 15	Refresh	○	○
シャープ	日本	PDP 11/34	Storage	○	○

7.2.2 スタンドアロンシステム

スタンドアロンシステムはミニコンピュータにグラフィックディスプレイ、ディジタイザ等を接続したグラフィックディスプレイシステムで、ユーザは特別にプログラミングを行う必要はない。スタンドアロンシステムは 1969 年頃より販売され始め主要な半導体メーカー、研究所に納入されている。代表的なシステムには、Applicon 社の AGS、Calma 社の GDS、Computer Vision 社の Designer 等がある(表-3)。これらのシステムの特徴は計算コストが安い点であるが、データ処理能力は低い。そこで最近では各社共ハードウェアの強化を含めた改良システムを発表しつつある。

7.2.3 大形計算機に接続されたシステム

スタンドアロンシステムが主として設計を援助するシステムであるのに対し、大形計算機に接続されたシステムは、設計自動化システムの一部として使用される場合が多い。複雑な計算は大形計算機で行い図形修正等の一部の作業をグラフィックディスプレイを用いて行う⁸⁹⁾⁻⁹¹⁾。

グラフィックディスプレイはリフレッシュ型が多く最近ではカラーグラフィックディスプレイを用いたシステムも発表されている^{92),93)}。描画時間は長いが高精度な画面を表示できるストレージ型グラフィックディスプレイを活用したシステムも引き続き開発されている⁹⁴⁾。

また、大形計算機とスタンドアロンシステムをオフラインで結合(磁気テープを介する結合)したシステム⁹⁵⁾もある。

最近では安価なシステムも発表されており、グラフィックディスプレイを用いないディジタイザシステム⁹⁶⁾や机の上に置けるパーソナルデザインシステム⁹⁷⁾等の例がある。(池本)

8. あとがき

いままで概説してきたように図-1の各ステップの最近の技術動向は、基本的な算法の革新よりもそのきめ細かな改良と効率良く実用化するための種々のアプローチに力が注がれているようである。

本文と昭和48年の前回報告¹⁾を比較するとき電子装置の実装設計自動化技術におけるその後の傾向として次のような点が目立つ。

- (1) LSI, LSI化に関する研究が実装CADの中心テーマになっている。
- (2) 会話型処理システムの全盛と設計チェック技術が重視されている。

実装CADはプリント基板からLSIの時代へ移ったと言っても過言ではない。マクロ的に見れば、トランジスタ、SSI、MSIと使用素子の変革につれて電子装置の実装設計技術は大幅変更をせまられてきたが、LSI化に至りついに素子自体の設計に直結してきたということであろう。ちなみに本文の執筆は委員会の実装グループの8名が担当したがそのうち5名がLSI関係者である。これは偶然かも知れないが、実装CADの我が国の現況を表わしているとも見える。

また以前には全自動設計(Design Automation)が目標とされていたが、LSIからVLSIへのタイムリーな対処の困難さ、会話型図形処理システムの性能、機能の向上という環境下、DAからCAD(Computer Aided Design)への逆行とも見える現象、人手介入が不可欠なためにそのチェック技術が重視されるという傾向は当分続くと思われる。(上野)

参考文献

- 1) Haspel, C. H.: The Automatic Packaging of Computer Circuitry. IEE International Conv. Rec., Vol. 13, Part 3, pp. 4-20 (1965).
- 2) Russo, R.L. et al.: A Heuristic Procedure for the Partitioning and Mapping of Computer Logic Gates. IEEE Trans. on Comp., Vol. C-20, No. 12, pp. 1455-1462 (1971).
- 3) Kernighan, B.W. and Lin, S.: An Efficient Heuristic Procedure for Partitioning Graphs. Bell Sys. Tech. J., Vol. 49, pp. 291-307(1970).
- 4) Hanan, M.: An Interactive Man-Machine Approach to the Computer Logic Partitioning Problem. Proc. 11th DA Conf., pp. 70-81 (1971).
- 5) Lawler, E.L.: Module Clustering to Minimize Delay in Digital Networks IEEE Trans. on Comp., Vol. C-18, No. 1, pp. 47-57 (1969).
- 6) Preas, B. T. and Gwyn, C. W.: Methods for Hierarchical Automatic Layout of Custom LSI Circuit MASK, Proc. 15th DA Conf. pp. 206-212 (1978).
- 7) Hsu, F., Solecky, P. and Zobniw, L.: Selective Controllability: A proposal for Testing and Diagnosis, Proc., 15th DA Conf. pp. 110-116 (1978).
- 8) 永峰, 小田他: ICの自動割付の一方法, 昭和44年度信学会全国大会, p. 968 (1969).
- 9) 平野, 平川他: 電子交換機用ICパッケージ自動設計の一方法(その2割付), 昭和47年信学会全国大会, p. 1288 (1972).
- 10) Mah, L. and Steinberg, L.: Techniques of Gate Assignment, Proc. 9th DA Workshop pp. 63-71 (1972).
- 11) 北村, 多田他: 論理パッケージ内のIC割付と配置の自動化, 信学会電子計算機研資 EC 69-24 (1969).
- 12) 田中, 田淵他: 電子計算機による割付け・配置設計の一方式, 昭和49年度信学会全国大会. p. 1806 (1974).
- 13) 栗本, 西岡他: ミニコンによるPWB自動設計システムにおけるゲート割付けプログラム, 昭和52年度信学会総合全国大会, pp. 2-197 (1977).
- 14) Nishioka, I., Kurimoto, T. et al.: An Approach to Gate Assignment and Module Placement for Printed Wiring Boards, Proc. 15th DA Conf., pp. 60-69 (1978).
- 15) 永谷, 和田: LSIゲート変換プログラム, 昭和51年度信学会総合全国大会, pp. 2-171 (1976).
- 16) Nakamura, S. and Murai, S. et al.: LORES, Logic Reorganization System, Proc. 15th DA Conf., pp. 250-260 (1978).
- 17) Brown, J. et al.: Design Automation and the Wrap System, Proc. 5th DA Workshop pp. 19-1-19-30 (1968).
- 18) Koren, N.L.: Pin Assignment in Automated Printed Circuit board design, Proc. 9th DA Workshop pp. 72-79 (1972).
- 19) 木谷, 内藤他: ICピン割付の一手法, 情報処理学会, 設計自動化研究会資料 DA 26-3 (1975).
- 20) Mory-Rauch, L.: Pin Assignment on a Printed circuit board, 15th DA Conf. Proc., pp. 70-73 (1978).
- 21) Mattison, R. L.: A high quality, Low cost router for MOS/LSI, Proc. 9th DA Workshop pp. 94-103 (1972).
- 22) Breuer, M. A.: A Class of Min-Cut Placement Algorithms, Proc. DA Conf., pp. 284-290 (1977).
- 23) Khokhani, K. H. and Patel, A. M.: The Chip Layout Problem: A Placement Procedure for

- LSI, Proc. DA Conf., pp. 291-297 (1977).
- 24) 川西, 吉沢, 可児: 1次元 MOS アレイにおけるゲート配列決定の一算法, 信学論(A), Vol. 59-A, No. 2, pp. 141-148 (昭 51).
 - 25) Kozawa, T. et al.: Advanced LTLAC-An Automated Layout Generation System for MOS/LSI, Proc. DA Workshop, pp. 26-48 (1974).
 - 26) Hanan, M. and Kurtzberg, J.M.: Design Automation of Digital Systems, Vol. 1-Chap. 5 Placement Techniques. (M. A. Breuer ed.), Prentice-Hall (1972).
 - 27) Hanan, M. et al.: Some Experimental Results on Placement Techniques, Proc. DA Conf., pp. 214-224 (1976).
 - 28) Scanlon, F. T.: Automated Placement of Multi-Terminal Components, Proc. DA Workshop, pp. 143-154 (1971).
 - 29) 森, 大附: グラフの極小最適区間化アルゴリズム, 信学技報 CST 77-112, pp. 81-88 (昭 52).
 - 30) Cho, Y. E. et al.: FLOSS: An Approach to Automated Layout for High Volume Designs, Proc. DA Conf., pp. 138-141 (1977).
 - 31) Shupe, C. F.: Automatic Component Placement in the NOMAD System, Proc. DA Conf. pp. 162-172 (1975).
 - 32) Ciampi, P. L.: A System for Solution of the Placement Problem, Proc. DA Conf., pp. 317-323 (1975).
 - 33) Kamikawai, R. et al.: Placement and Routing Program for Master-slice LSI's, Proc. DA Conf., pp. 245-250 (1976).
 - 34) Schweikert, D. G.: A 2-dimensional Placement Algorithm for the Layout of Electrical Circuits, Proc. DA Conf., pp. 408-416 (1976).
 - 35) Breuer, M. A. (ed.): Design Automation of Digital Systems, Vol. 1, Prentice-Hall, N. J. (1972).
 - 36) 池田, 林: デジタル計算機の自動設計, コンピュータ・サイエンス翻訳選書, 3, 産業図書.
 - 37) Lee, C. Y.: An Algorithm for Path Connection and its Application, IRE Trans., Vol. EC-10, No. 3, pp. 346-365 (1961).
 - 38) Soukup, J.: Fast Maze Router, Proc., 15th D. A. Conf., pp. 100-102 (1978).
 - 39) Rubin, F.: The Lee Path Connection Algorithm, IEEE Trans., Vol. C-23, No. 9, pp. 907-914 (1974).
 - 40) Pohl, I.S.: Bidirectional and Heuristic Search in Path Problems, Ph. D. Dissertation, Stanford Univ., (1969, Univ. Microfilm 70-1588).
 - 41) Akers, S.B. Jr.: A Modification of Lee's Path Connection Algorithm, IEEE Trans., Vol. EC-16, No. 1, pp. 97-98 (1967).
 - 42) Geyer, J.M.: Connection Routing Algorithm for Printed Circuit Board, IEEE Trans., Vol. CT-18, pp. 95-100 (1971).
 - 43) 千葉, 白川, 尾崎: 配線問題における迷路法の多層基板適用への拡張について, 信学論(A), Vol. 60-A, No. 1, pp. 33-40 (昭 52-01).
 - 44) Mikami, K. and Tabuchi, K.: A Computer Program for Optimal Routing of Printed Circuit Conductors, IFIP Congress 68, pp. 1475-1478 (1968).
 - 45) 山村, 白川, 尾崎: 二層プリント基板上の配線問題に対する線分探索の一手法, 信学論(A), Vol. 57-A, No. 9, pp. 671-678 (昭 49-09).
 - 46) Hightower, D. W.: A Solution to Line-routing Problems on the Continuous Plane, Proc., 6th D. A. Workshop, pp. 1-24 (1969).
 - 47) Hashimoto, A. and Stevens, J.: Wire Routing by Optimizing Channel Assignment within large Apertures, Proc., 8th D.A. Workshop, pp. 155-169 (1971).
 - 48) 杉山, 種田, 伊藤: LSI 経路設計の一試案, 信学会半導体・トランジスタ研資, SSD 70-4, (1970).
 - 49) Nakahara, H.: Computer-aided Interconnection Routing: General Survey of the State-of-the-art, Networks, 2, pp. 167-183 (1972).
 - 50) 白川: 実装設計における配置配線技法の動向, 信学誌(解説), Vol. 61, No. 3, pp. 245-255 (1977).
 - 51) 計算機設計自動化研究委員会報告(昭 46, 47年度) 情報処理学会, ch. 3.5.
 - 52) Ozawa, Y. et al.: Master Slice LSI Computer Aided Design System, Proc. DA Workshop pp. 19-25 (1974).
 - 53) 上田他: LSI 配置配線自動化システム・MARC (1)-(4), 昭和 52 年度信学全大 2-198.
 - 54) Kernigham, B. W.: An Optimum Channel Routing Algorithm for Polycell Layouts of Integrated Circuits, Proc. D. A. Workshop pp. 1-21 (1973).
 - 55) Deutsch, D. N.: A "DOGLEG" Channel Router, Proc. D. A. Conf., pp. 425-433 (1976).
 - 56) Chen, K. A.: The Chip Layout Problem: An Automatic Wiring Problem, Proc. D.A. Conf., pp. 298-302 (1977).
 - 57) 杉山他: マルチチップ LSI 基板配線の一算法, 信学会論文誌 Vol. 58 C No. 4, pp. 201-208 (1975).
 - 58) 溝口: ミニコンによるビルディングブロック LSI の自動配線, 昭和 52 年度信学全大 2-191.
 - 59) Nakada, Y. et al.: High Packing Density LSI Layout System with Interactive Facilities, Proc. ISSCC pp. 46-47 (1974).
 - 60) 増沢他: 市松模様格子により配線される LSI, 昭和 52 年度信学全大 pp. 2-31-32.

- 61) 全田他: マスタスライス方式 LSI 自動設計プログラム, 昭和 52 年度信学全大 2-194.
- 62) Baird, H.S. and Cho, Y.E.: An Artwork Design Verification System, Proc. 12th DA Conf., pp. 414-420 (1975).
- 63) Mitchell, C.L. and Gould, M.J.: MAP A user Controlled Automated Mask Analysis Program, Proc. 11th DA Workshop pp. 107-118 (1974).
- 64) Lindsay B. W. and Preas, B.T.: Design Rule-checking and Analysis of IC mask Designs, Proc. 13th DA Conf., pp. 301-308 (1976).
- 65) Preas, B.T. et al.: Automatic Circuit Analysis based on mask Information, Proc. 13th DA Conf., pp. 309-317 (1976).
- 66) Ikemoto, Y. et al.: Correction and Wiring Check-system for Master-slice LSI, Proc. 13th DA Conf., pp. 336-343 (1976).
- 67) Baird, H.S.: Fast Algorithms for LSI Artwork Analysis, Proc. 14th DA Conf., pp. 303-311 (1977).
- 68) Yoshida, K. et al.: A Layout Checking System for Large Scale Integrated Circuits, Proc. 14th DA Conf., pp. 322-330 (1977).
- 69) Bertails, J. C. and Zirphile, J.: A Standardized Approach for the Reduction of LSI Design time and Automatic rule Checking, J. Solid-State Circuits, Vol. SC-12, No. 4, pp. 433-436 (1977).
- 70) Wilcox, P. et al.: Design rule Verification based on one Dimensional Scans, Proc. 15th DA Conf. pp. 285-289 (1978).
- 71) 山田他: IC パターン回路図変換プログラム, 昭 53 信学全大, S2-2 (1978).
- 72) 吉村他: マスクパターン接続チェック, 回路特性算出プログラム (MAICAP), 昭 53 信学全大, S2-3 (1978) など.
- 73) 三橋他: LSI マスクパターン解析システム, 昭 53 情報学会全大, p. 621 (1978) など.
- 74) 杉山他: 電子ビーム露光用データ処理システム, 信学半トラ研資, SSD-77-86, p. 71 (1978).
- 75) 菊地他: 電子ビーム描画技術における露光強度の高速計算法およびパターン補正法, 信学技報, Vol. 78, No. 208, SSD 78-62, p. 11 (1978).
- 76) 西出他: LSI アートワーク・データの図形論理演算処理の一手法, 信学技報, Vol. 78, No. 221, CST 78-126, p. 7 (1978).
- 77) Hightomer D. W.: SLEUTH-A Metal-to-Metal Audit Program in an Interactive Environment, Proc. 13th DA Conf., pp. 318-326 (1976).
- 78) Piscatelli, R. N. and Tingleff, P.: A Solution to Closness Checking of Non-Orthogonal Printed Circuit Board Wiring, Proc. 13th DA Conf., pp. 172-178 (1976).
- 79) Inao, A. et al.: Design Automation System for Manually Routed Circuit Board, Proc. USA-Japan DA Symposium '75, pp. 114-118 (1975).
- 80) Villers, P.: A Minicomputer Based Interactive Graphics System as Used for Electronic Design and Automation, Proc. 15th DA Conf., pp. 446-453 (1978).
- 81) 平川, 上田他: プリント板の配線設計と設計変更処理システム, 情処学会設計自動化研資 DA 28-2 (1976).
- 82) 中林: 電子交換用新 DA システムの概要, 情処学会設計自動化研資 DA 29-3 (1976).
- 83) 西岡他: ミニコンを用いたプリント回路基板自動配線設計システム, 情処学会設計自動化研資 DA 32-1 (1977).
- 84) Welt, M. J.: NOMAD: A Printed Wiring Board Layout System, Proc., 12th D. A. Conf., pp. 152-161 (1975).
- 85) Nishioka, I., Kurimoto, T., Nishida, H., Shirakawa, I., and Ozaki, H.: A Minicomputerized Automatic Layout System for Two-Layer Printed Wiring Boards, Proc., 14th D. A. Conf., pp. 1-11 (1977).
- 86) Bedard, K., Fournier, S., Shastry, B., and Stockburger, U.: A Production PCB Layout System on a Minicomputer, Proc., 14th D. A. Conf., pp. 168-173 (1977).
- 87) Spitalng, A. and Goldberg, M.J.: On-line Graphics Applied to Layout Design of Integrated Circuits, Proc. IEEE, Vol. 55, p. 1982 (1967).
- 88) Beardsley, C. W.: Computer aids for IC Design, Artwork, and Mask Generation, IEEE Spectrum Application Report (1971).
- 89) 西川: グラフ理論を応用した IC の自動配置・配線プログラム, 日経エレクトロニクス, 1973 年 7 月 2 日号, p. 66 (1973).
- 90) 吉田, 倉持: OLIMPIC-LSI システムパターン修正システム, 情報処理学会マンマシンシステム研資 73-1 (1973).
- 91) 大津, 新井他: LSI における自動設計とグラフィックディスプレイの応用, 情報処理学会設計自動化研資 74-17 (1974).
- 92) Weste, N.: A Color Graphics System for I. C. Mask Design and Analysis, 15th, DA Conf. Proc., pp. 199-205 (1978).
- 93) Infante, B. et al.: An Interactive Graphics System for the Design of Integrated Circuits, 15th DA Conf. Proc., pp. 182-187 (1978).
- 94) Christley, F. M.: Thick film Substrate (micropackage) Design Utilizing Interactive Computer aided Design System, 14th DA Conf. Proc., pp. 450-459 (1977).
- 95) 池本他: 高速論理 LSI 用 CAD (CAD 75)情報処理学会設計自動化研資 DA 28-3 (1976).

96) Larsen, R. P. : Cost Effective Layout Digitizing and Mask Pen Plotting of Custom Micro-electronic Device, 14th DA Conf. Proc., pp. 386-390 (1977).

97) Fairbairn, D.G. and Rowson, J.A. : ICARUS : An Interactive Integrated Circuit Layout Program, 15th DA Conf. Proc., pp. 188-192(1978).

(昭和 54 年 6 月 11 日受付)
