

解説



記憶素子†

大表良 ††

1. あらまし

記憶素子は周辺回路とともに記憶装置を構成する要素であり、主として情報の記憶を行う素子である。これに対して、周辺回路は情報の書込み、読出しなどの操作（これを記憶操作、記憶動作などと呼ぶ）を記憶素子に対して行うものである。こうした区分は記憶原理として磁性を用いる素子については明確に定まっていたが、ICメモリに至って、記憶素子の機能の拡充、すなわち、周辺回路の記憶素子内部への取込みが進んだため、不明確になってしまった。

今や記憶素子は、単にある程度の記憶容量を持ち、一つのパッケージに入れられたものという程度の意味で用いられているように思われる。ここでは、現在広く用いられているICメモリを中心に、近い将来の実用化を目指して研究が進められているいくつかの記憶素子の構造、動作原理、性能の概略について解説するが、記憶階層の特集であるので、アクセス機構および動作速度によって分類し説明することにする。

2. 高速RAM

RAMはRandom Access Memoryの略であり、記憶操作に要する時間が情報の記憶場所によらない記憶をいう。等速呼び出し記憶と訳されるがRAMとそのまま用いられることも多い。これには、読出し操作のみ可能な固定記憶(ROM)も含まれる。単にRAMといえば書込み操作も可能な記憶をいうが、特にROMと区別するような場合にはRead Write Memory (RWM)と呼ぶこともある。

高速RAMとして広く用いられている記憶素子はICメモリであるが、磁性線メモリが用いられたこともあった。高速ICメモリはアクセス時間が50nsec程度以下のものとするのが妥当であろうが、この程度

のアクセス時間を持つICメモリは従来バイポーラ型に限定されていたが、近年MOS型の動作速度の向上が著しく、高速用途に耐える製品の市販が開始された。

超高速(≒10nsec以下)のICメモリはバイポーラ型が今だ優位を保っているが、ジョセフソンメモリもこの分野への応用を目指して研究が続けられている。シリコンの代わりに砒化ガリウム(GaAs)の基板上に作られるICメモリも超高速用途として有望であり、ジョセフソン素子と並んで研究の進展が著しい。

2.1 バイポーラRAM

能動素子としてバイポーラ・トランジスタを使用するバイポーラ高速RAMの情報の記憶には一般にフリップフロップが用いられる。これに記憶操作、つまりフリップ・フロップの状態の検出・反転のためのゲートを設けたものを記憶セルと呼ぶ。

バイポーラ記憶セルの基本回路は図-1に示す、マルチエミッタ・トランジスタを使用したものである<sup>†)</sup>。マルチエミッタ・トランジスタはエミッタ電位のOR(負論理)でコレクタ電流が流れるので、この回路は記憶操作用の特別なゲート素子を必要としない特徴を有する。データ線(2本)に接続されているエミッタは記憶操作で、アドレス端子に接続されているエミッタはフリップ・フロップ回路用である。

この回路は構成が簡単で、初期の頃は良く用いられ

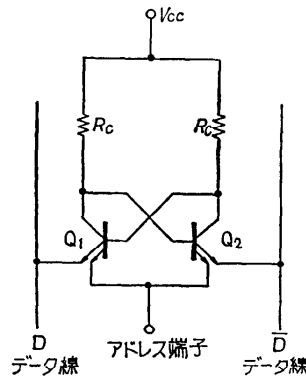
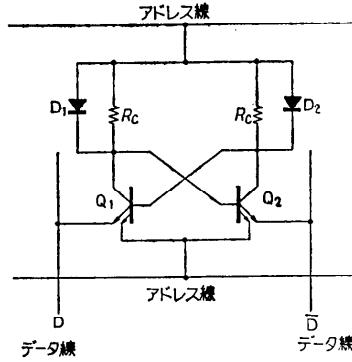


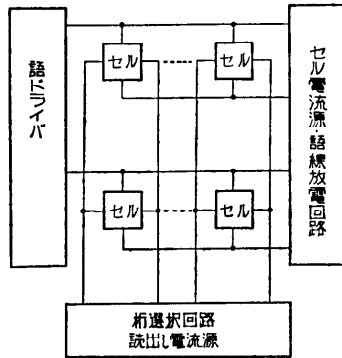
図-1 マルチエミッタ形バイポーラメモリ基本回路

† Memory Device by Ryoichi OOMOTE (Memory System Section, Electronic Computer Division, Electrotechnical Laboratory).

†† 電子技術総合研究所 電子計算機部記憶システム研究室



(a) ECL 型記憶セル



(b) ECL RAM 構成図

図-2

たが、読み出し操作時の出力電流がデータ保持時の回路電流に比して大きくできないことと、トランジスタが飽和し、スイッチング速度が遅くなる二つの欠点を持っているため、改良型が提案されたこともあった。しかし最近では次に述べる ECL 型の記憶セルが主として用いられている<sup>2)</sup>。

図-2 (a) の記憶セルは回路のトランジスタすべてが非飽和で動作するもので、電流切換型記憶セルあるいは、両エミッタを結合し定電流源に接続していることから ECL (Emitter Coupled Logic) 型と呼ばれ、超高速記憶セルとして良く用いられる<sup>3)</sup>。コレクタ負荷抵抗に並列に接続されたダイオードは記憶操作時のみ導通し、読み出し出力電流を増す働きをしている。

定電流源に必要な電圧降下を無視したとき、アドレス端子の電位が接地に対してダイオードの順方向電圧降下分 ( $\Delta$ ) だけ高いことが、この記憶セルのフリップ・フロップが安定である条件となっている。記憶操作は図-1 の基本回路の場合と同様にマルチエミッタ・トランジスタの論理機能を利用して行うが、記憶セル周辺の回路にも電流切換型回路を用いて記憶セルの高

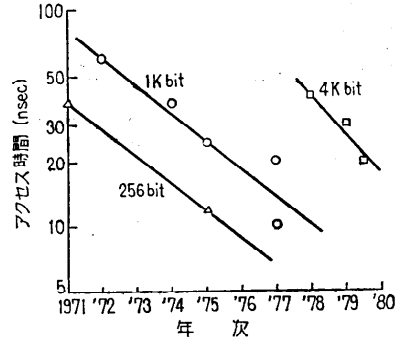


図-3 ECL RAM のアクセス時間の年次推移



図-4 バイポーラ・トランジスタの微細化の例

速性を生かすように配慮されている。

以上に述べて来た記憶セルはマトリクス状に配列され、各種の回路とともに集積化される。図-2 (b) は ECL RAM のブロック図の例である。外部に対して TTL コンパチブルなメモリは ECL・RAM にレベル・コンバータを付加した形とされることが多い<sup>4)</sup>。

バイポーラ高速 RAM においても高集積化が追及されている。図-3<sup>2)</sup> は高速バイポーラ RAM のアクセス時間の年次推移を示したもので、年率はほぼ 20~30% の割合で減少し、アクセス時間一定の条件下で集積度は年率 20~40% の割合で高集積化されていることがわかる。

こうした高集積化は主としてプロセス技術の進歩による微細化に依存している。図-4 は微細化の一例としてアイソプレナー型トランジスタの寸法の縮小状況を示したもので、面積で 1/4 になっている。最新のアイソプレナー S と呼ばれるプロセスでは 1/7 にまで縮小されるといふ<sup>5)</sup>。こうした技術で、バイポーラ RAM も 16 K ビットの記憶容量のものが設計段階に入った。

高速 ROM は情報が製造段階で作られるマスク ROM と、使用者が書込むプログラマブル ROM (PROM) に大別される。マスク ROM では情報が配線の有無で、PROM ではヒューズやダイオード、トランジスタなどの結合素子を選択的に破壊することで

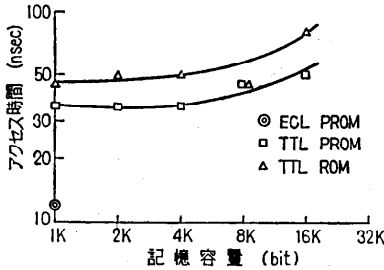


図-5 高速 ROM の記憶容量とアクセス時間の関係

表現される。ヒューズはアルミニウムやニクロムで作られる。トランジスタを結合素子として用いる場合は、ベース・コレクタ間あるいはベース・エミッタ間の接合をダイオードの代りに用いているので、機能的にはダイオード結合型と同じである。

ROM の場合、能動素子はアドレス・デコーダやドライバ、センス増幅器等の部分に用いられるが、この部分の回路形式が TTL か ECL かによって、又 PROM かマスク ROM にかよっても速度の差がある。図-5 に代表的な ROM の記憶容量とアクセス時間の関係を示す。

2.2 高速 MOS・RAM

高速 MOS・RAM の記憶セルの基本回路は図-6 に示す 6 素子記憶セルである。この回路はバイポーラ型と同様に、フリップ・フロップを中心に記憶操作用のゲートを付加した形で、3.2 で述べるダイナミック型に対比してスタティック型と呼ばれる。この回路の能動素子は MOS トランジスタであるが、バイポーラ型での負荷抵抗に相当するものも MOS トランジスタで構成する。

MOS トランジスタには、電流を運ぶキャリアがホ

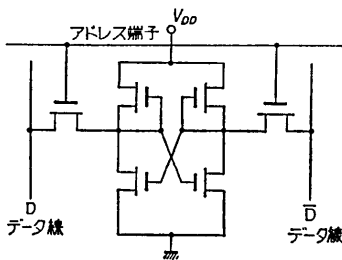


図-6 6 素子スタティック MOS 記憶セル

\* 比例縮小則 (スケーリング) は MOS トランジスタの寸法を一種の相似性を保ちながら、極限にまで縮小しようとする考え方で、現在では 2 $\mu$ m のチャネル長の MOS トランジスタが実用化されており、将来は 0.5 $\mu$ m 程度のチャネル長のものが可能であると予想されている。

ールである p チャネル型、電子である n チャネル型、又それぞれ、ゲート・ソース間電圧が零でもドレイン電流が流れるデプレッション型、流れないエンハンスメント型などの種類がある。したがって、種々の組み合わせが考えられるが、それらの中でもっとも高性能なスタティック型記憶セルの主流となっているセルは、能動素子として n チャネル・エンハンスメント型を、負荷として n チャネル・デプレッション型を用いるものである。

この回路の動作は、アドレス端子に正パルスを与えることでゲート・トランジスタが導通し、フリップ・フロップの電圧状態がデータ線に現われるので、これを増幅することで読出しが行われる。書込みは、この状態でデータ線のどちらかに正パルスを与え、フリップ・フロップの状態を反転させることにより行われる。もちろん、始めから書込むべき状態にある記憶セルについては、状態が反転することはない。

MOS トランジスタとバイポーラ・トランジスタのスイッチング特性を比較すると、主として相互コンダクタンスが小さいことと、導通状態でのインピーダンスが高いことから MOS トランジスタのスイッチング速度が遅く、MOS 型で高速記憶素子は無理とされた時期もあったが、近年比例縮小則\*にのっとり、短チャネル MOS トランジスタが実用化され、スタティック MOS・RAM の速度も改善された。

MOS・RAM ではバイポーラ型と異なり、記憶内容の読出し時の回路電流とデータ保持時の回路電流の比を大きくできるので、回路的な工夫よりは能動素子の高性能化による動作速度の向上が著しい。図-7 はスタティック MOS・RAM のアクセス時間の年変化を示したもので、図-3 と比較すれば MOS・RAM の速度がバイポーラ型に追い付いてきていることがわか

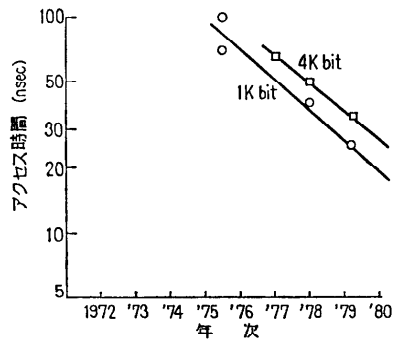


図-7 スタティック MOS・RAM のアクセス時間の年次推移

る。

このほか、薄いゲート酸化膜の製造技術の向上、多層、多結晶シリコン配線技術の実用化などのプロセス技術の進歩も見落すことはできない。

高性能 MOS トランジスタには以上に述べた、高性能 NMOS (HMOS などと称している) のほかに、選択拡散を利用した DSA・MOS、選択エッチングを利用した VMOS などの新しい短チャネル MOS トランジスタが提案され、記憶素子にも用いられ始めた<sup>6),7)</sup>。

2.3 その他の高速 RAM

高速記憶として実用されるには至らないが、研究の進展の著しいものにジョセフソン記憶素子と GaAs 素子がある。

ジョセフソン素子は、二つの超電導体を弱く結合させたとき生ずる強い非線型性を利用する素子である。結合形態としては、トンネル型、ブリッジ型、ポイント・コンタクト型、近接効果型の4つの代表的な構造が提案されている。それぞれ若干異なった電流-電圧特性を示す。図-8 はトンネル型素子の電流-電圧特性の一例である<sup>8)</sup>。

ジョセフソン記憶素子は、ジョセフソン接合を1個もしくは、複数個含む超電導ループ中の永久電流の向きを情報に対応させるものと、長い接合中に捕獲された磁束(量子化されている)の量や極性に対応させるものとの2種に大別される。主として前者はRAMに後者はシフトレジスタ型のメモリに応用される。

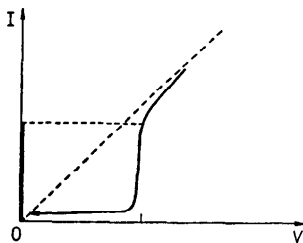


図-8 ジョセフソン接合の電流・電圧特性

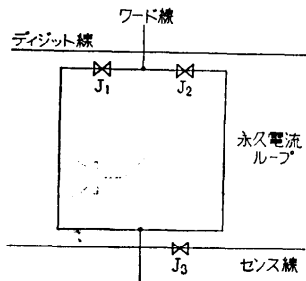


図-9 ジョセフソン記憶セルの例

表-1 ジョセフソン・コンピュータの予測性能

機 能	回路数又は記憶容量	遅延時間又はアクセス時間
論理素子	300 K 回路	1 nsec { チップ上 0.4 nsec パッケージ 0.5 nsec マージン 0.1 nsec
キャッシュメモリ	256 K バイト	2 nsec { チップ上 0.6 nsec パッケージ 1.4 nsec
主メモリ	64 M バイト	10 <sup>3</sup> nsec { チップ上 7.0 nsec パッケージ 3.0 nsec

表-2 GaAs FET の特性例

ゲート長	ゲート幅	遅延時間	スイッチングエネルギー	温 度
0.8 μm	40 μm	77 psec	75 fJ	室 温
	20	200	1.6	室 温
	20	51	97	77 K
		73	27	

f: フェムト 10<sup>-15</sup>

ジョセフソン記憶セルの一例を図-9 に示す。

ジョセフソン素子の特性は半導体素子より格段に優れている。スイッチング時間 34 psec、発生エネルギー 3×10<sup>-18</sup> J という実験結果があり、将来は 10 psec、10<sup>-18</sup> J 以下の素子が量産される可能性がある<sup>9)</sup>。現時点では記憶セルの動作の確認の段階を終了し、周辺回路の一部を含んだ記憶素子のレベルへ研究が進んで来ている。試作例には、2,048 ビットの RAM があり 7 nsec のアクセス時間が得られている<sup>10)</sup>。

ジョセフソン素子は極低温状態が必要なため、コンピュータ全体をジョセフソン素子で作成し、全体を冷却する方法が効率が良いとされ、この方向で研究も進められている。表-1 はジョセフソン・コンピュータの予測性能である<sup>11)</sup>。

GaAs 素子を用いる記憶素子はジョセフソン記憶素子と同等の性能を有し、しかも室温で動作することから、期待されている。現在では FET に関する研究が始まったばかりであるが、表-2 に示されるように、その高性能の片鱗をうかがうことができる<sup>12)</sup>。

3. 大容量 RAM

大容量 RAM としてはダイナミック N チャネル MOS・RAM が広く用いられ、他の記憶素子の追従を許していない。チップ当りの記憶容量、動作速度ともに、急速な進歩を示しており、常に LSI 技術の先導役を務めてきている。

一方バイポーラ RAM の高集積化も進められ、スタ

ティック RAM と I<sup>2</sup>LRAM で 16 Kbit の記憶容量を有する素子の発表がなされているので、まもなく、バイポーラの大容量 RAM も実用化されるであろう。

ジョゼフソン記憶素子も大容量 RAM として応用されるであろうが、すでに高速 RAM のところでふれたので、ここでは割愛する。

3.1 バイポーラ大容量 RAM

NMOS ダイナミック RAM に比べると、記憶容量は少ないが、一応大容量記憶への応用が可能で、2つのバイポーラ RAM の開発が進められている。その一つはスタティック RAM の大容量化であり、もう一つは I<sup>2</sup>L 技術によるバイポーラ・ダイナミック RAM の実現である。

高速バイポーラ RAM のチップ内における回路の電力配分は、全消費電力の 1/3~1/4 が記憶セルに、約 1/4 が桁アドレスおよびセンス回路に、残りの 1/4 が制御回路および出力アンプに割当てられている<sup>2)</sup>。この条件のもとに、全電力およびアクセス時間をほぼ等しくして集積度を4倍に向上させようとするとき、まず記憶セルの電力を1/4に減少させることが必要となる。記憶セルにかかる電圧を低くすることは、動作が不安定になるので、回路電流をほぼ1/4に減らし、負荷抵抗を4倍に高くすることとなる。さらに抵抗をも含めたセル面積を一層小形化する必要がある。これらの問題を解決するため、回路、構造、製造技術の工夫がなされているが、その一例を示そう。

図-10 はパンチスル負荷を用いた ECL 記憶セルであるが、この負荷は非線形であり、流れる電流は電圧の指数関数となる。したがってデータ保持時には高抵抗に、記憶操作時には低抵抗となり読み出し電流を多くとれることになる。しかもこの負荷は抵抗負荷よりも精度良く、小面積で高い抵抗値を得ることができる<sup>13)</sup>。

I<sup>2</sup>L 技術はバイポーラ素子で、比較的動作速度の遅

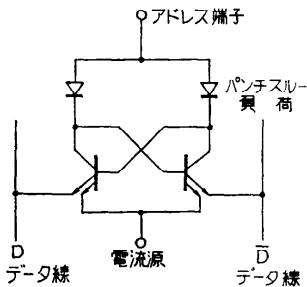
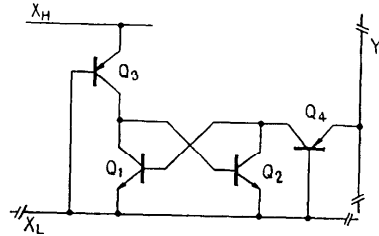
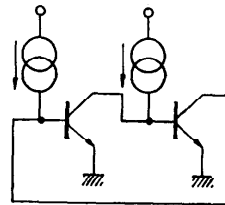


図-10 パンチスル負荷を用いた ECL 記憶セル

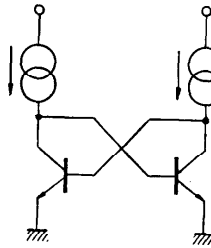
い低消費電力の論理回路に応用され始めているが、この技術を利用した記憶素子が研究されている。図-11 は従来のスタティック形記憶セルの半分以下の面積で実現できる記憶セルで、現在の微細加工技術で 16 K ビットの記憶容量を有する素子を作製できるという<sup>14)</sup>。この記憶セルは、通常のインバータ 2 段を直結し、2 段目の出力を初段にフィードバックしたフリップ・フロップから、図-11 (b), (c), (d) に示す変換を行うことで得られる。図-11 (b) はインバータを I<sup>2</sup>L



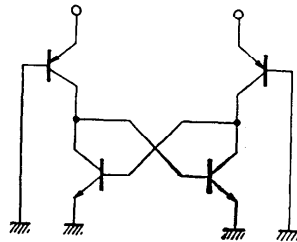
(a) 記憶セル



(b) I<sup>2</sup>L フリップ・フロップ

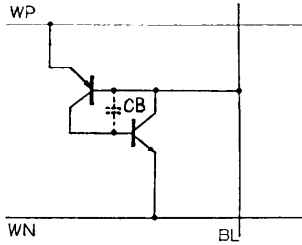


(c) (b)を書き直した形



(d) 電流源を PNP トランジスタに置換

図-11 4 トランジスタ形スタティック記憶セル

図-12 I<sup>2</sup>L ダイナミック記憶セル

形に換えたもの、図-11 (c) は、これを書直しただけであり、図-11 (d) は電流源をベースを接地したPNPトランジスタで実現した形である。

回路の動作は以下のとおりである。情報を保持しているだけのときは、 $X_L$  線を約 1.12 V とし、 $X_H$  線、 $Y$  線電位をこれよりわずかに高くし  $Q_3, Q_4$  に  $0.5 \mu A$  程度の等しい電流を流す。この電流はオンになっている NPN トランジスタのベース電流およびコンタ電流となる。

書込みは、 $X_L$  線電位をそのまま保ち、 $X_H$  線、 $Y$  線の電圧を一方は高く、一方は低くすることで行われる。

読出しは、 $X_H$  線、 $Y$  線電位を情報保持時のままにし、 $X_L$  線を 120 mV ほど下げると、 $Y$  線電位が  $Q_2$  の状態に対応した変化をするので、これを検出して行う。

従来ダイナミック形記憶素子は MOS 形でのみ実現されて来たが、I<sup>2</sup>L 技術により、バイポーラ形でもダイナミック形記憶素子が実現できるようになった。図-12 はこの素子の記憶セル部分の等価回路である<sup>15)</sup>。通常は  $WN$  線と  $BL$  線が約 3 V に、 $WP$  線が接地電位近くに保たれる。情報の '1' の書込みは  $WN$  線電位を接地電位まで下げ、コレクタ・ベース接合容量  $CB$  に電荷を蓄積することで行われる。 $BL$  線電位を 2 V にし、 $WP$  線電位を 3 V にすると、 $CB$  に蓄積されていた電荷が PNP トランジスタを介して放電され、'0' の書込みが行われる。

情報の読出しは、 $WN$  線電位を接地電位まで下げると、もし  $CB$  に電荷が蓄積されていれば  $BL$  線の電位の変化がなく、放電されていれば  $BL$  線電位が 2 V に下がることで行う。 $WN$  線、 $WP$  線はリフレッシュ動作にも使用されるが、詳細は省略する。

このようなバイポーラ大容量 RAM が実用化される日も近いと言える。

### 3.2 MOS 大容量 RAM

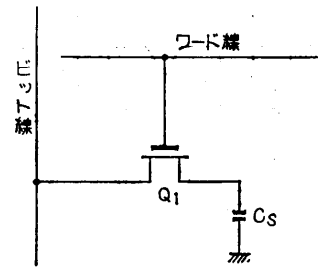


図-13 ダイナミック方式記憶セル

大容量 MOS・RAM の記憶セルとしては、図-6 に示したスタティック型と図-13 に示す 1 トランジスタ型ダイナミックセルの 2 種が用いられている。記憶容量はスタティック型で 16 K ビットのもので、ダイナミック型では 64 K ビットのもので実用化されている。

図-13 の記憶セルの動作は、MOS 構造のゲート容量  $C_g$  の電荷の有無を情報に対応させ、ビット線とワード線の一致によって電荷の蓄積又は放電を行わせ、ワード線のみ駆動することで情報のビット線への読出しが行われる。 $C_g$  の電荷は時間とともに減少するので一定時間ごとに記憶内容を再生することが必要になる。これをリフレッシュと呼んでいるが、リフレッシュの必要な記憶セルをダイナミック型という。

図-13 の 1 トランジスタセルは 4 K ビットの記憶容量の素子から採用され、16 K ビットを経て 64 K ビットへと記憶容量の拡大が行われて来た。この間の MOS トランジスタの高性能化、高集積化については、すでに高速 MOS・RAM のところで触れた。ここでは回路技術の面での進歩の一例を補足する。

高集積化する上で記憶セルの占有する面積を縮小することが極めて大きな効果を持つことは明白である。ダイナミック形記憶セルは最初、6 素子スタティック形記憶セルの負荷抵抗を静電容量に置換えた形で誕生した。その後能動素子数、配線数を減らす工夫を重ねられ、3 素子の記憶セルの 4.5 線式、3.5 線式、2.5 線式を経て、1 素子 2 線式記憶セルに至った。この形でセル面積を縮小するには、トランジスタとともに静電容量も縮小する必要がある。読出し時のビット線の電圧変化は、ゲート・トランジスタのソース・ドレイン間の電圧をビット線の分布容量と  $C_g$  とで分圧した値となるので、 $C_g$  を小さくするとより高感度なセンス増幅器が必要となる。さらにチップ容量の増加とともにセンス増幅器の数も増えるので、センス増幅器での電力消費も大きくなる。

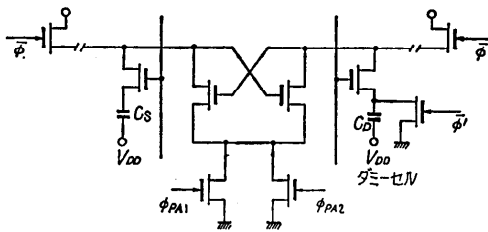


図-14 ダイナミック形センスアンプ

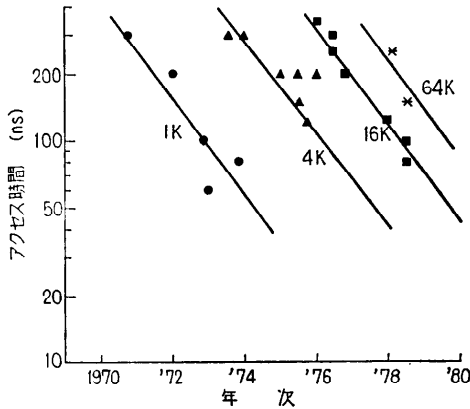


図-15 MOS 大容量記憶のアクセス時間の年次推移

このような理由で、センス増幅回路の研究が盛んに行われ、定常的には電力を消費せず、寄生容量を充放電するときのみ電力を消費する高感度なダイナミック形センス回路が開発された<sup>2)</sup>。図-14はこの一例である。

こうして、64 K ビットの記憶容量を持つ記憶素子が実用化されたが、最近放射線 (α 線) によって情報が失われるという現象が発見され<sup>16)</sup>、情報蓄積用静電容量をこれ以上小さくすることができないのではないかとされている。この問題を解決し、さらに大容量な記憶素子を可能とする、新しい記憶セルの検討が始まっている<sup>17)</sup>。図-15に MOS 大容量記憶のアクセス時間の年次推移を示す<sup>2)</sup>。

#### 4. 固体ファイル記憶

電子計算機の主記憶と磁気ディスク等の補助記憶との間の約  $10^5$  倍のアクセス時間の差、いわゆるアクセス・ギャップを埋める有力な素子として固体ファイル記憶が注目されている。固体ファイル記憶の名称は、機械的運動を必要とせず、IC メモリのように固体化され、ファイル記憶に適する記憶ということから付けられている。固体ファイル記憶の名称として BORAM

(Block Oriented RAM) が用いられることもある。

具体的には電荷転送素子 CCD (Charge Coupled Device)、磁気バブル素子の 2 種がほぼ実用化されている。そのほか、光記憶、電子ビーム記憶、超電導記憶など、この分野に適すると考えられるメモリが研究されているが、価格などの点で行詰まっているようである。

#### 4.1 CCD メモリ<sup>18)</sup>

CCD の原理と構成を、図-16 に示す。この素子は、N チャネル 3 相駆動の記憶セルで CCD の最も基本的なものである。N チャネルでは電子が電位の井戸の間を転送され、シフトレジスタと同様の記憶作用を持つ。電位の井戸は、正電圧パルスを電極に加えると直下のシリコン中に電荷のない空乏層が生じ、この部分の電子エネルギーが極小となり、その中に電子が入ると、散逸することなく保持されることから名付けられた。

電荷の転送は図-16 (c) に示すように電圧パルスを加え、表面電位を図-16 (b) のように変化させて行う。転送段への電荷の注入は接合ダイオードによるもの、電子なだれによるものがある。電荷の検出は同じ基板上にダイオードまたはトランジスタを作り、電気

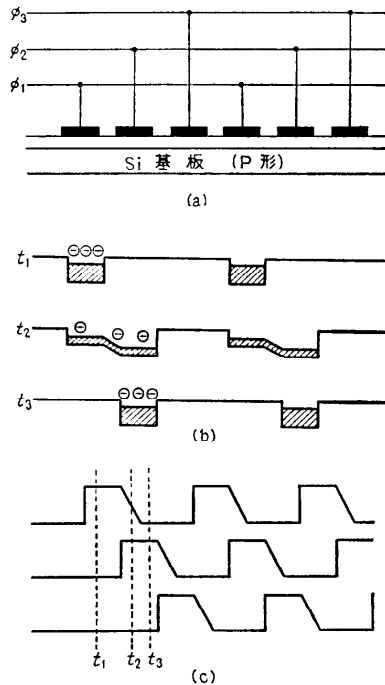


図-16 CCD の動作原理 (3 相駆動 n チャネル)

信号に変換する。

電荷の転送効率は 99% 以上であるが、100% ではないので、転送の途中で電荷を再生する必要があること、3 相駆動では有効記憶容量が電極数の 1/3 になることなどの問題点を解決するため、種々の構造のセルが提案されている。

記憶素子としては図-17 に示す 3 種が基本的であ

る。図-17 (a) のサーペンタイン方式は単一のループを折り返した構造で、簡単ではあるがアクセス時間が長くなる欠点を持つ。図-17 (c) の SPS (Serial-Parallel-Serial) 方式では、入力シリアルレジスタにデータを入力しレジスタが一杯になるとこの情報をいっせいにパラレルレジスタに移す。出力はパラレルレジスタの情報を出力シリアルレジスタに移した後、直列にとり出す。パラレル部のシフトレートはシリアル部の  $1/n$  ( $n$  はシリアルレジスタのビット数) でよく、クロック回路での電力消費を少なくでき大容量向きである。図-17 (b) はループ長を短かくできるので高速にできるが、消費電力が大きく、周辺回路も複雑になる。

CCD は揮発性であり、主として転送効率の点からクロック周波数の下限が 1 MHz 程度に限定されるので応用にあたっては注意が必要である。

素子の製造技術は通常の LSI と同等であるが、不純物拡散などの工程が不要であり、構造も簡単なので  $N$  チャンネルダイナミック RAM の 4 倍程度の高集積化が可能であるといわれている。

現在では 2 種の 64 K ビット CCD 記憶素子が市販されている。内部構造はどちらも SPS 方式で、平均アクセス時間は  $410 \mu\text{sec}$ 、データ転送レートは  $5 \text{ Mb/sec}$  である<sup>19)</sup>。

#### 4.2 磁気バブル<sup>20)</sup>

磁化容易軸が面に垂直なある種の磁性体（磁性ガネット、非晶質ガドリニウム・コバルトなど）の薄膜を作り、膜面に垂直に外部から磁界を加えると、膜面内に円筒状の周囲とは反対に磁化した領域ができる。これをその形状からバブル磁区、または磁気バブルと呼ぶ。磁気バブルの直径は、材料の物質定数、膜厚等と外部磁界の強さによって定まり、温度によって若干変動する。外部磁界を永久磁石によって与えることで不揮発性とすることができ、磁石の温度係数をバブル材料のそれと合わせることで、通常の使用環境では安定なバブル磁区を得ることができる。現在実用化されている記憶素子では  $3 \sim 5 \mu\text{m}$  の直径の磁気バブルが用いられ、将来は  $1 \mu\text{m}$  以下になると予想されている。

こうした円筒状の磁区の使用は 1960 年頃から良く知られていたが、この磁区を形、大きさを変えずに移動させ情報の記憶、処理に応用しようという考え方で、容易に移動し得る材料の発見は 1967 年にベル研究所によってなされた<sup>20)</sup>。

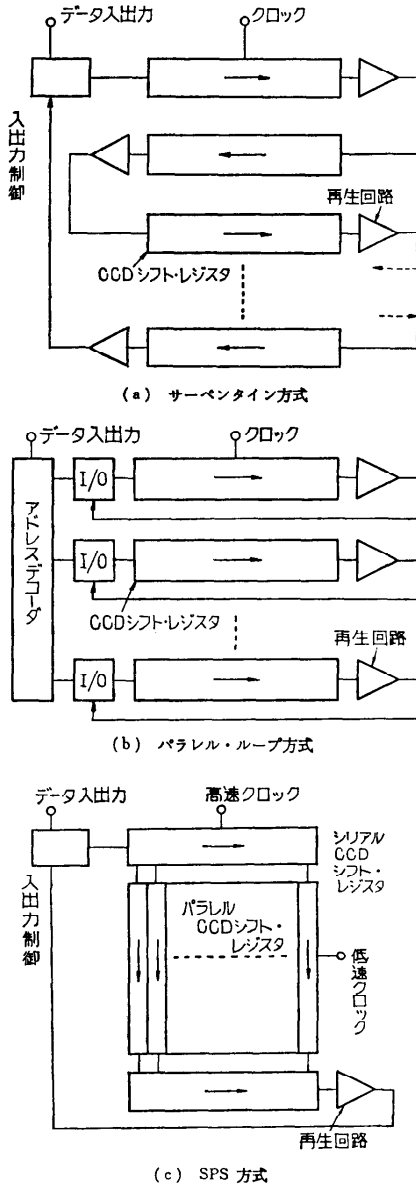


図-17 CCD 記憶の基本構成



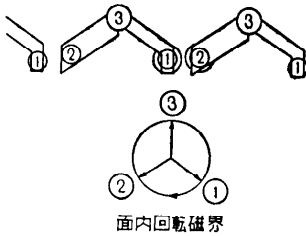
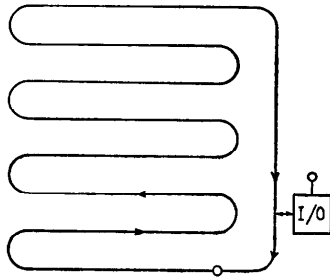
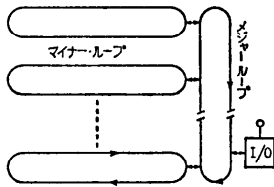


図-18 磁気バブルの移動



(a) 単一ループ方式



(b) メジャ・マイナーループ方式

図-19 バブル記憶の基本構成

図-18は磁気バブルの移動方法で最近良く用いられている方法を示したものである。薄膜上には磁気バブルと同程度の寸法のバブル移動用のパターンが磁性体で作られており、面内で回転する外部磁界でこれを磁化し、端部に磁極を発生せしめ、磁気バブルを吸引又は反発させ移動させる。

磁気バブル記憶素子では、移動経路は通常ループ状にされ、情報は磁気バブルの有無で表わされる。CCDと異なり、磁気バブルは不揮発性なので、記憶内容の保持のために情報(すなわちバブル)を動かす必要はなく、記憶操作を行うときのみ移動させる。

ループの形、記憶操作の方法には多くの方式が提案されて来たが、図-19に代表的な2種を示す。(a)は単一ループ方式で、平均アクセス時間はループ長の1/2をシフトする時間となり比較的遅いので、チップ中の欠陥を避ける方法がないので、比較的小容量のものに使用される。(b)はメジャ・マイナーループ方式

と呼ばれ、CCDのSPS方式に対応する。マイナーループのうちいくつかは、予備ループとされ、何らかの欠陥のため使用できないマイナーループがあれば、代わりに予備ループを用いることで、チップの良品率を上げている。

現在では、1チップ256Kビットのものと、1Mビットのものが市販されており、10Mビットのものも報告されている<sup>19),21)</sup>。

## 5. 機能記憶

アドレスを与え、情報を入出力する通常の記憶素子と異なり、探索入力を与え、これと一定の関係を持つ情報の有無を出力する連想記憶や、アドレスがなく書込んだ順に読出されるFIFO(First In First Out)メモリ、書込んだ逆順に読出されるFILO(First In Last Out)メモリ(LIFOも同じ)などの特殊な記憶素子がある。これらは製造技術ならびに回路構成はICメモリと同様であるが、その機能の特殊性に着目して、機能記憶として分類される。

FIFOおよびFILOメモリは情報の記憶には通常のRAMを用い、内蔵するカウンタ(FIFOは入力用、出力用各1、FILOは1個)の内容をアドレスとして、情報の読出し・書込みを行う。記憶容量とカウンタの内容の比較、FIFOの場合の両カウンタの内容の大小関係を制御回路が調べ、オーバフローなどの判定を行う。256ビット程度の記憶容量を持ち、最高10Mビット/秒程度のデータ・レートの素子が市販されている。

連想記憶の記憶セルの基本形は通常のスタティック形の記憶セルに探索入力線および一致検出回路を付加した形で、バイポーラ型では16ビット、100nsec、MOS型で128ビット、250nsec程度の性能のものが市販されている。

## 参考文献

- 1) 松江繁樹: バイポーラ・メモリ, 電子通信学会誌, 昭47-72 [特集-29] pp. 558-560 (1972).
- 2) 大矢他: メモリLSI, 電子通信学会誌, 昭54-74 [特集-18] pp. 435-443 (1979).
- 3) Rathbone, B., et al.: A 1,024-Bit ECL RAM with 15-ns Access Time, ISSCC Dig. Tech. Pap., p. 188 (Feb. 1976).
- 4) 中野隆生, 堀場康孝: 高集積化バイポーラ・デバイス, 電子通信学会誌, 昭54-66 [特集-10], pp. 386-392 (1979).
- 5) フェアチャイルド社資料.

- 6) Shimstori, K., et al.: A 50 ns 4 k static DSA MOS RAM, IEEE J. Solid-State Circuits, SC-13, p. 639 (1978).
- 7) Jenné, F. B., et al.: A theoretical and experimental analysis of the buried-source VMOS dynamic RAM cell, IEEE Trans. Electron Devices, ED-25, p. 1204 (1978).
- 8) 黒沢他: ジョゼフソン・メモリセルの作製と動作実験, 電子通信学会技術研究報告, CPM 78-13, pp. 13-18.
- 9) Gheewala, T. R., et al.: A 30 Picoseconds Josephson Current Injection Logic (CIL) Family, First Speciality Conference on Gigabit Logic for Microwave Systems.
- 10) Broom, R. F., et al.: Model for a 15 ns 16 k RAM with Josephson Junctions, ISSCC Dig. Tech. Pap., p. 60 (Feb. 1978).
- 11) Anacker, W.: Josephson Technology for Signal Processing, First Speciality Conference on Gigabit Logic for Microwave Systems.
- 12) Eden, R. C., et al.: The Prospects for Ultra-high-Speed VLSI GaAs Digital Logic, IEEE, J. Solid-State Circuits, SC-14, pp. 221-239 (1979).
- 13) Lohstroh, J.: Static Bipolar RAM Cell with Compact Punch Through Loads, ISSCC Dig. Tech. Pap., p. 102 (Feb. 1979).
- 14) Heald, R. A., et al.: A Four Device Bipolar Memory Cell, ISSCC Dig. Tech. Pap., p. 102 (Feb. 1978).
- 15) Sander, W. B., et al.: A  $4096 \times 1$  (1<sup>PL</sup>) Bipolar Dynamic RAM, ISSCC Dig. Tech. Pap., p. 182 (Feb. 1976).
- 16) May, T. C. and Woods, M. H.: A New Physical Mechanism for Soft Errors in Dynamic Memories, Proc. 1978 International Reliability Physics Symposium, pp. 33-40 (Apr. 1978).
- 17) Chatterjee, P. K., et al.: Circuit Optimization of Taper-Isolated Dynamic-Gain RAM Cell for VLSI Memories, ISSCC Dig. Tech. Pap., pp. 22-23 (Feb. 1979).
- 18) Bayle, W. S. and Smith, G. E.: Charge Coupled Semiconductor Devices, B. S. T. J., Vol. 49, pp. 587-593 (1970).
- 19) 日経エレクトロニクス: バブル, CCD を用いた固体ファイル記憶の実用機が続々登場, Vol. 1, No. 8 (1979).
- 20) Bobeck, A. H., et al.: Magnetic Bubbles-An Emerging New Memory Technology, Proc. IEEE, Vol. 63, No. 8, pp. 1176-1195 (1975).
- 21) Electronics, Aug. 2, pp. 44-46 (1979).

(昭和54年12月11日受付)